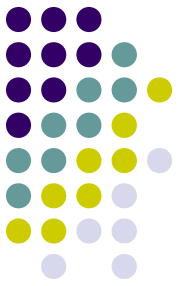
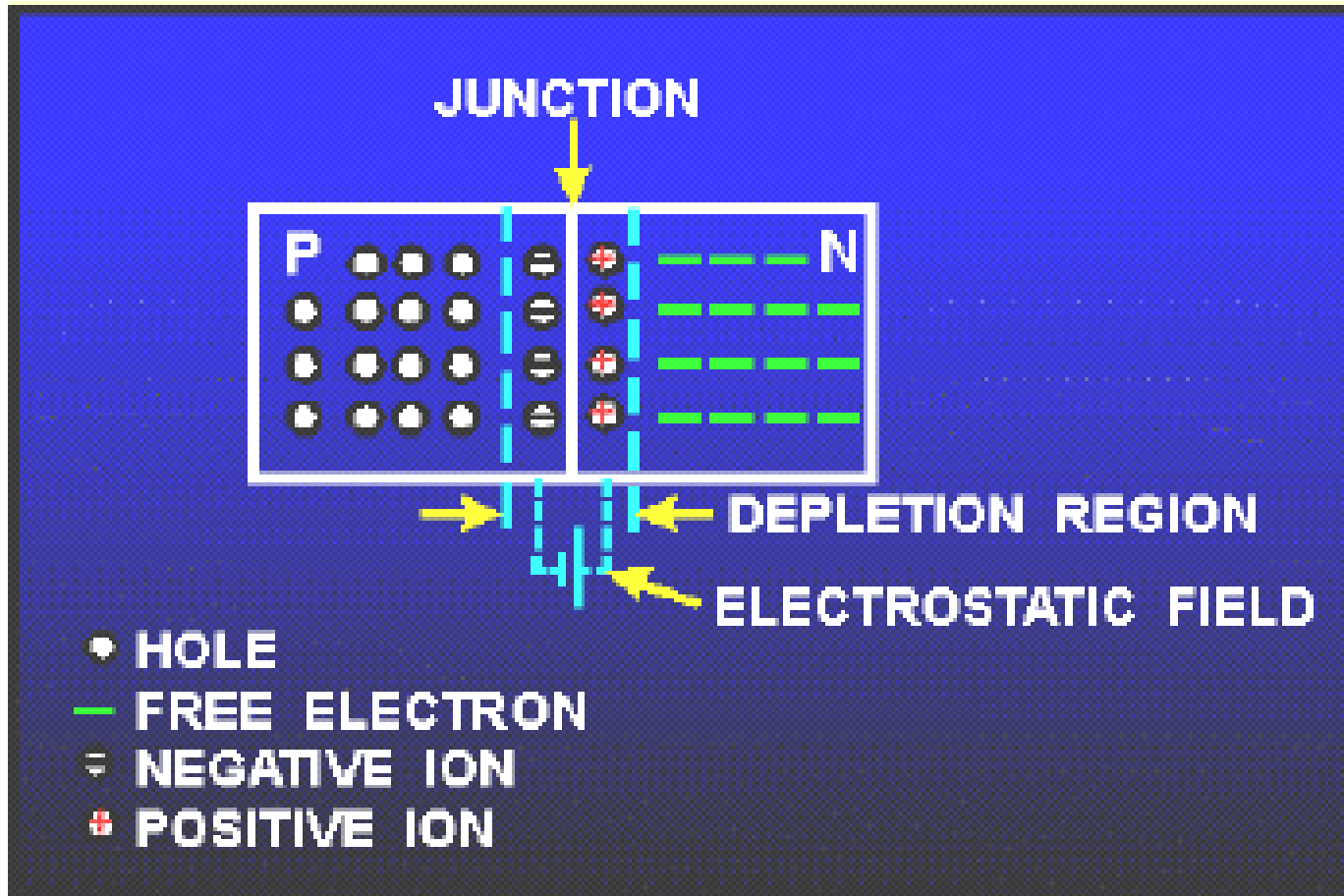
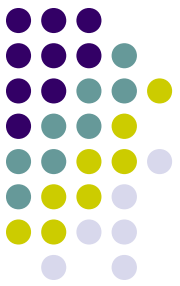


Chương 2: Điốt và ứng dụng

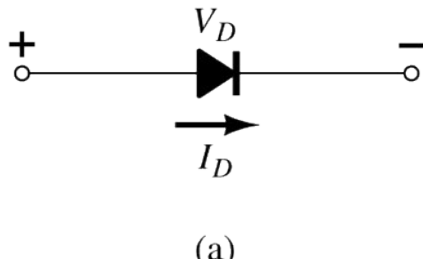
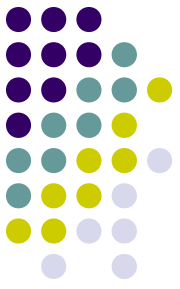


- Điốt – Cấu tạo, hoạt động
- Mạch chỉnh lưu
 - Nửa chu kỳ
 - Cả chu kỳ
 - Mạch cầu
 - Kết hợp với tụ
- Mạch cắt
- Mạch ghim
- Mạch nhân áp
- Điốt Zener và ứng dụng

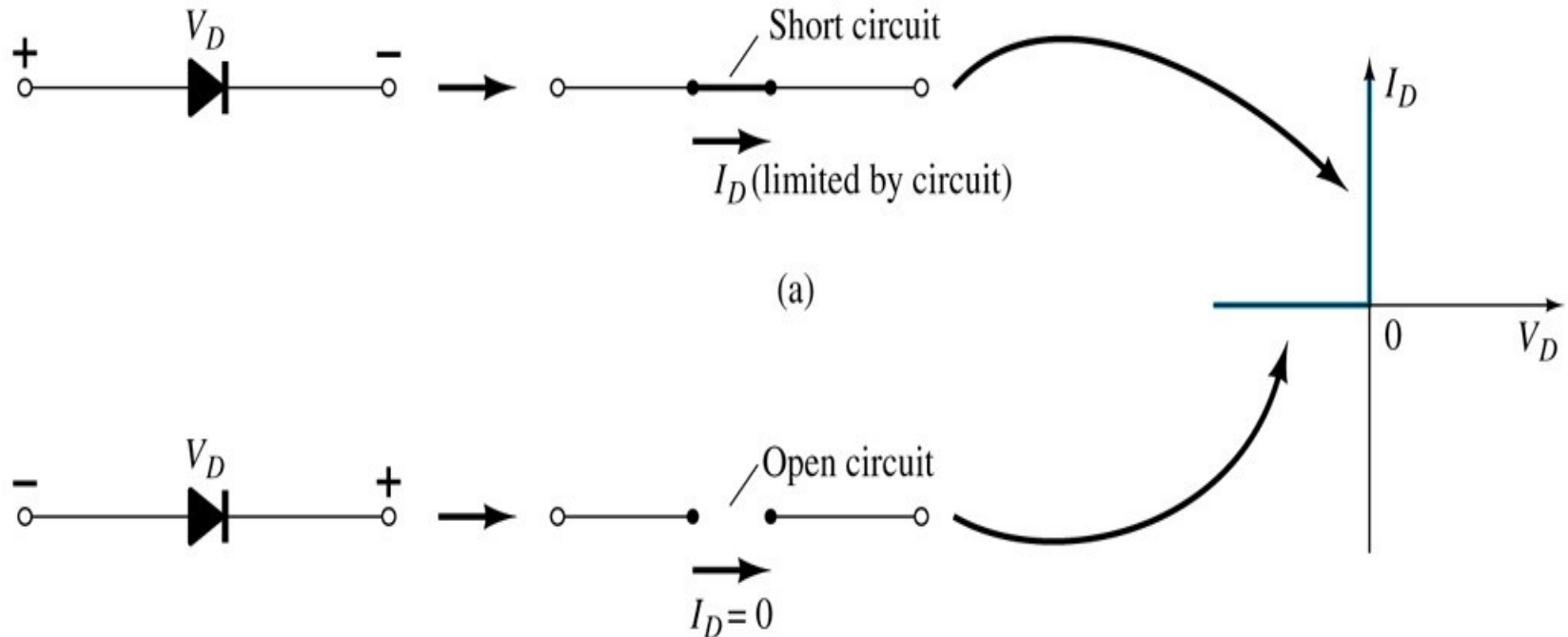
Điốt bán dẫn – Cấu tạo



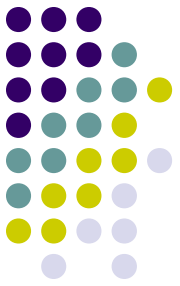
Điốt bán dẫn



- Linh kiện 2 cực: dẫn điện theo một chiều, ngăn dòng chiều ngược lại



Điốt bán dẫn – Lý tưởng

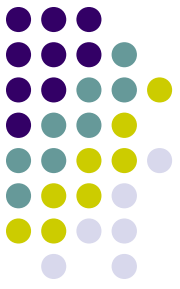


Vùng dẫn

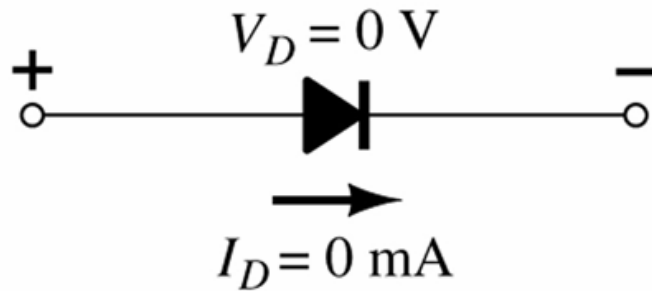
- điện áp qua điốt bằng 0V,
- dòng điện bằng ∞ ,
- điện trở thuận $R_F = V_F/I_F$,
- điốt coi như bị ngắn mạch

Vùng không dẫn

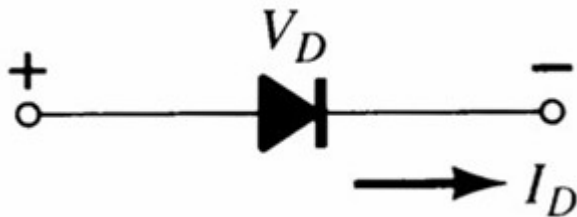
- toàn bộ điện áp đặt vào điốt,
- dòng điện bằng 0A,
- điện trở ngược $R_R = V_R/I_R$,
- điốt coi như hở mạch



Điốt bán dẫn – Phân cực



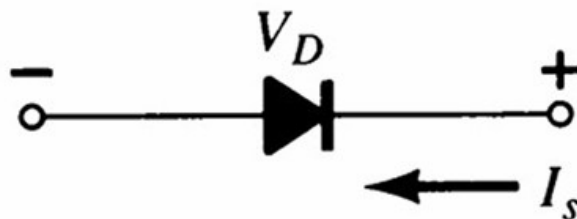
- Không phân cực: $V_D = 0 \text{ V}$ và $I_D = 0 \text{ A}$.



- Phân cực thuận: điện áp đặt vào

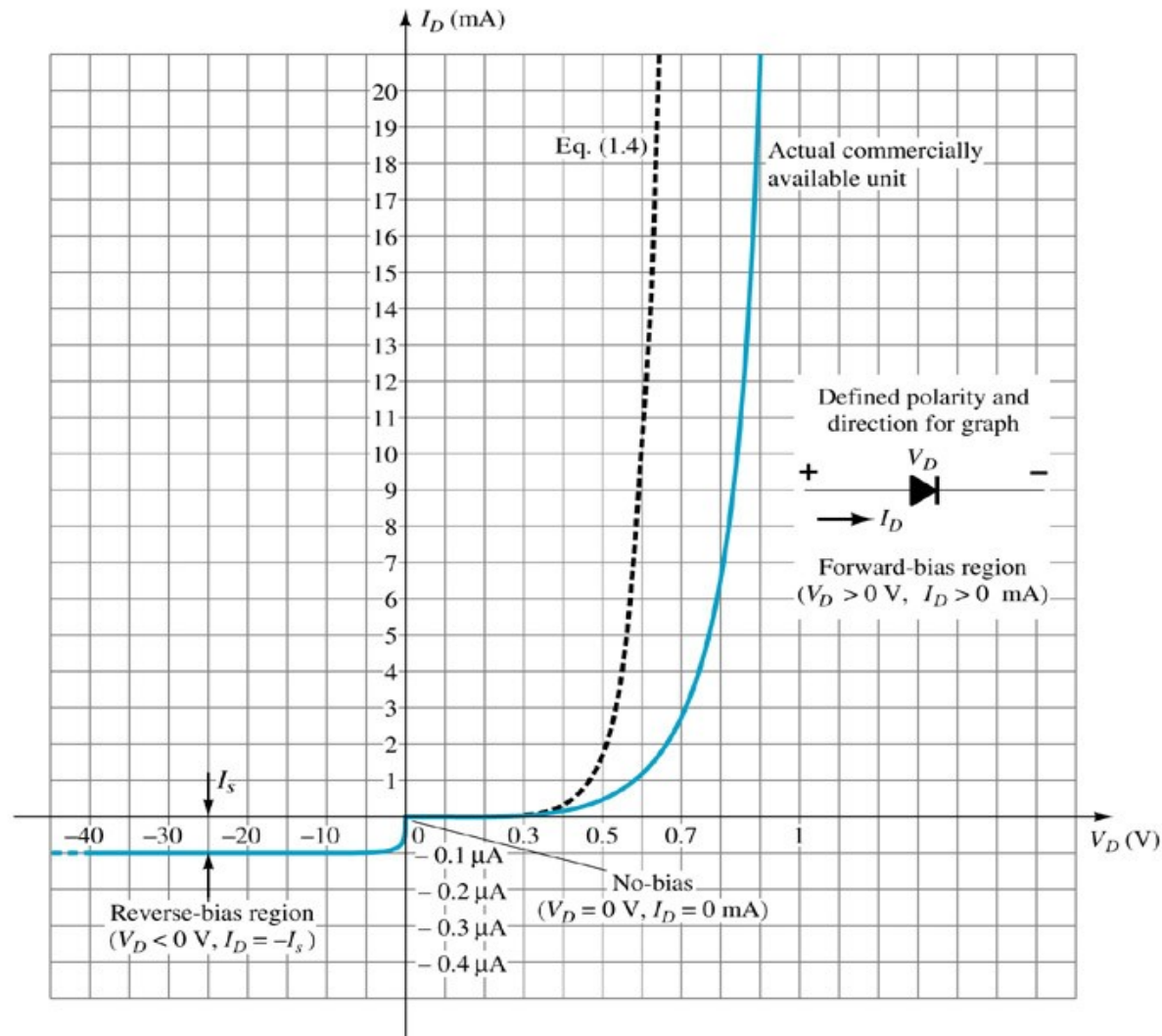
$$V_T \approx 0.7 \text{ V} - \text{Si}$$

$$V_T \approx 0.3 \text{ V} - \text{Ge}$$



- Phân cực ngược: dòng rò I_s

Điốt bán dẫn – Thực tế



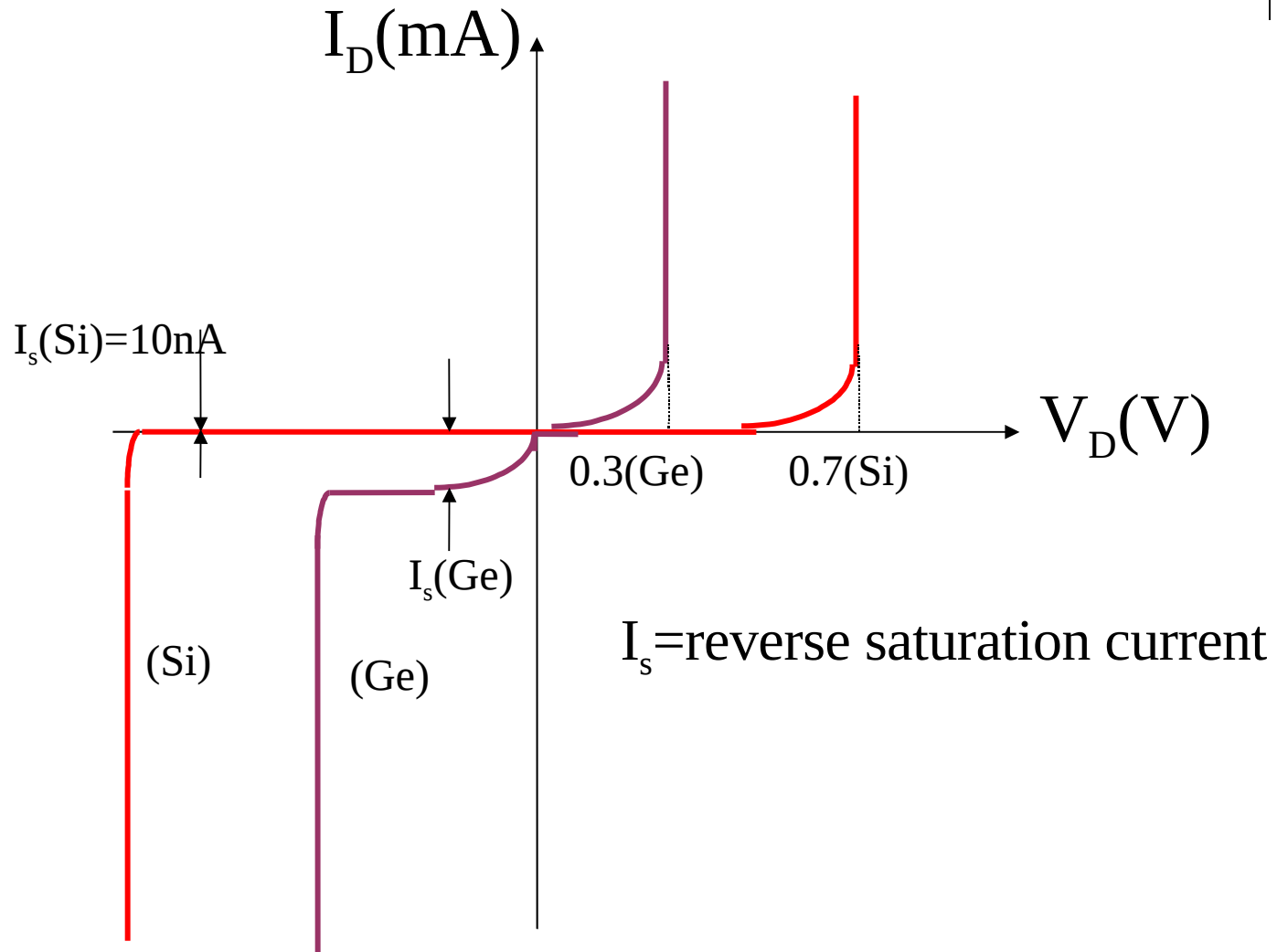
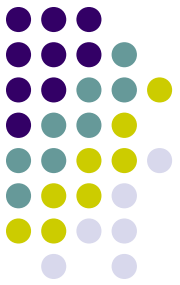
Điốt bán dẫn – Thực tế



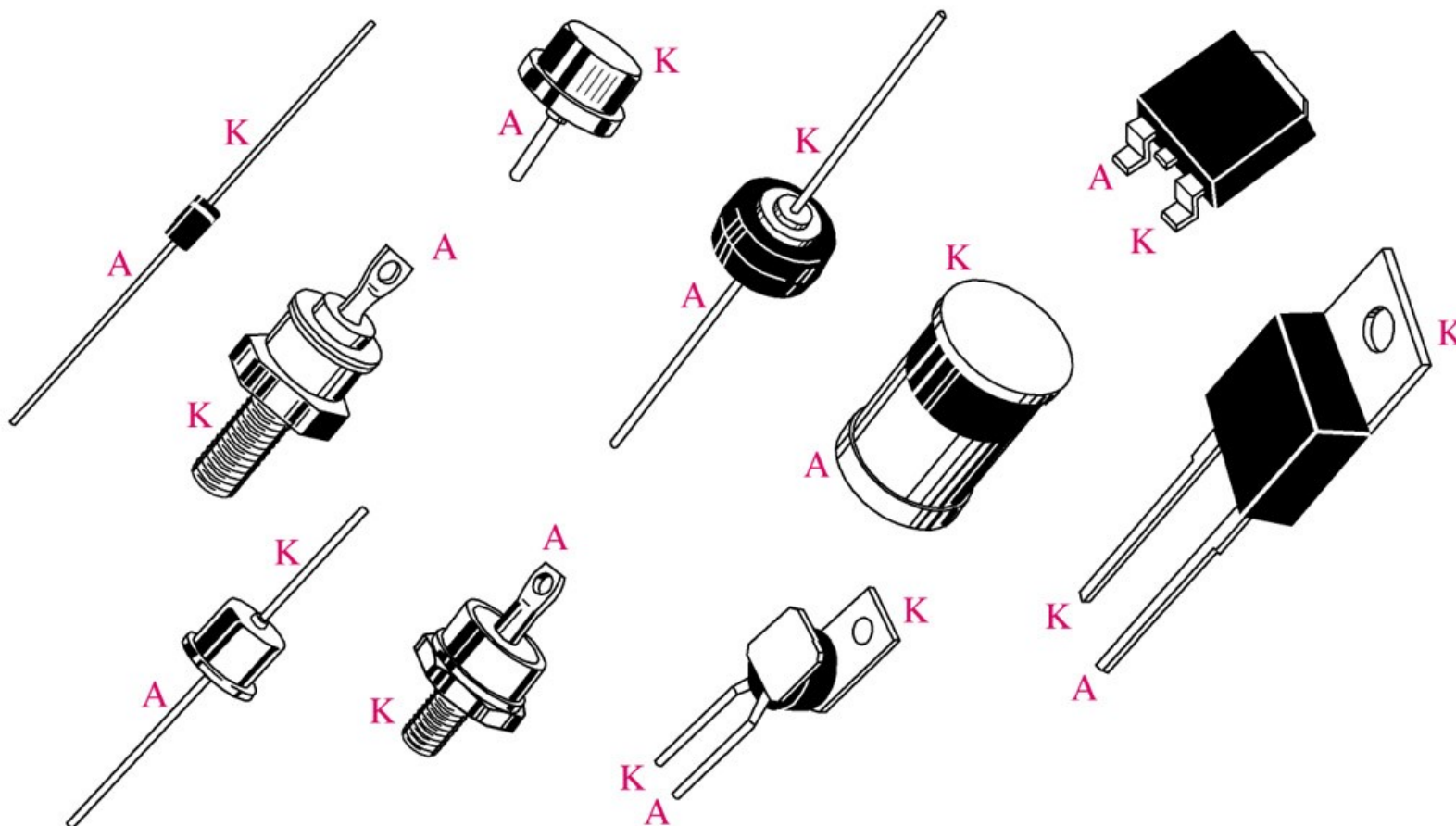
Silicon	Germanium
PIV ($\approx 1000V$) lớn hơn	PIV ($\approx 400V$) nhỏ hơn
Chịu được dòng lớn hơn	Chịu được dòng kém hơn
Khoảng nhiệt độ hoạt động rộng (đến $200\text{ }^{\circ}\text{C}$)	Khoảng nhiệt độ hoạt động hẹp (nhỏ hơn $100\text{ }^{\circ}\text{C}$)
Điện áp phân cực thuận lớn hơn ($0.7V$)	Điện áp phân cực thuận nhỏ hơn ($0.3V$)

** PIV - giá trị đỉnh của điện áp ngược*

Điốt bán dẫn – Thực tế



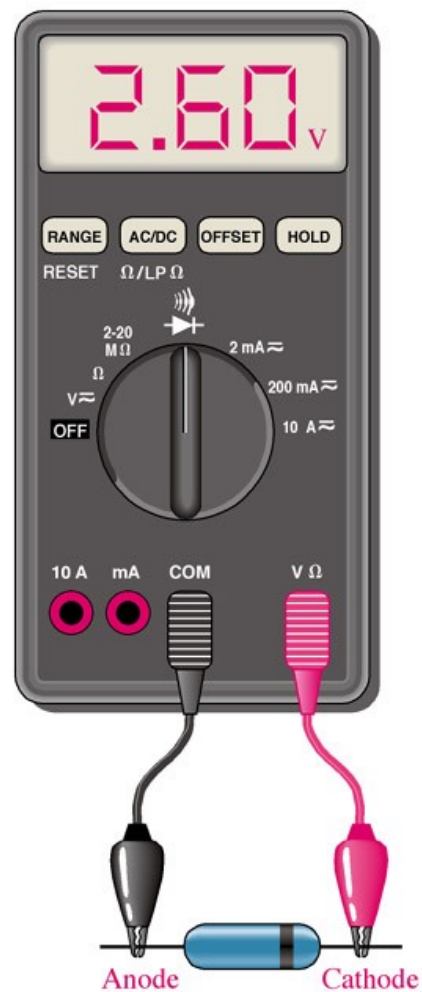
Điốt bán dẫn – Thực tế



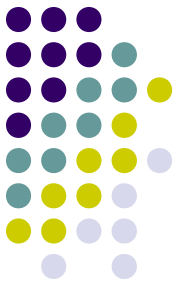
Điốt bán dẫn – Đo thử



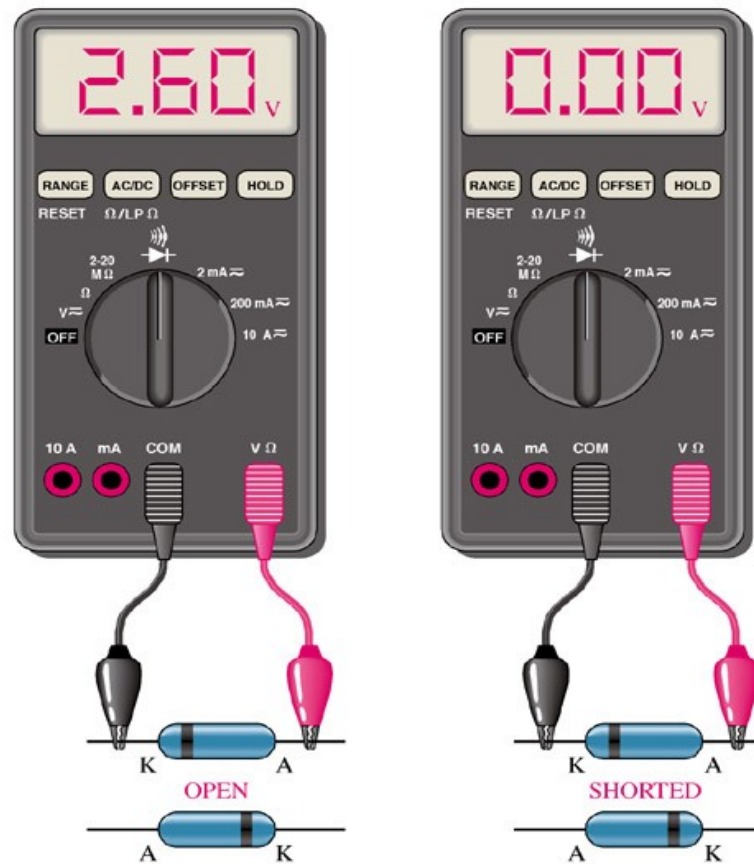
(a) Forward-bias test



(b) Reverse-bias test



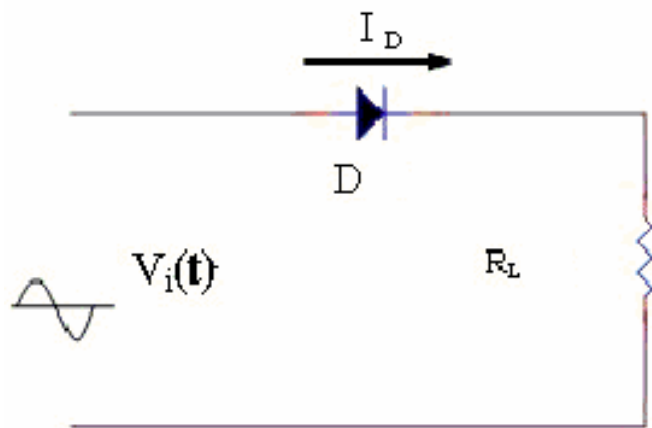
Điốt bán dẫn – Đo thử



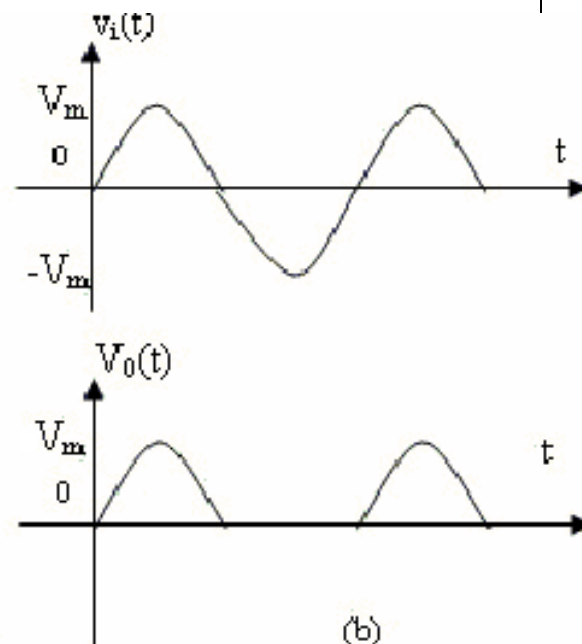
(a) Forward- and reverse-bias tests for an open diode give same indication. Some meters will display “OL.”

(b) Forward- and reverse-bias tests for a shorted diode give same 0 V reading. If the diode is resistive, the reading is less than 2.6 V.

Mạch chỉnh lưu nửa chu kỳ



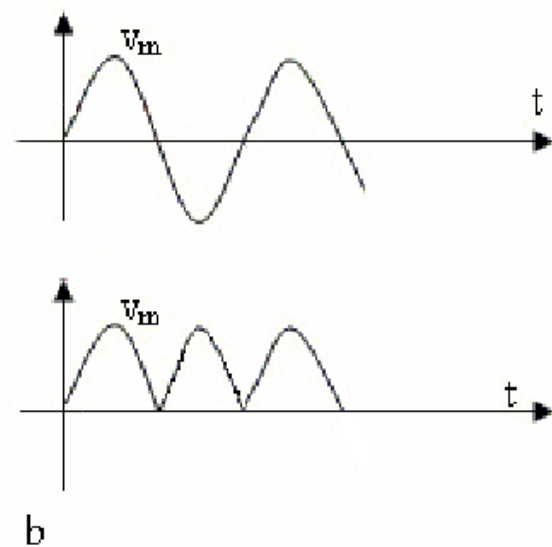
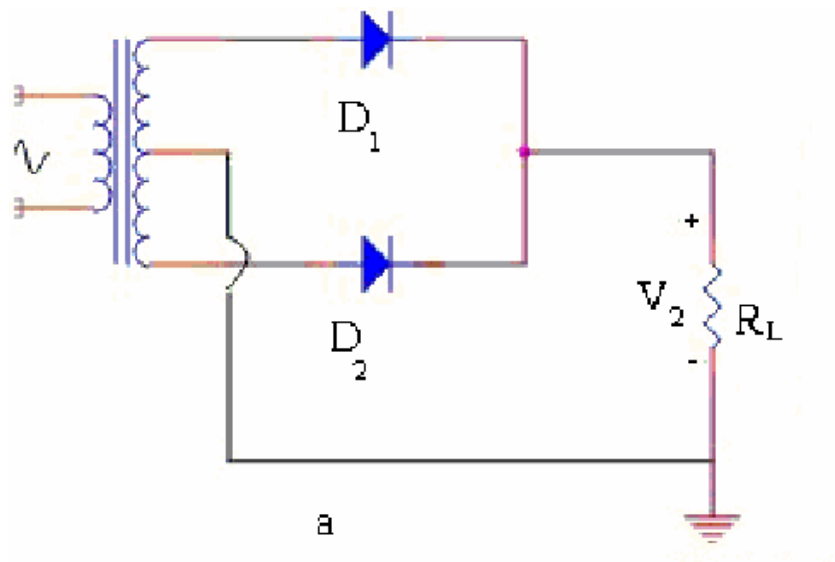
(a)



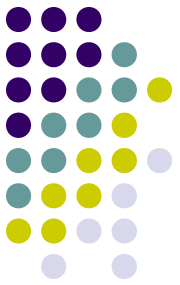
(b)

- $V_i(t) > 0 \Rightarrow D$ đóng
- $V_i(t) < 0 \Rightarrow D$ ngắt

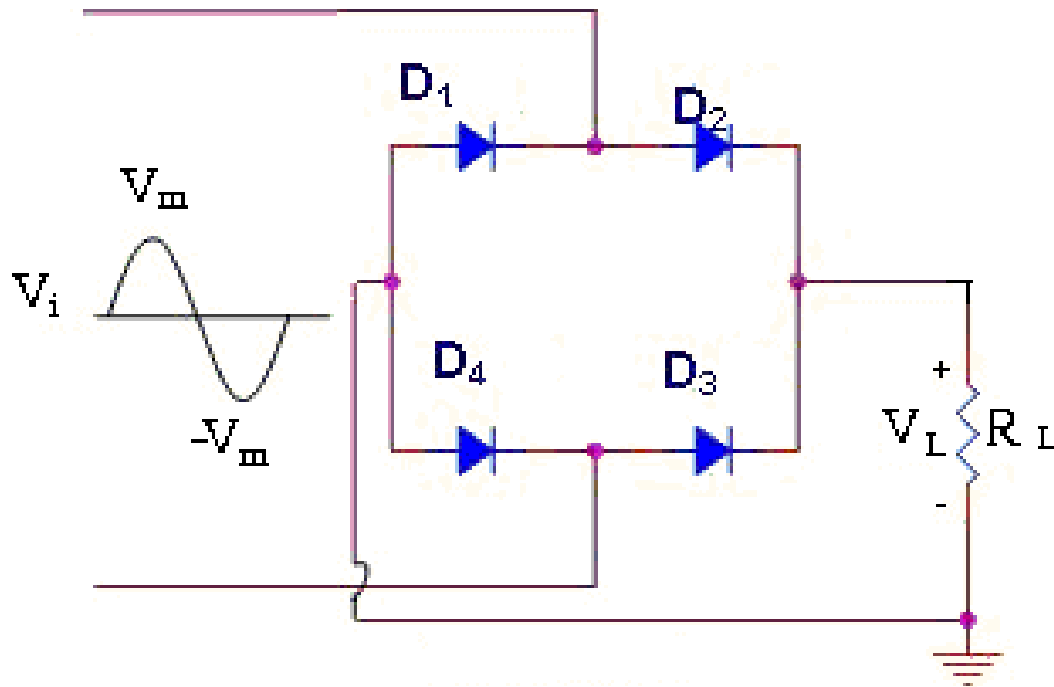
Mạch chỉnh lưu cả chu kỳ



- $V_i > 0 \Rightarrow D_1$ đóng, D_2 ngắt
- $V_i < 0 \Rightarrow D_1$ ngắt, D_2 đóng

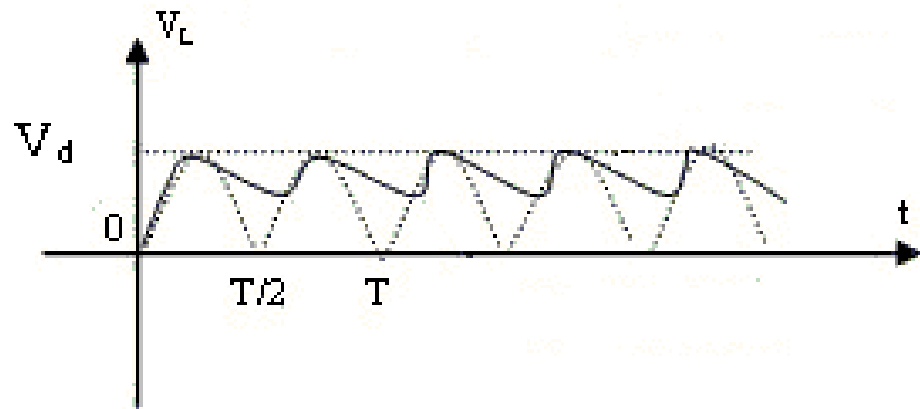
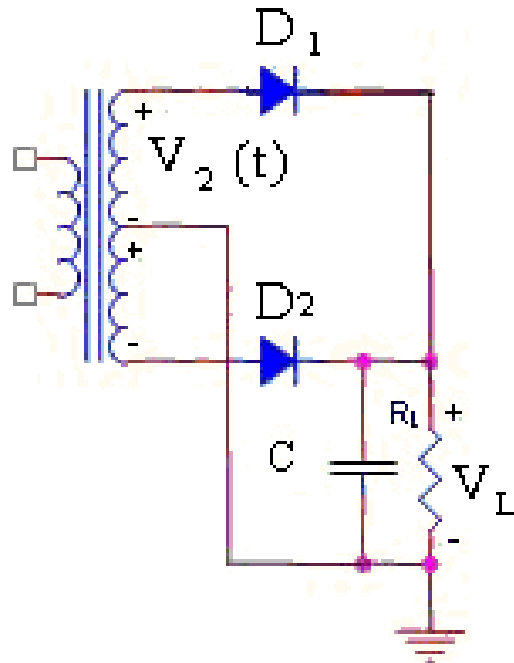
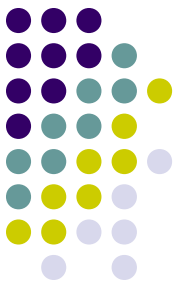


Mạch chỉnh lưu cầu



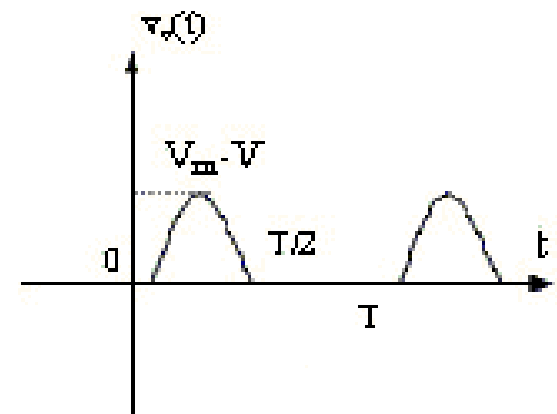
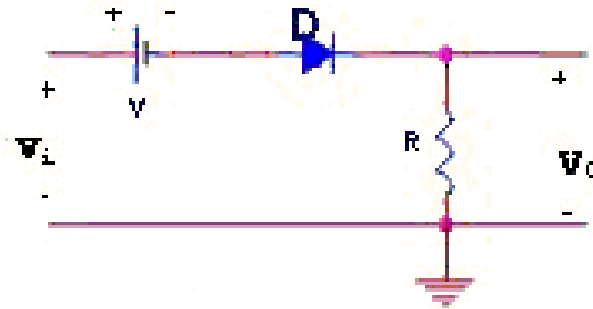
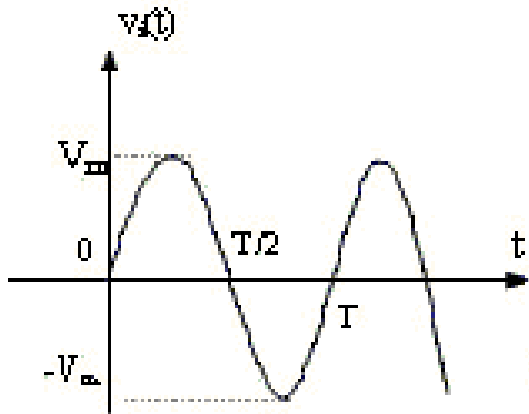
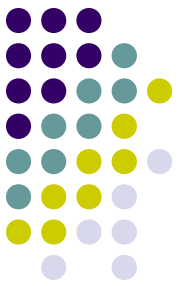
- $V_i > 0 \Rightarrow D_2, D_4$ đóng; D_1, D_3 ngắt
- $V_i < 0 \Rightarrow D_1, D_3$ đóng; D_2, D_4 ngắt

Kết hợp với tụ



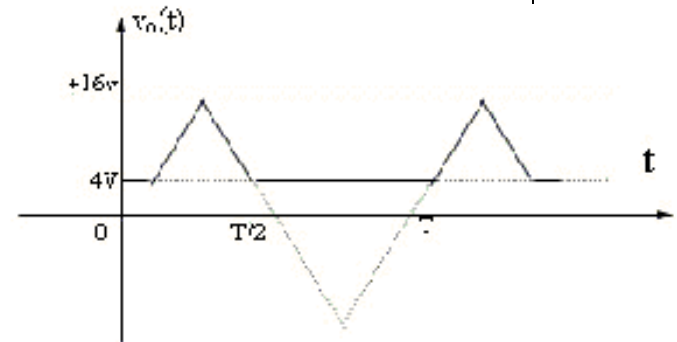
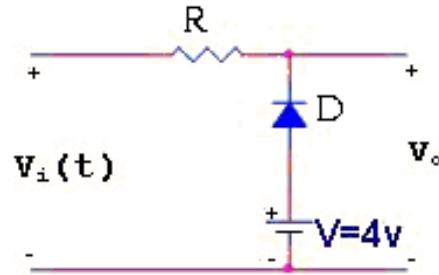
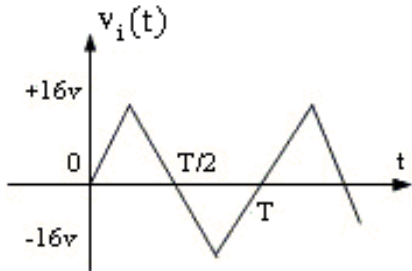
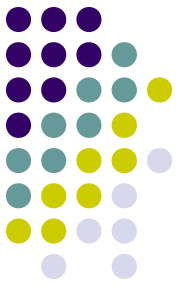
- $V_i > 0 \Rightarrow D1$ đóng, $D2$ ngắt
- $V_i < 0 \Rightarrow D1$ ngắt, $D2$ đóng
- Tụ C có tác dụng làm giảm sự nhấp nháy của tín hiệu ra

Mạch cắt



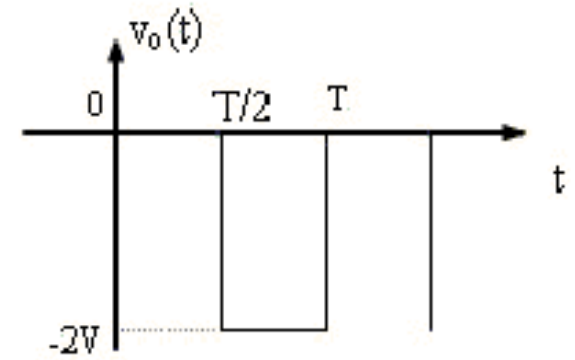
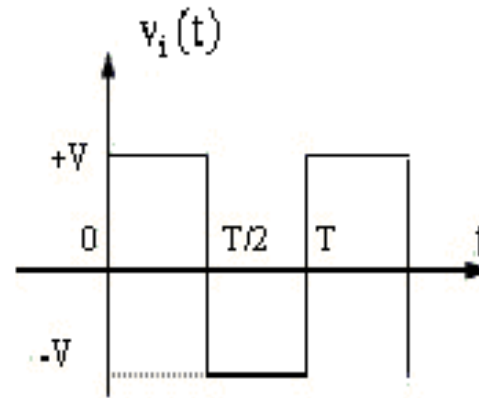
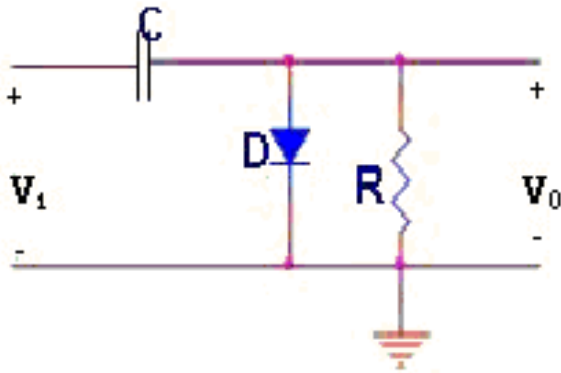
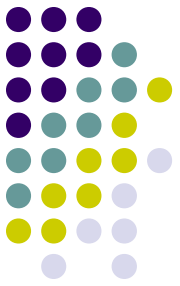
- Nối tiếp hoặc song song
- Nối tiếp:
 - $V_i > V \Rightarrow D \text{ on} \Rightarrow V_o = V_i - V$
 - $V_i < V \Rightarrow D \text{ off} \Rightarrow V_o = 0$

Mạch cắt



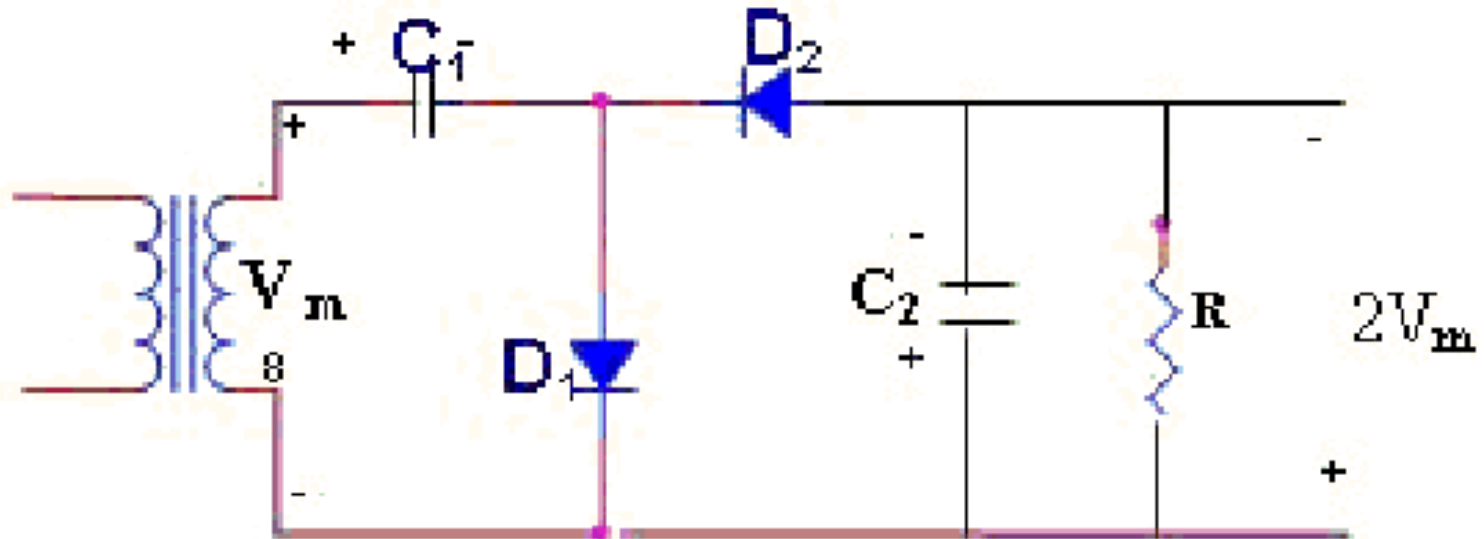
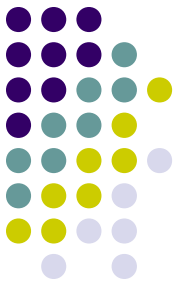
- Song song kết hợp với nguồn ngoài
 - $V_i > 4V \Rightarrow D \text{ off} \Rightarrow V_o = V_i$
 - $V_i < 4V \Rightarrow D \text{ on} \Rightarrow V_o = 4V$

Mạch ghim



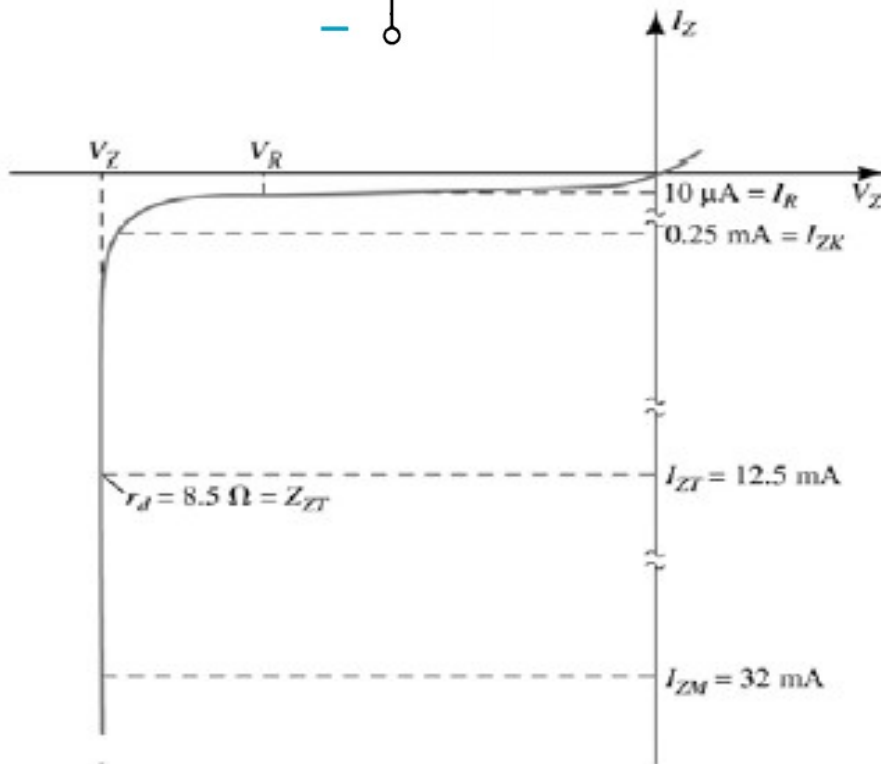
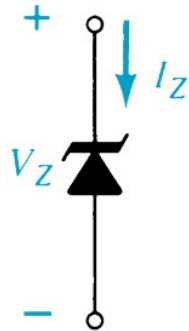
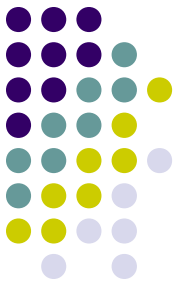
- Dịch mức thành phân một chiều (DC)
- Bắt buộc sử dụng tụ điện kết hợp với điốt

Mạch bội áp



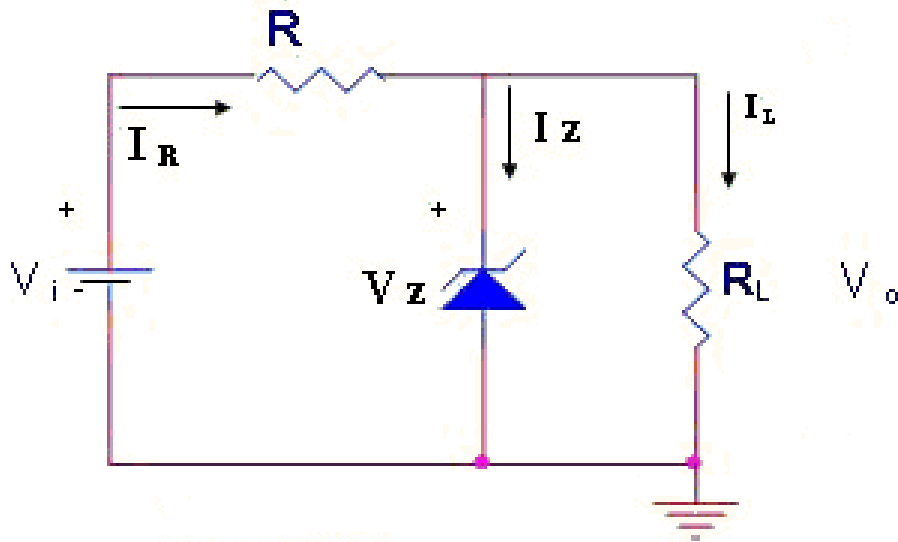
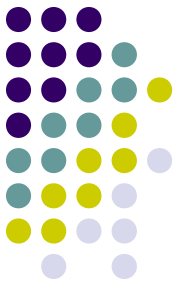
- Nửa chu kỳ dương: D_1 on, D_2 off, $V_{C_1} = V_m$
- Nửa chu kỳ âm: D_1 off, D_2 on, $V_{C_2} = V_m + V_{C_1} = 2V_m$

Điốt Zener



- Phân cực thuận: giống điốt thông thường
- Phân cực ngược:
 - Làm việc trong vùng đánh thủng, tại PIV hay V_Z
 - $V_Z = \text{const}$
- Ứng dụng: luôn làm việc ở chế độ phân cực ngược để tạo điện áp tham chiếu
- $V_Z = 1,8\text{V} \div 200\text{V}$

Điốt Zener



- $I_R = (V_{in} - V_Z) / R$; $I_L = V_Z / R_L$;

$$P_Z = I_Z * V_Z < P_{Zmax}$$

- $V_{in} = \text{const}$, R_L thay đổi:

$$R_{Lmax} > R_L > R_{Lmin}$$

$$R_{Lmax} = V_Z / (I_R - I_{Zmax}) \quad R_{Lmin} = R V_Z / (V_i - V_Z)$$

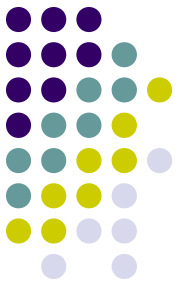
- V_{in} thay đổi, $R_L = \text{const}$:

$$V_{imax} > V_i > V_{imin}$$

$$V_{imax} = R I_{Rmax} + V_Z$$

$$V_{imin} = V_Z (R + R_L) / R_L$$

Bài tập

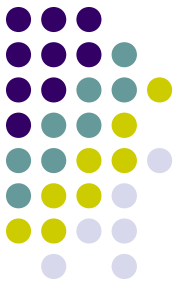


- Chương 2: 1, 5, 6, 10, 11, 15, 21, 23, 24, 27, 30, 34, 37, 42, 47, 49, 52

Chương 3: Mạch khuếch đại tín hiệu nhỏ sử dụng BJT



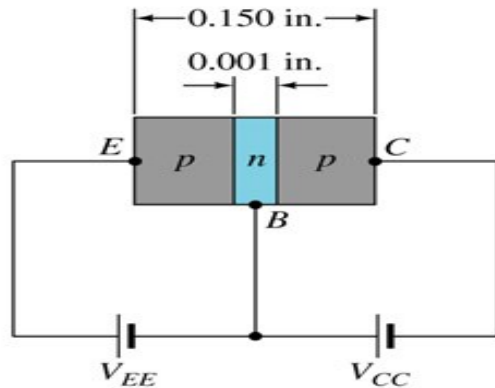
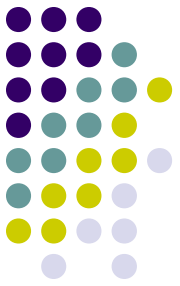
- Nhắc lại kiến thức cơ bản – chương 3,4
- Mạch khuếch đại tín hiệu nhỏ
- Các phương pháp phân tích
 - Dùng sơ đồ tương đương: kiểu tham số hỗn hợp, kiểu mô hình r_e - chương 7
 - Dùng đồ thị - chương 7
- Đặc điểm kỹ thuật
- Các yếu tố ảnh hưởng đến hoạt động
- Ổn định hoạt động



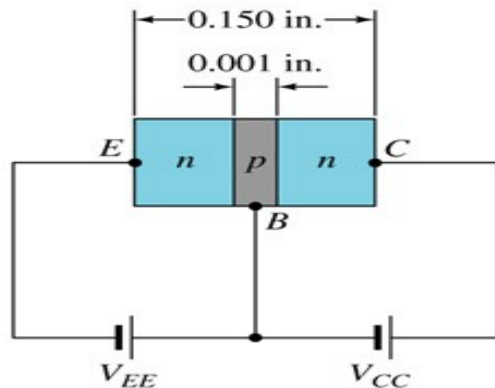
Nhắc lại kiến thức cơ bản

- Cấu trúc và hoạt động
- Các cách mắc mạch
- Định thiên cho bộ khuếch đại làm việc ở chế độ tuyến tính
 - Bằng dòng bazơ cố định
 - Bằng phân áp
 - Bằng hồi tiếp điện áp

Cấu trúc và hoạt động

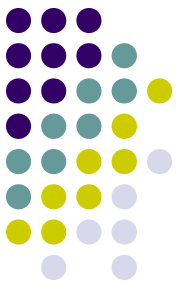


(a)

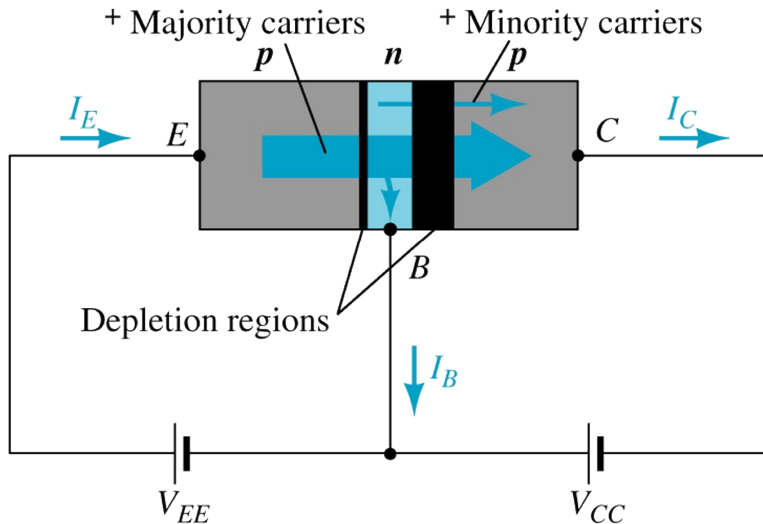


(b)

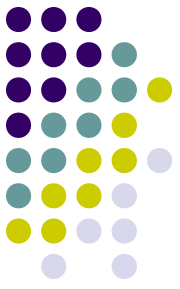
- Emitơ và colectơ là bán dẫn cùng loại, còn bazơ là bán dẫn khác loại
- Lớp bazơ nằm giữa, và mỏng hơn rất nhiều so với emitơ và colectơ



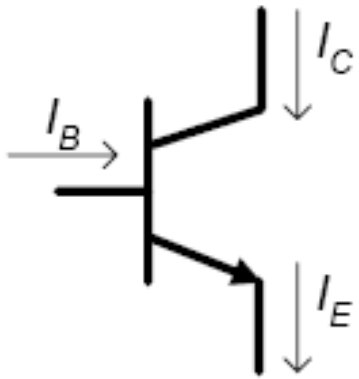
Cấu trúc và hoạt động



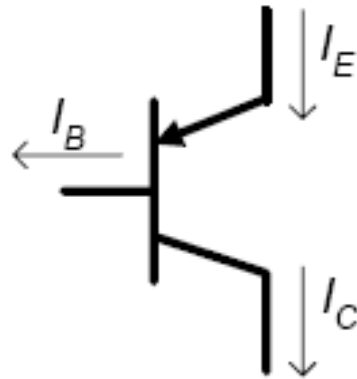
- Tiếp giáp BE phân cực thuận: (e) được tiêm từ miền E vào miền B, tạo thành dòng I_E
- Tiếp giáp BC phân cực ngược: hầu hết các (e) vượt qua miền B để sang miền C, tạo thành dòng I_C
- Một số (e) tái hợp với lỗ trống trong miền B, tạo thành dòng I_B



Cấu trúc và hoạt động

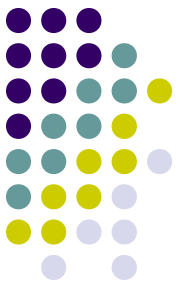


npn



pnp

- Mũi tên đặt tại tiếp giáp BE, với hướng từ bán dẫn loại P sang bán dẫn loại N
- Mũi tên chỉ chiều dòng điện
 - pnp: E->B
 - npn: B->E



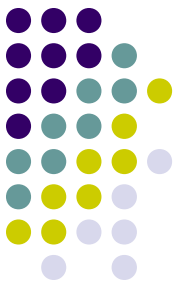
Tham số kỹ thuật

- $I_E = I_C + I_B$
- $I_C = \beta I_B$
- $\beta = 100 \div 200$ (có thể lớn hơn)
- $I_C = \alpha I_E + I_{CBO}$
- $I_C \approx \alpha I_E$ (bỏ qua I_{CBO} vì rất nhỏ)
- $\alpha = 0.9 \div 0.998$.

β là hệ số khuếch đại dòng điện

α là hệ số truyền đạt dòng điện

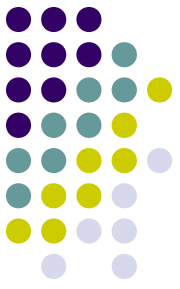
$$\alpha = \frac{\beta}{\beta + 1}$$



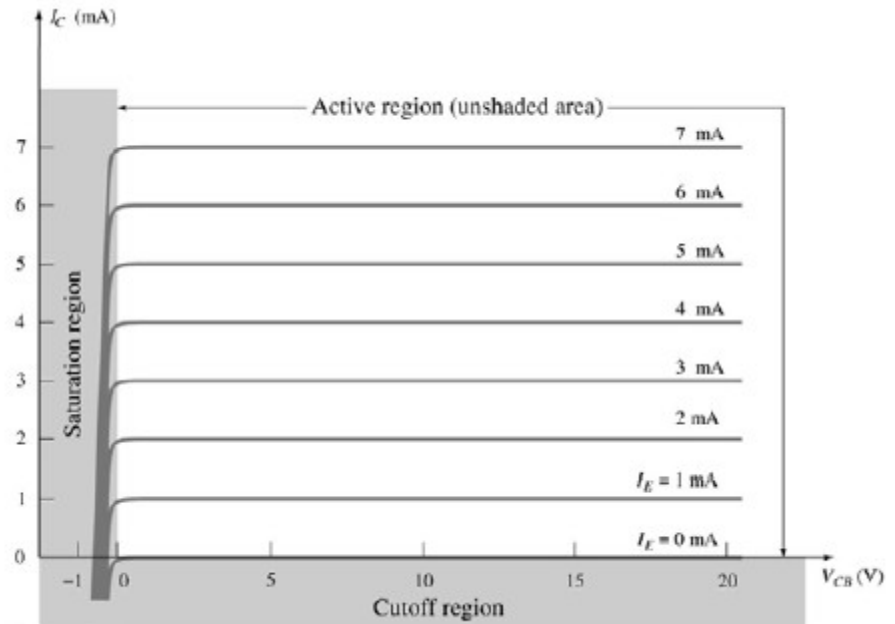
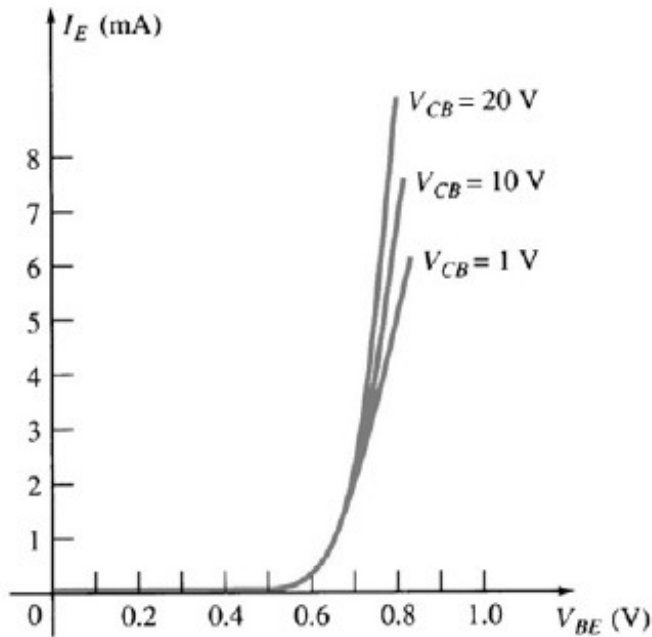
Cách mắc mạch

- Có 3 cách mắc mạch (hoặc gọi là cấu hình)
 - CB (chung bazơ)
 - CE (chung emittơ)
 - CC (chung colectơ)
- Cấu hình được phân biệt bởi cực nào được nối với đầu vào và đầu ra

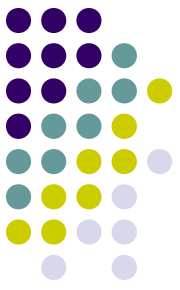
Configuration	Input terminal	Output terminal
CB	E	C
CE	B	C
CC	B	E



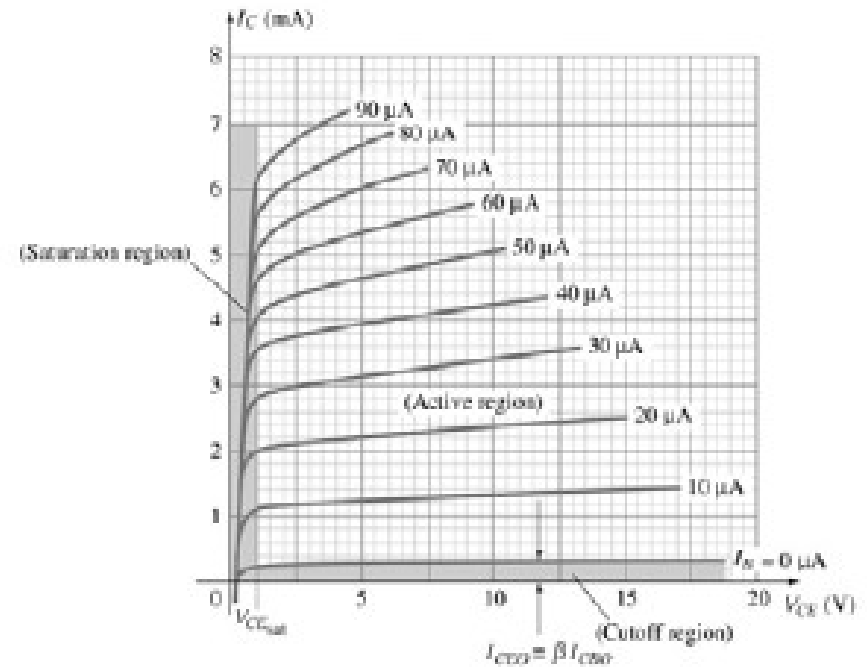
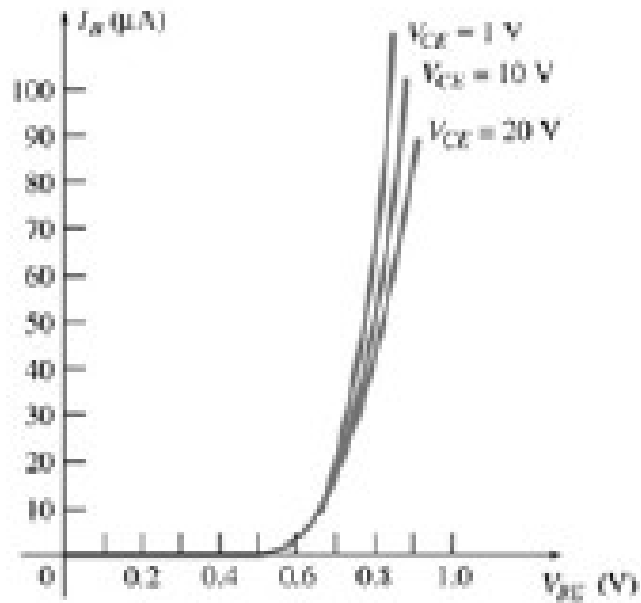
Đặc tuyến



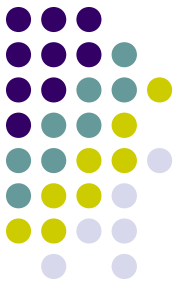
- Đặc tuyến vào và ra kiểu mắc chung B (CB)



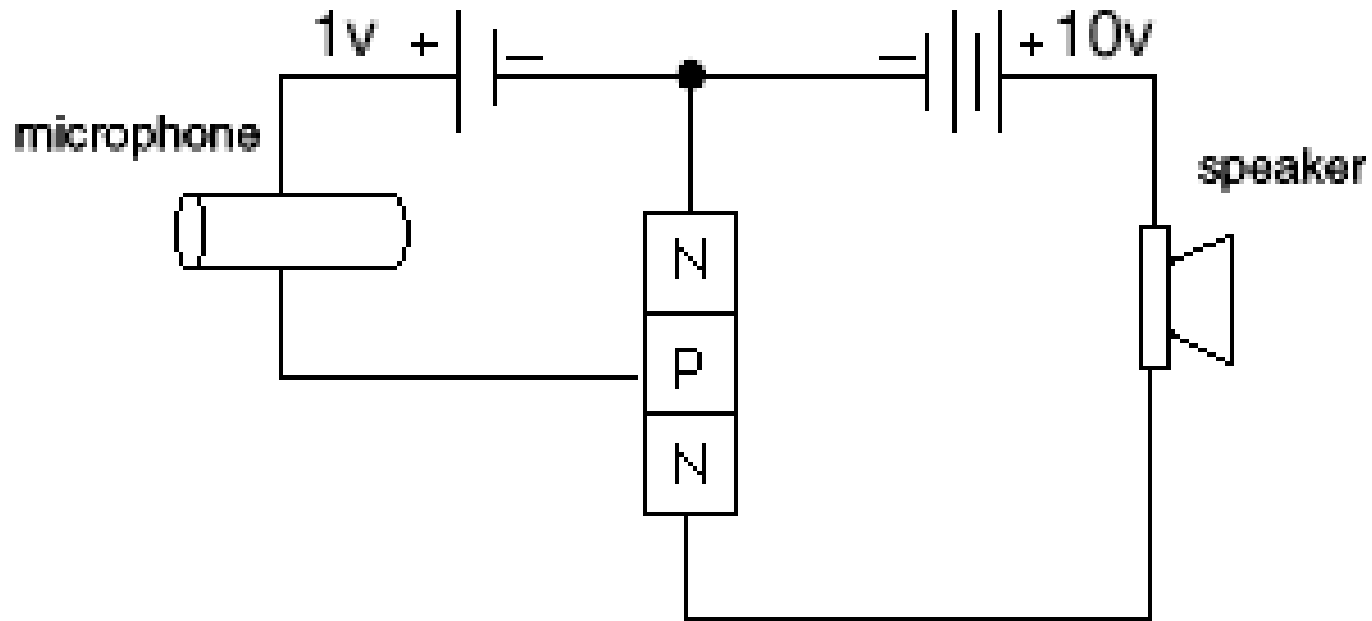
Đặc tuyến

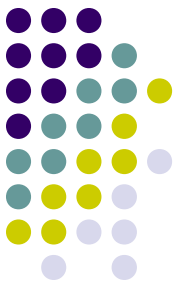


- Đặc tuyến vào và ra kiểu mắc chung E (CE)



Sự khuếch đại trong BJT





Phân cực cho BJT

- Để có thể khuếch đại tín hiệu, BJT cần được “đặt” ở vùng tích cực (vùng cắt và vùng bão hòa được dùng trong chế độ chuyển mạch)
- ⇒ tiếp giáp BE phân cực thuận, tiếp giáp BC phân cực ngược
- Phân cực: thiết lập điện áp, dòng điện một chiều theo yêu cầu
 - NPN: $V_E < V_B < V_C$
 - PNP: $V_E > V_B > V_C$

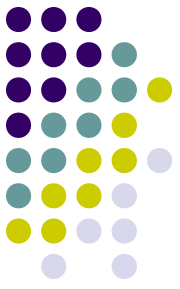


Phân cực cho BJT

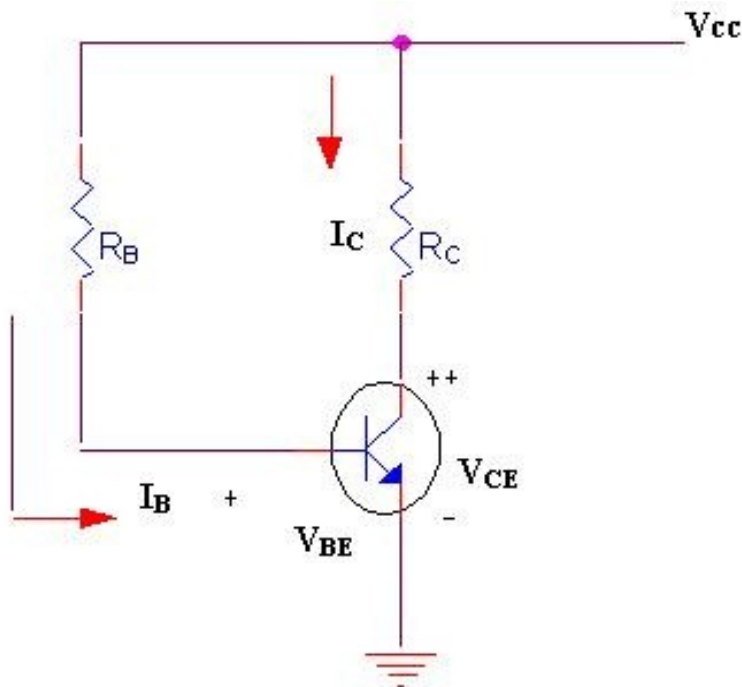
- Chú ý: các tham số kỹ thuật và mối liên hệ

$$V_{BE} \approx 0,6 \div 0,7V \text{ (Si)} ; 0,2 \div 0,3 \text{ (Ge)}$$

$$I_E = I_C + I_B \quad I_C = \beta I_B \quad I_C \approx \alpha I_E$$



Mạch phân cực bằng dòng bazơ cố định



Vòng BE:

$$V_{CC} - I_B R_B - U_{BE} = 0$$

$$\Rightarrow I_B = (V_{CC} - U_{BE}) / R_B$$

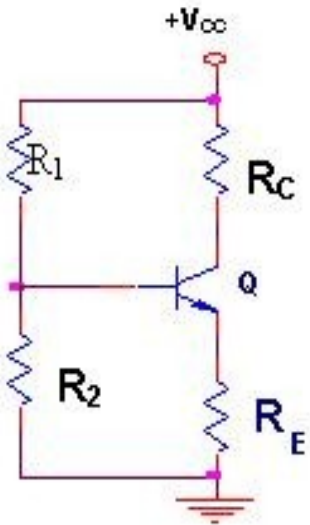
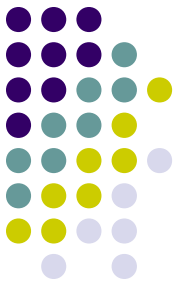
$$I_C = \beta * I_B$$

Vòng CE :

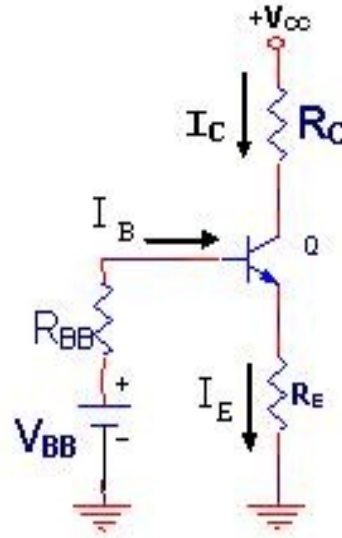
$$\Rightarrow U_{CE} = V_{CC} - I_C R_C$$

Đơn giản nhưng không ổn định

Mạch phân cực bằng bộ phân áp



⇒



Dòng và áp không phụ thuộc β

Thevenin:

$$R_{BB} = R_1 // R_2$$

$$E_{BB} = R_2 V_{CC} / (R_1 + R_2)$$

⇒ Tương đương mạch phân cực bằng dòng bazơ

Tính toán xấp xỉ:

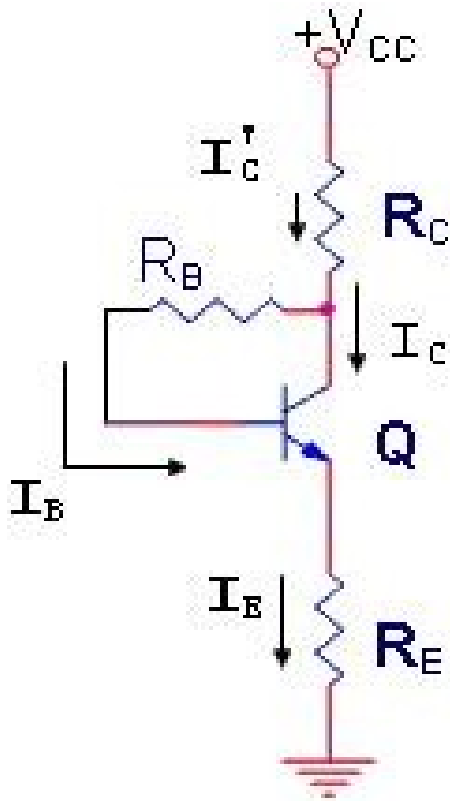
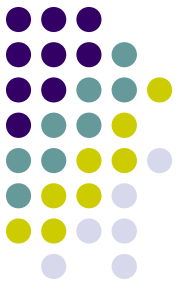
$$\text{Nếu } \beta R_E \geq 10 R_2 \rightarrow I_2 \approx I_1$$

$$\Rightarrow V_B = R_2 * V_{CC} / (R_1 + R_2)$$

$$\Rightarrow V_E = V_B - U_{BE} \Rightarrow I_C \approx I_E = V_E / R_E$$

$$\Rightarrow U_{CE} = V_{CC} - I_C (R_C + R_E)$$

Mạch phân cực bằng điện áp hồi tiếp



Vòng BE:

$$V_{CC} - I'_C R_C - I_B R_B - U_{BE} - I_E R_E = 0$$

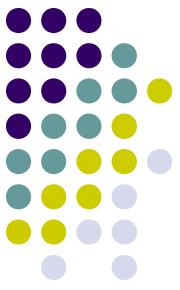
$$I_B = (V_{CC} - U_{BE}) / (R_B + \beta(R_C + R_E))$$

với $I'_C \approx I_C$

Vòng CE:

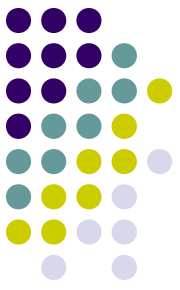
$$U_{CE} = V_{CC} - I_C (R_C + R_E)$$

Độ ổn định tương đối tốt



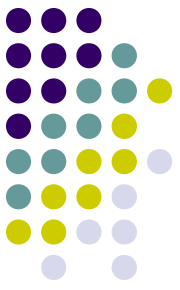
Mạch khuếch đại tín hiệu nhỏ

- Tín hiệu nhỏ:
 - Không có giới hạn chính xác, phụ thuộc tương quan giữa tín hiệu vào và tham số linh kiện
 - Vùng làm việc được coi là tuyến tính
- Khuếch đại xoay chiều:
 - $P_{in} > P_{out}$
- Mô hình BJT:
 - Mô hình là 1 mạch điện tử miêu tả xấp xỉ hoạt động của thiết bị trong vùng làm việc đang xét
 - Khuếch đại BJT tín hiệu nhỏ được coi là tuyến tính cho hầu hết các ứng dụng



Các phương pháp phân tích

- Mạch KĐ dùng BJT được coi là tuyến tính
=> có thể sử dụng nguyên lý xếp chồng
- Phân tích dựa trên các sơ đồ tương đương:
 - Sơ đồ tương đương tham số hỗn hợp H
 - Sơ đồ tương đương tham số dẫn nạp Y
 - Sơ đồ tương đương mô hình r_e
- Phân tích bằng đồ thị



Các phương pháp phân tích

Tham số vật lý của BJT

$$1) \quad \beta_{ac} = i_c / i_b \mid U_{ce} = \text{const}$$

Xấp xỉ theo tỷ lệ dòng 1 chiều: $\beta = I_c / I_b$

$$1) \quad \alpha = i_c / i_e \mid U_{cb} = \text{const}$$

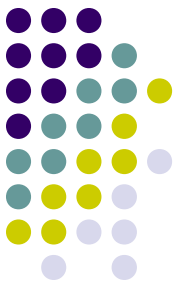
$$2) \quad r_e = u_{be} / i_e \mid U_{ce} = \text{const}$$

điện trở emitter được coi như là điện trở động của điốt, $r_e = 0.026 / I_E (\Omega)$, trong đó I_E là dòng DC

$$1) \quad r_c = u_{cb} / i_c \mid I_e = \text{const}$$

điện trở collector rất lớn, khoảng vài $M\Omega$

$$1) \quad r_b = 0$$



Các phương pháp phân tích

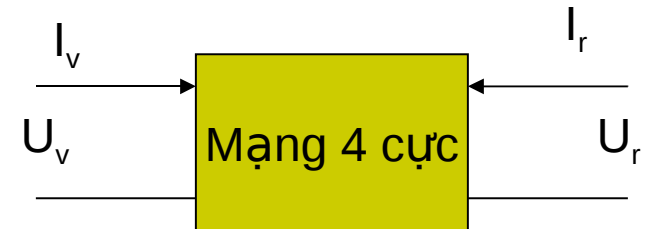
Sơ đồ tương đương hỗn hợp H

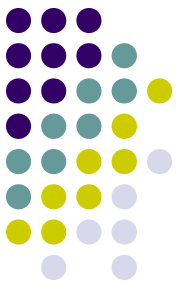
- Công thức mạng 4 cực:

$$U_v = h_{11} I_v + h_{12} U_r$$

$$I_r = h_{21} I_v + h_{22} U_r$$

- Giá trị các tham số được xác định tại một điểm làm việc danh định (có thể không phải điểm Q thực tế)
- Chỉ số e (hoặc b, c) cho các cấu trúc CE (hoặc CB, CC)





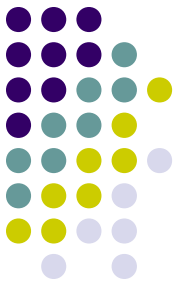
Các phương pháp phân tích

Sơ đồ tương đương hỗn hợp H

Tham số	EC	BC	CC
$h_{11} (h_i)$	1k Ω	20 Ω	1k Ω
$h_{12} (h_r)$	2,5x10 ⁻⁴	3x10 ⁻⁴	≈ 1
$h_{21} (h_f)$	50	-0,98	-50
$h_{22} (h_o)$	25 μ A/V	0,5 μ A/V	25 μ A/V
1/h ₂₂	40k Ω	2M Ω	40k Ω

Sơ đồ tương đương dẫn nạp

Y

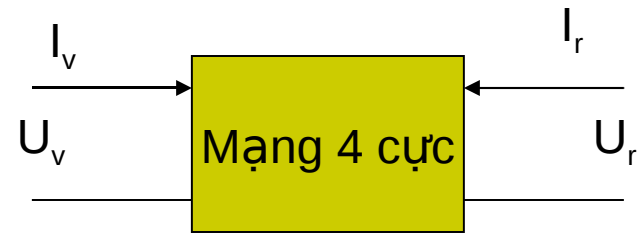


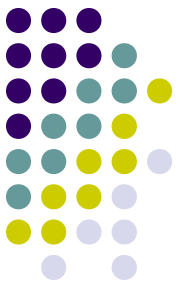
- Công thức mạng 4 cực:

$$I_v = y_{11} U_v + y_{12} U_r$$

$$I_r = y_{21} U_v + y_{22} U_r$$

- Chỉ số e (hoặc b, c) cho các cấu trúc CE (hoặc CB, CC)
- Bảng khoảng giá trị tham khảo trong sách





Các phương pháp phân tích

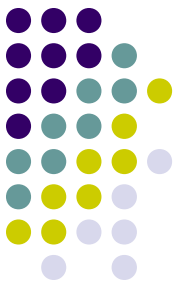
Sơ đồ tương đương mô hình r_e

Mô hình hoá BJT bằng một điốt và nguồn dòng điều khiển được, đưa vào cấu trúc mạng 4 cực

Trong đó:

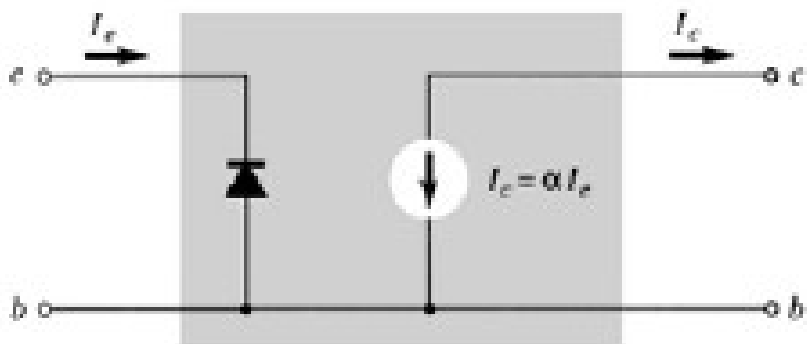
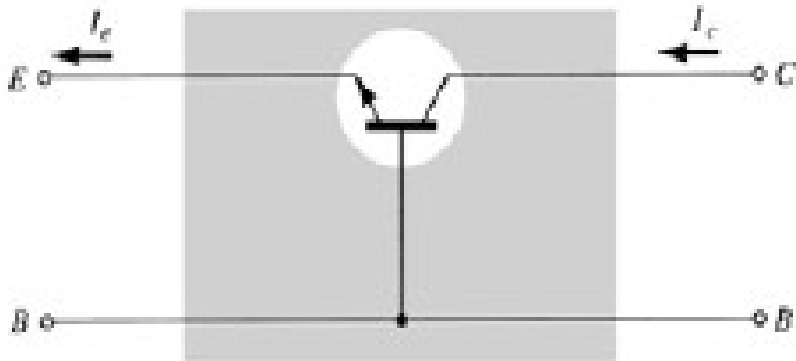
- ✓ Đầu vào: tiếp giáp BE (phân cực thuận) làm việc như 1 điốt
- ✓ Đầu ra: nguồn dòng điều khiển được, với dòng điều khiển là dòng vào, mô tả liên hệ $I_c = \beta I_b$ hoặc $I_c = \alpha I_e$.

Các loại: CE, CC, CB



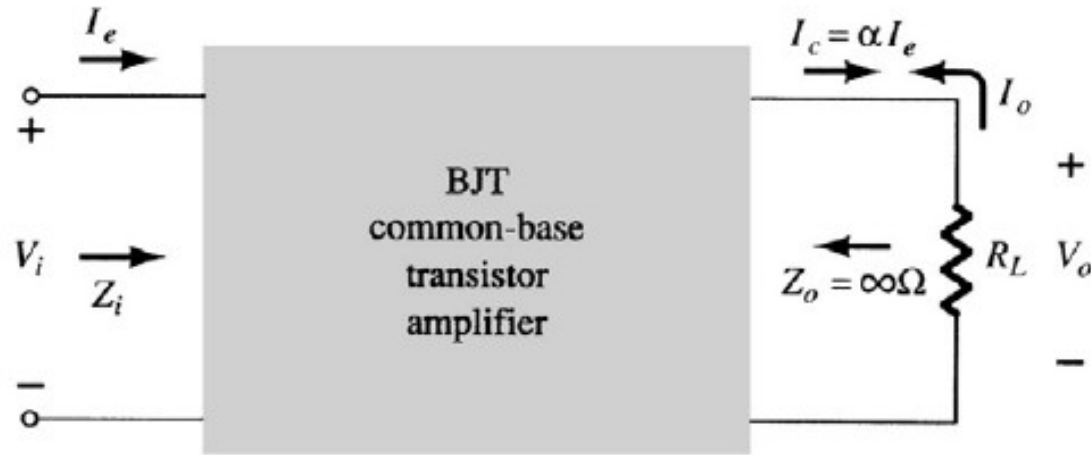
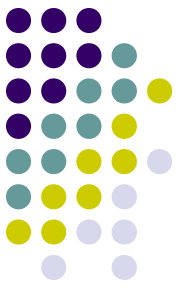
Sơ đồ tương đương mô hình r_e

Cấu hình CB

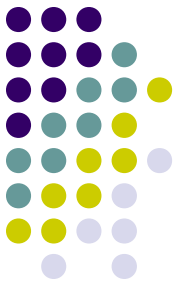


- Chung B giữa đầu vào và đầu ra
- Đầu vào: r_e là điện trở xoay chiều của 1 điốt:
 $r_e = 26\text{mV}/I_E$
- Cách ly giữa đầu vào và đầu ra
- Đầu ra: dòng điều khiển I_e , $I_c = \alpha I_e$

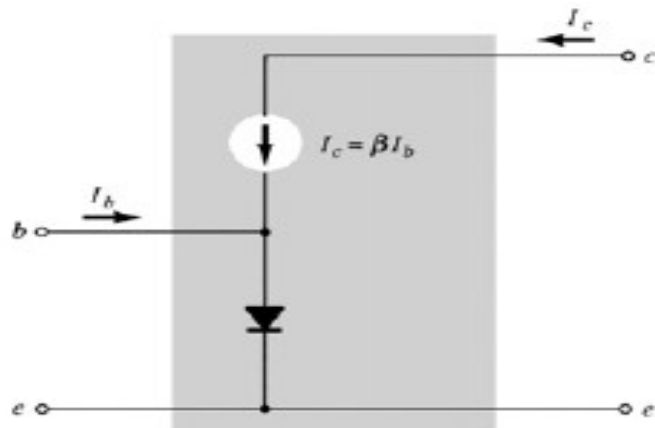
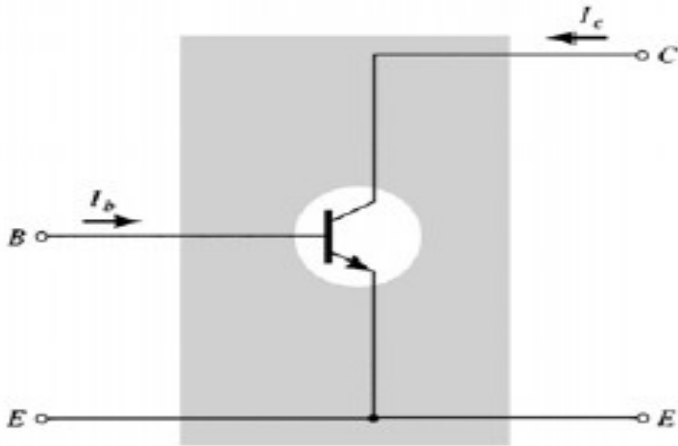
Sơ đồ tương đương mô hình r_e cấu hình CB



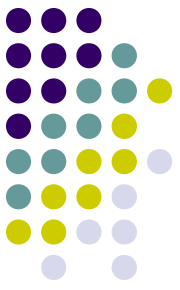
- 1) $Z_i = r_e$ (n Ω -50 Ω)
- 2) $Z_o = r_o \approx \infty$ (nM Ω) với Z_o là độ dốc của đường đặc tuyến ra. $Z_o = \infty$ nếu đường này nằm ngang
- 3) $A_v = \alpha R_L / r_e \approx R_L / r_e$ tương đối lớn, U_o & U_i đồng pha
- 4) $A_i = -\alpha \approx 1$



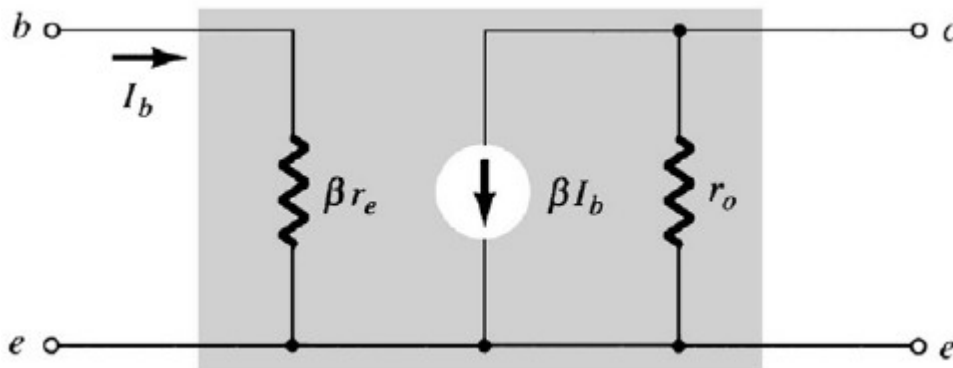
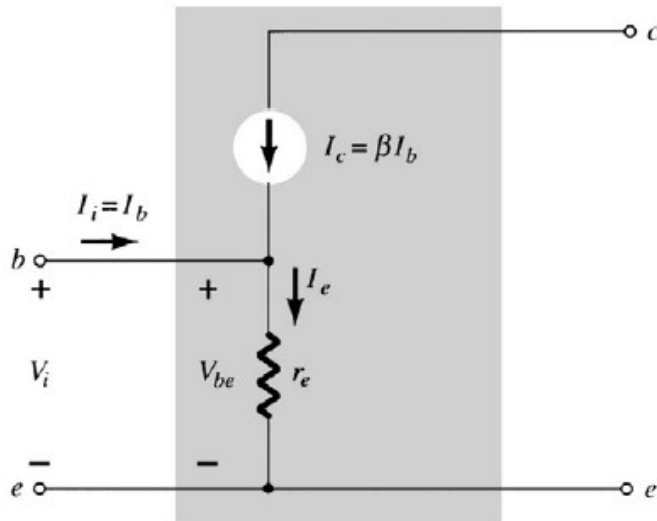
Sơ đồ tương đương mô hình r_e Cấu hình CE



- Chung E giữa vào và ra
- Đầu vào: 1 điốt tương đương đương, với $r_e =$ điện trở xoay chiều của điốt
- Đầu ra: nguồn dòng điều khiển $I_c = \beta I_b$



Sơ đồ tương đương mô hình r_e Cấu hình CE



- $Z_i = U_{be}/I_b \approx \beta I_b r_e / I_b \approx \beta r_e$

Khoảng $n100\Omega - nK\Omega$

- $Z_o = r_o \approx \infty$

(không được đưa vào trong mô hình r_e)

Xác định từ phân tích đặc tuyến ra: $r_o = 40-50K\Omega$

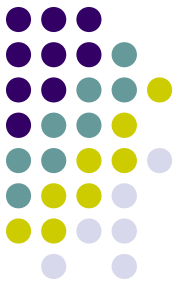
- $A_v = - R_L / r_e$ ($r_o = \infty$)

- $A_i = I_c / I_b = \beta$

Sơ đồ có Z_i , Z_o trung bình; A_v , A_i lớn

Sơ đồ tương đương mô hình r_e

Cấu hình CC

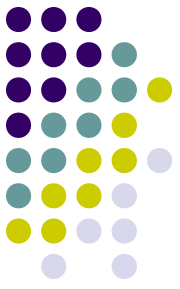


- Sơ đồ giống cấu hình CE
 - Tham khảo sách Electronic Devices and Circuit theory

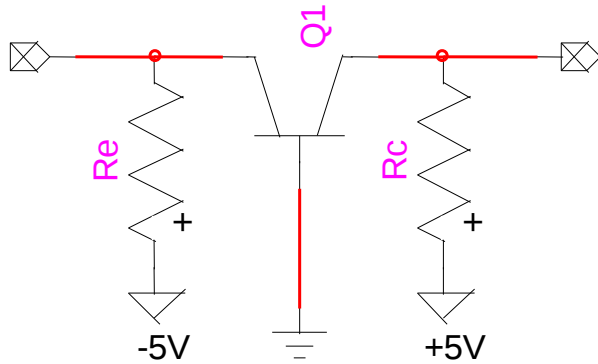


So sánh mô hình tương đương

<i>Mô hình tham số H</i>	<i>Mô hình r_e</i>
Cố định. Không biến đổi theo điểm làm việc	Có biến đổi theo điểm làm việc
Có xét đến tín hiệu hồi tiếp	Bỏ qua tín hiệu hồi tiếp
Có xét đến điện trở ra	Bỏ qua điện trở ra



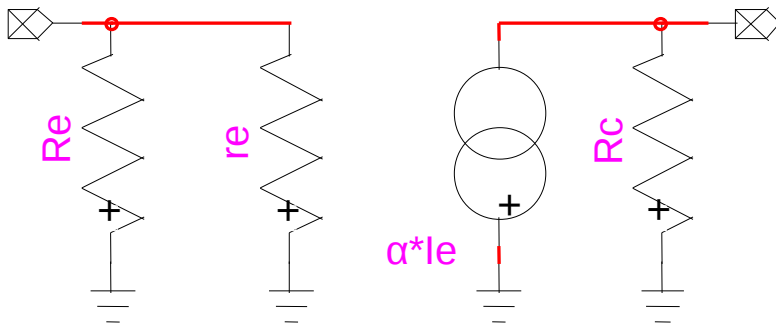
Phân tích một số sơ đồ Cấu hình CB



1) $Z_i = R_e \parallel r_e$
 Trở kháng vào tương
 đối nhỏ

1) $Z_o = R_c$
 Trở kháng ra lớn

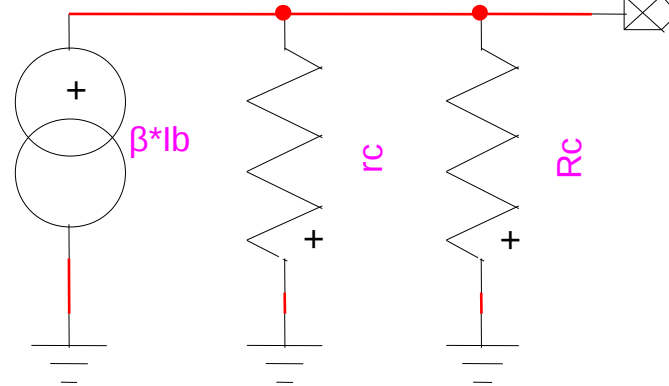
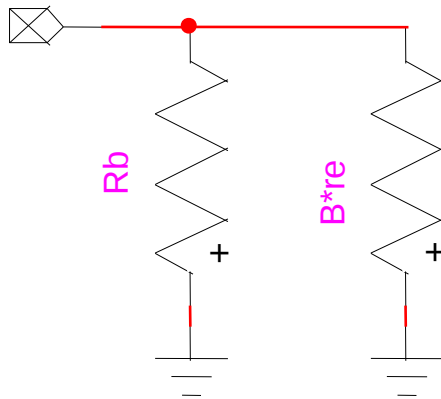
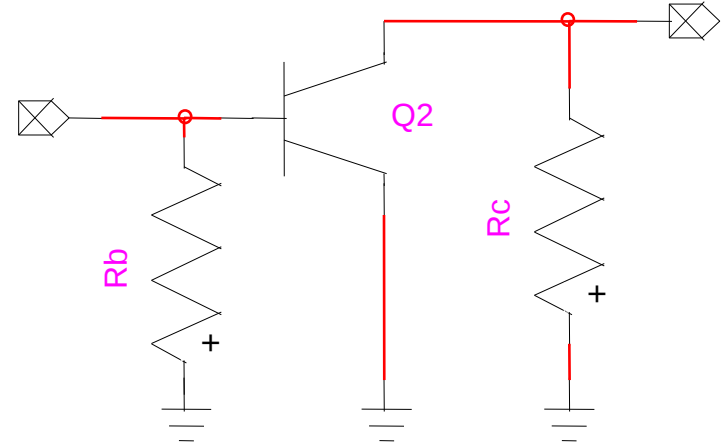
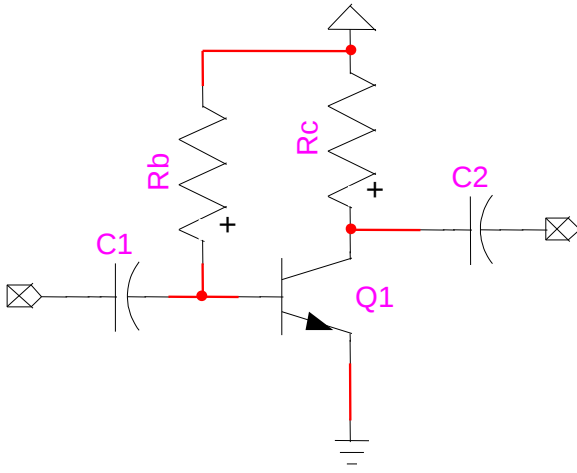
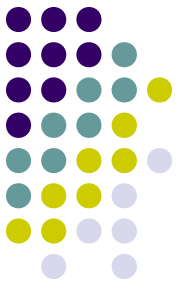
1) $A_v = \alpha R_c / r_e \approx R_c / r_e$
 Tương đối lớn
 U_i & U_o cùng pha

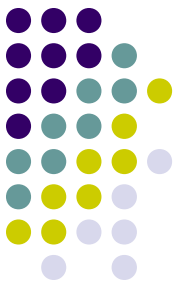


1) $A_i = -\alpha \approx -1$

Phân tích một số sơ đồ

Cấu hình CE phân cực cố định





Phân tích một số sơ đồ

Cấu hình CE phân cực cố định

$$1) \quad Z_i = R_b \parallel \beta r_e \quad \text{nếu } R_b \geq 10\beta r_e, \quad Z_i \approx \beta r_e$$

$$2) \quad Z_o = R_c \parallel r_o \quad \text{nếu } r_o \geq 10R_c, \quad Z_o \approx R_c$$

$$3) \quad A_v = - (R_c \parallel r_o) / r_e \approx - R_c / r_e$$

(β không xuất hiện tuy nhiên vẫn cần để xác định r_e)

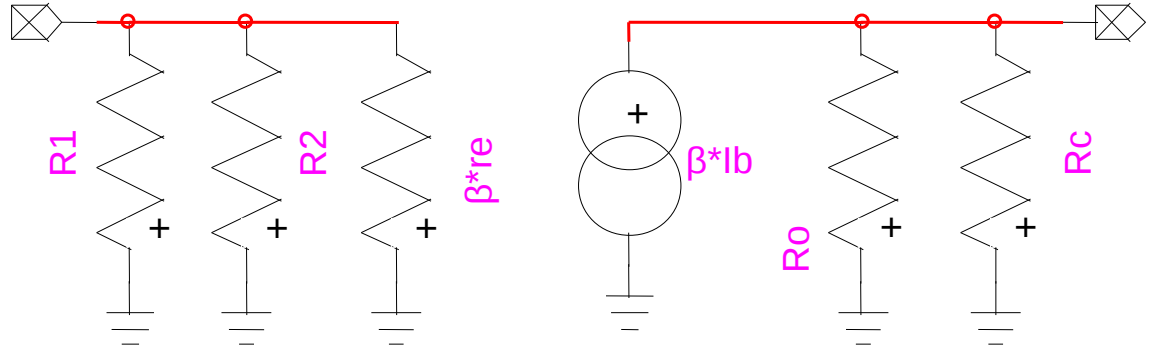
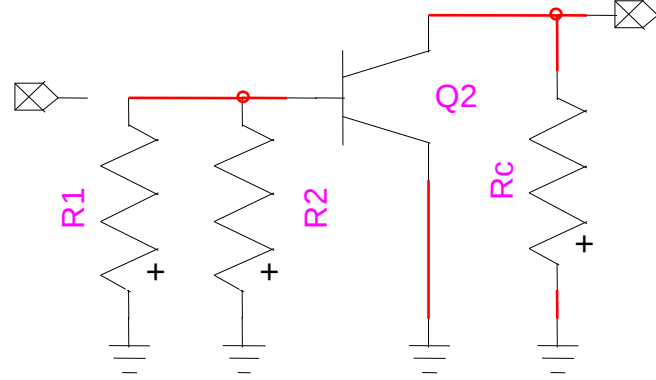
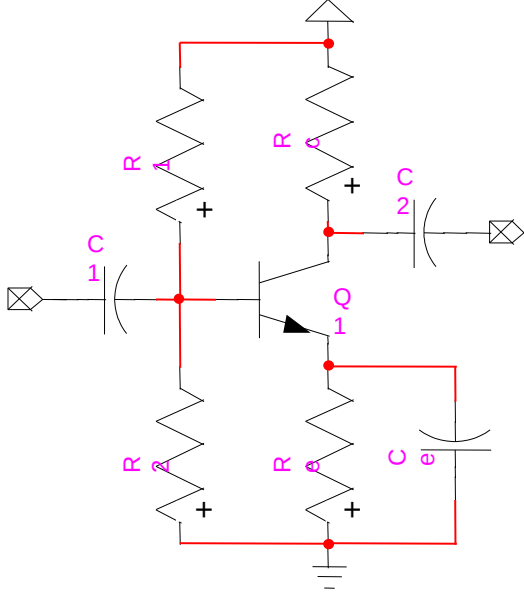
U_i & U_o lệch pha 180°

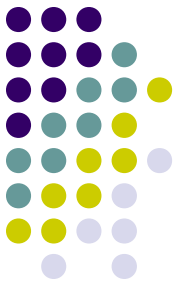
$$1) \quad A_i = \beta R_b r_o / [(r_o + R_c)(R_b + \beta r_e)] \approx \beta$$

(I_i là nguồn dòng. I_o là dòng collector)

Phân tích một số sơ đồ

Cấu hình CE phân áp





Phân tích một số sơ đồ

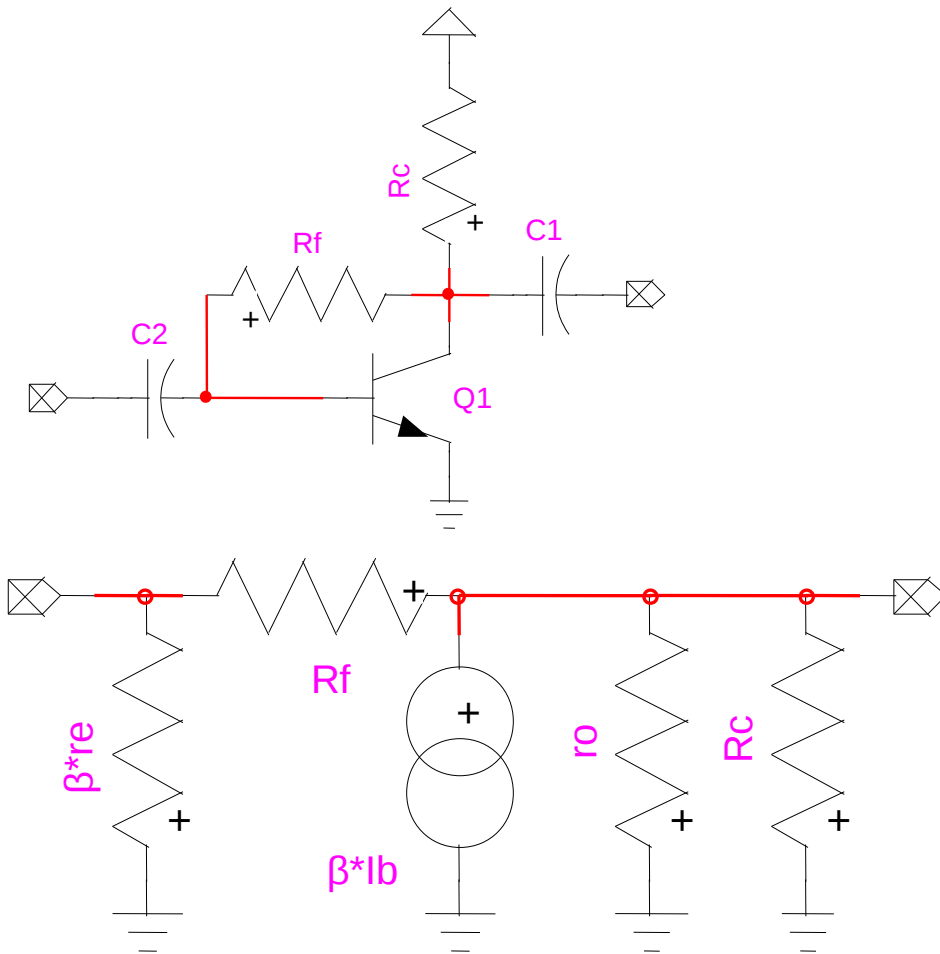
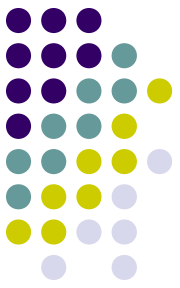
Cấu hình CE phân áp

- 1) $Z_i = R_1 || R_2 || \beta r_e = R' || \beta r_e$
- 2) $Z_o = R_c || r_o$ (If $r_o \geq 10R_c$, $Z_o \approx R_c$)
- 3) $A_v = - (R_c || r_o) / r_e \approx - R_c / r_e$

Giống như đã có trong cấu hình CE phân cực cố định

- 1) $A_i = \beta R' r_o / [(r_o + R_c)(R' + \beta r_e)]$
 $\approx \beta R' / (R' + \beta r_e)$ nếu $r_o \geq 10R_c$
 $\approx \beta$ nếu $R' \geq 10 \beta r_e$

Phân tích một số sơ đồ Cấu hình CE hồi tiếp



$$1) \quad Z_i = r_e / (1/\beta + R_c/R_f)$$

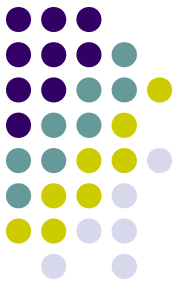
$$2) \quad Z_o = R_c // R_f$$

$$3) \quad A_v = -R_c / r_e$$

$$4) \quad A_i = \beta R_f / (R_f + \beta R_c) \\ \approx R_f / R_c$$

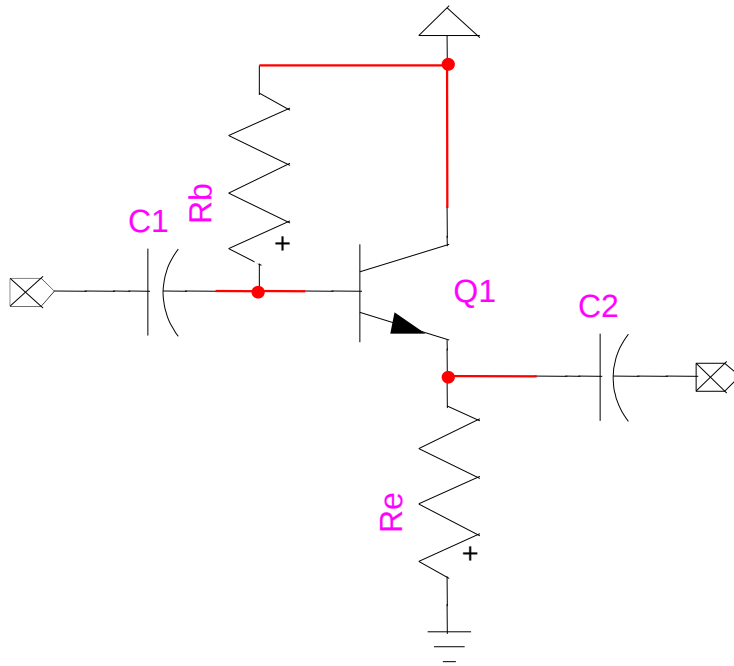
nếu $\beta R_c \gg R_f$

Khi $r_o \neq \infty$ cần thêm r_o
trong công thức

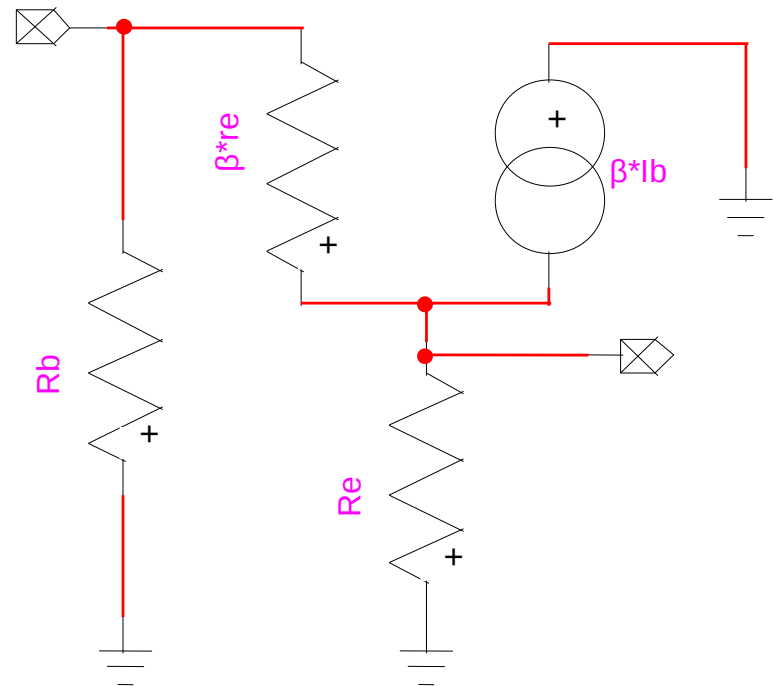


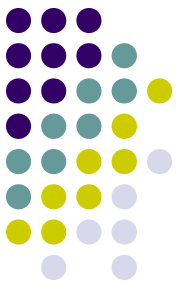
Phân tích một số sơ đồ

Cấu hình CC phân cực cố định



Sử dụng dạng sơ đồ
cho cấu hình CE





Phân tích một số sơ đồ

Cấu hình CC phân cực cố định

$$1) \quad Z_i = R_b \parallel [\beta r_e + (\beta + 1)R_e] \approx R_b \parallel \beta(r_e + R_e)$$

Trở kháng vào cao

$$1) \quad Z_o = R_e \parallel r_e \approx r_e \quad \text{vì} \quad R_e \gg r_e$$

Trở kháng ra nhỏ

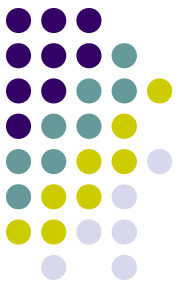
$$1) \quad A_v = R_e / (R_e + r_e) \approx 1$$

Điện áp ra cùng pha và nhỏ hơn điện áp vào 1 chút

=> “mạch lặp emitter”

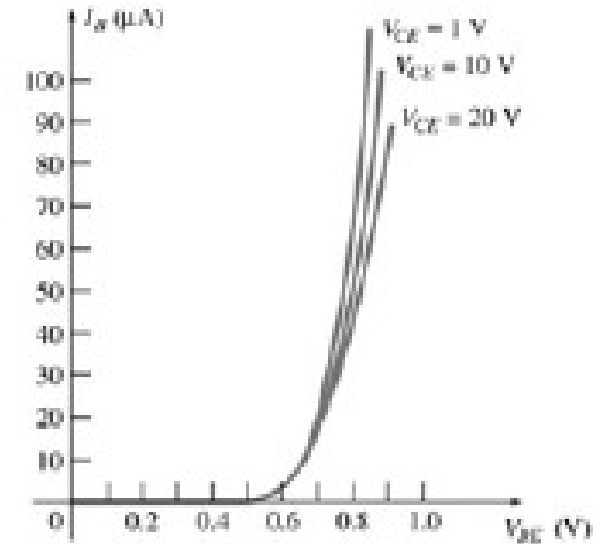
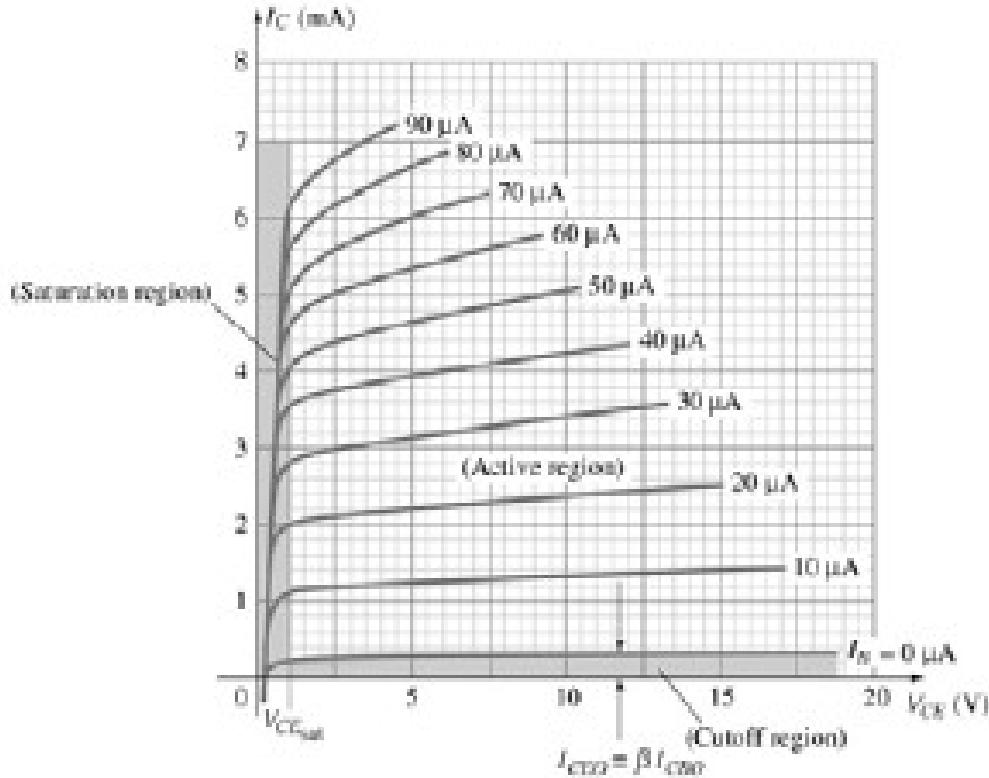
$$1) \quad A_i = -\beta R_b / [R_b + \beta(r_e + R_e)]$$

Ứng dụng: phối hợp trở kháng.

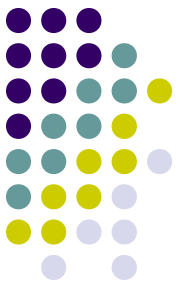


Các phương pháp phân tích

Phương pháp đồ thị



Đặc tuyến vào ra transistor BJT mắc CE



Các phương pháp phân tích

Phương pháp đồ thị

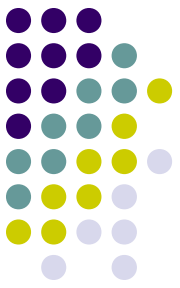
Điểm làm việc Q và đường tải:

- Điểm làm việc Q: điểm làm việc cố định trên đường đặc tuyến, được xác định bằng phân cực
- Đường tải: hình vẽ của tất cả giá trị phối hợp có thể của I_C and V_{CE} .
- 2 loại đường tải:

Đường tải tĩnh (chế độ 1 chiều): $V_{CE} = V_{CC} - I_C R_C$

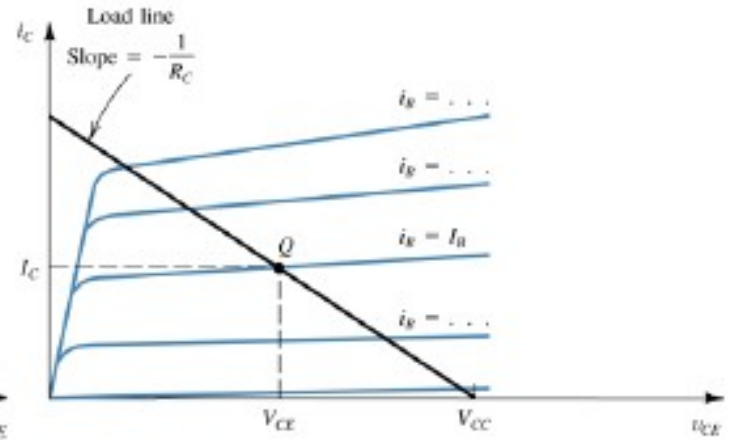
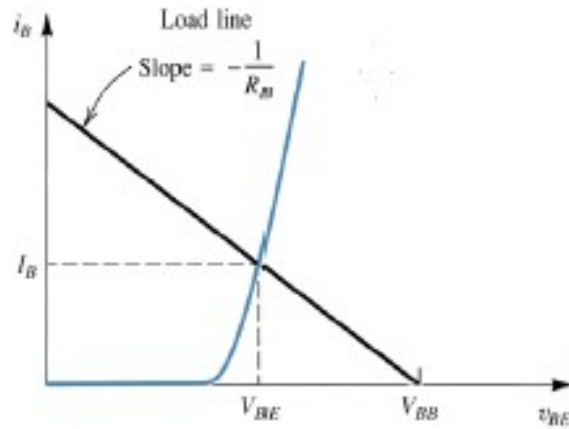
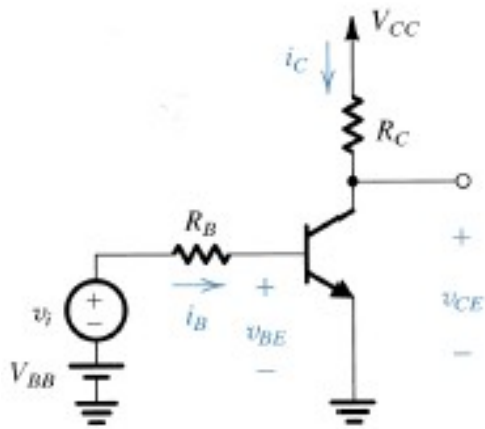
Đường tải động (chế độ xc): $v_{ce} = V_{CC} - i_c (R_C // R_L)$

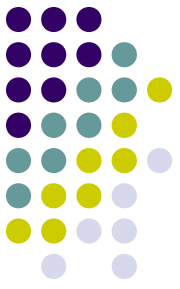
Dốc hơn so với đường tải tĩnh => ảnh hưởng đến điện áp ra



Các phương pháp phân tích

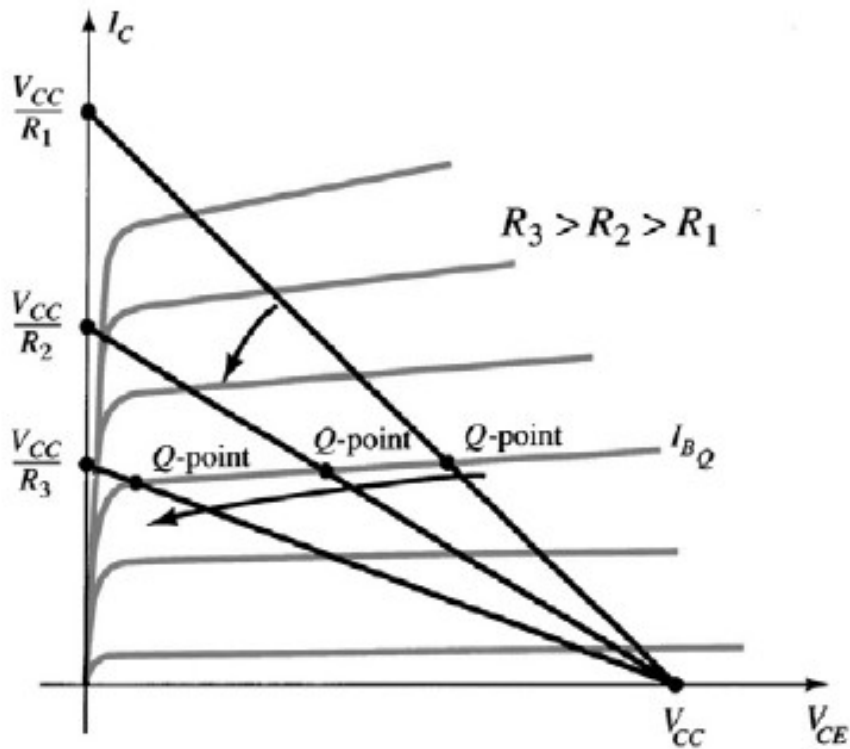
Phương pháp đồ thị



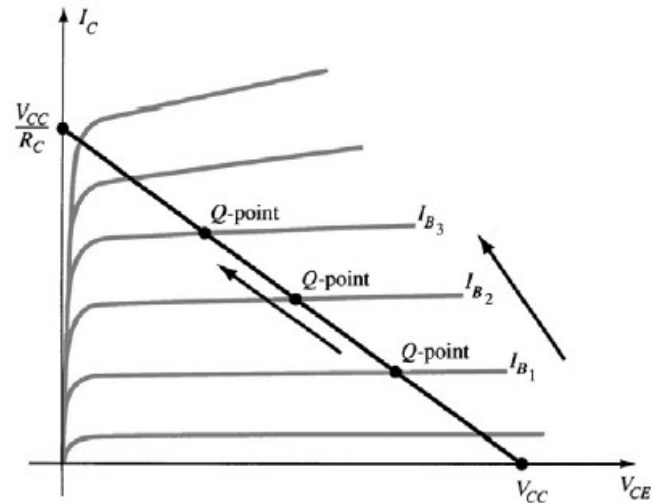
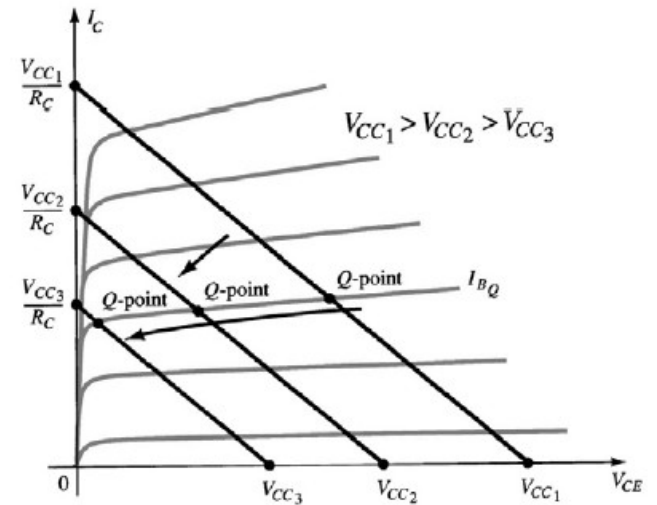


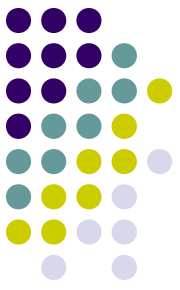
Các phương pháp phân tích

Phương pháp đồ thị



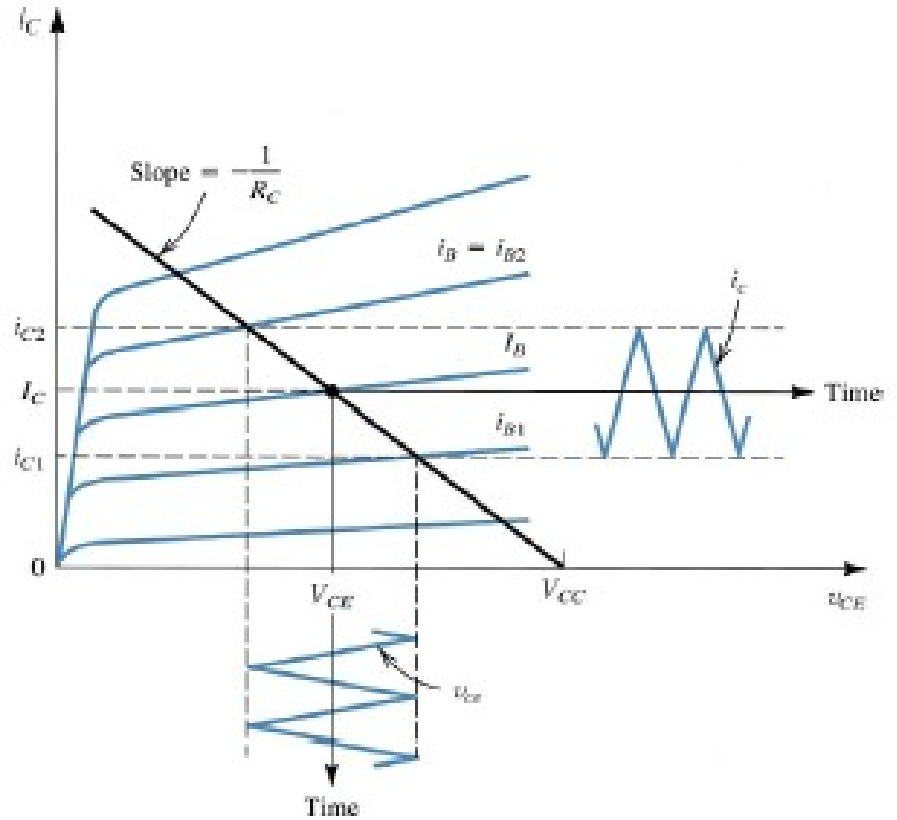
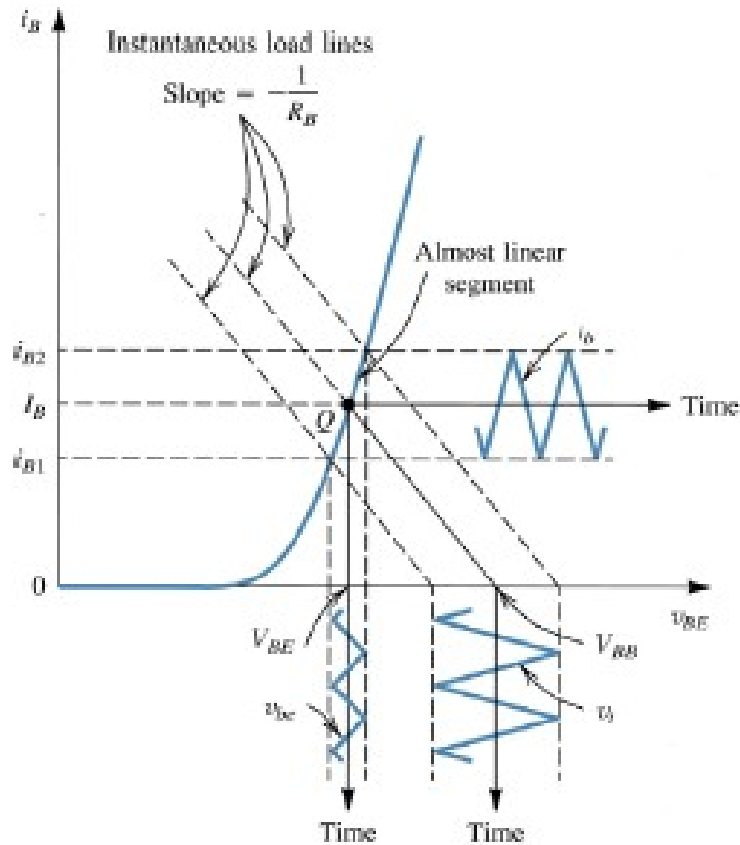
Vị trí Q khi: R_c , V_{cc} , I_b lần lượt thay đổi

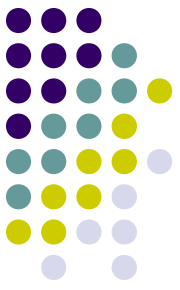




Các phương pháp phân tích

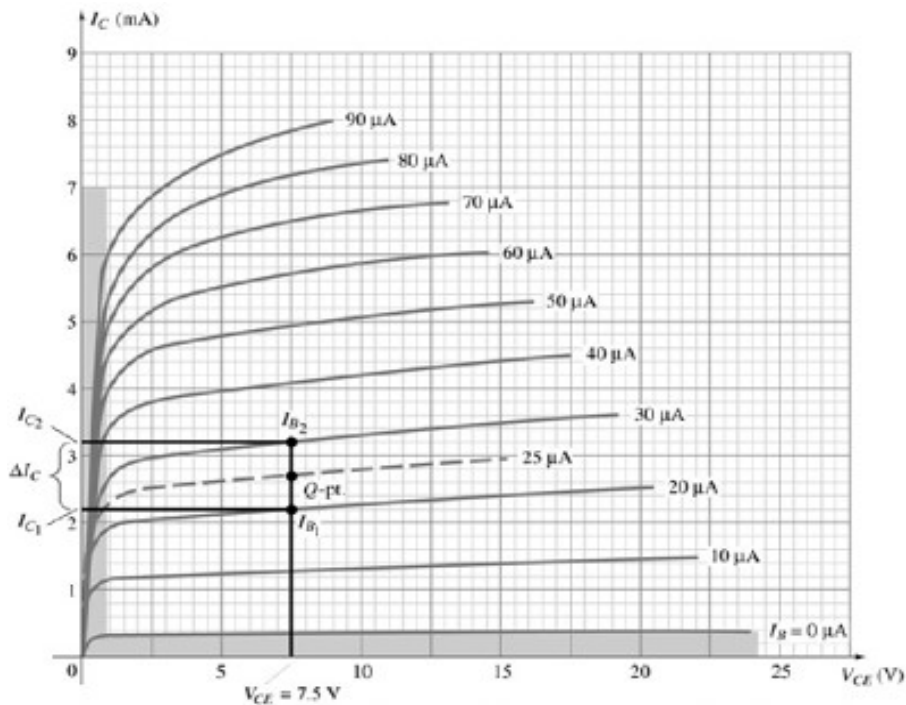
Phương pháp đồ thị



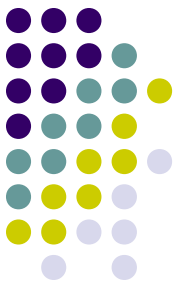


Các phương pháp phân tích

Phương pháp đồ thị



- Tín hiệu vào: thay đổi dòng vào Δi_b bằng thay đổi Δv_{be}
- Tín hiệu ra: thay đổi Δv_{ce} , Δi_c
- $A_i = i_o / i_i = \Delta i_c / \Delta i_b$
- $A_V = v_o / v_i = \Delta v_{ce} / \Delta v_{be}$
- $Z_{in} = v_i / i_i = \Delta v_{be} / \Delta i_b$
- $Z_{out} = v_o / i_o = \Delta v_{ce} / \Delta i_c$

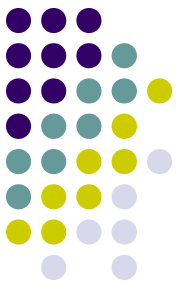


Các phương pháp phân tích

Phương pháp đồ thị

Ảnh hưởng của vị trí điểm Q (điều kiện 1 chiều) đến của tín hiệu xoay chiều ra

- Điểm Q gần vùng cắt (cutoff): BJT sẽ rơi vào vùng cắt dù khi giá trị vào rất bé, dẫn tới cắt phần dương điện áp ra
- Điểm Q gần vùng bão hoà (saturation): BJT rơi vào vùng bão hoà dễ dàng, dẫn tới cắt phần âm điện áp ra
- Tín hiệu vào quá lớn gây ra cắt cả phần âm và dương điện áp ra



Đặc điểm kỹ thuật

- Tên: 2N+số, ví dụ 2N4123, 2N2218...
- Thông số cơ bản:

Tối đa: U_{ce} , U_{cb} , U_{eb} , I_c , P_{dis} , T

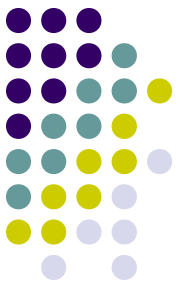
Đặc tính điện:

- OFF chars.: điện áp đánh thủng của CE, CB, EB, $I_{ccutoff}$, $I_{ecutoff}$
- ON chars.: DC β , $U_{ce(sat)}$, $U_{be(sat)}$
- Tín hiệu nhỏ: current-gain - bandwidth product ($\beta \cdot f$), small-signal β

Ảnh hưởng của các yếu tố kỹ thuật đến hoạt động thiết bị

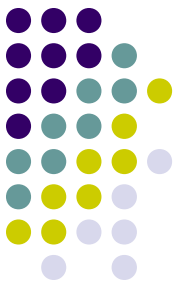


- Ảnh hưởng của cấu trúc BJT:
 - Vật liệu chế tạo: Ge, Si
 - Mức độ pha tạp
 - Kích thước BJT...
- Ảnh hưởng của tần số làm việc
- Ảnh hưởng của thời gian sử dụng
- Ảnh hưởng của độ ổn định nguồn
- Ảnh hưởng của nhiệt độ



Các ảnh hưởng khác

- Ảnh hưởng của tần số làm việc
 - Xét trong phần đáp ứng tần số
- Ảnh hưởng của thời gian sử dụng
- Ảnh hưởng của độ ổn định nguồn
 - Gây méo tín hiệu ra
- Ảnh hưởng của cấu trúc BJT:
 - Vật liệu chế tạo: Ge, Si – V_{be} , β , nhiệt độ...
 - Mức độ pha tạp – áp, dòng, β , nhiệt độ...
 - Kích thước BJT - dòng



Ảnh hưởng của nhiệt độ

Nhiệt độ ảnh hưởng nhiều đến các tham số thiết bị

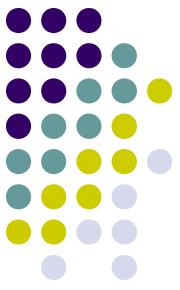
Khi nhiệt độ tăng:

- Hệ số β tăng
- Dòng dò I_{cbo} tăng
- Điện áp V_{be} giảm

=> gây ra sự không ổn định của mạch do sự dịch chuyển của điểm làm việc Q

⇒ chất lượng tín hiệu ra giảm

Đối với BJT chế tạo từ Si, β chịu ảnh hưởng nhiều của nhiệt độ



Hệ số ổn định

- ✓ $S(I_{co}) = \Delta I_c / \Delta I_{cbo}$ – ảnh hưởng nhiều đến
BJT dùng Germani
- ✓ $S(U_{be}) = \Delta I_c / \Delta U_{be}$ – ảnh hưởng ít
- ✓ $S(\beta) = \Delta I_c / \Delta \beta$ – ảnh hưởng nhiều đến
BJT dùng Silic

Tổng ảnh hưởng đến dòng I_c

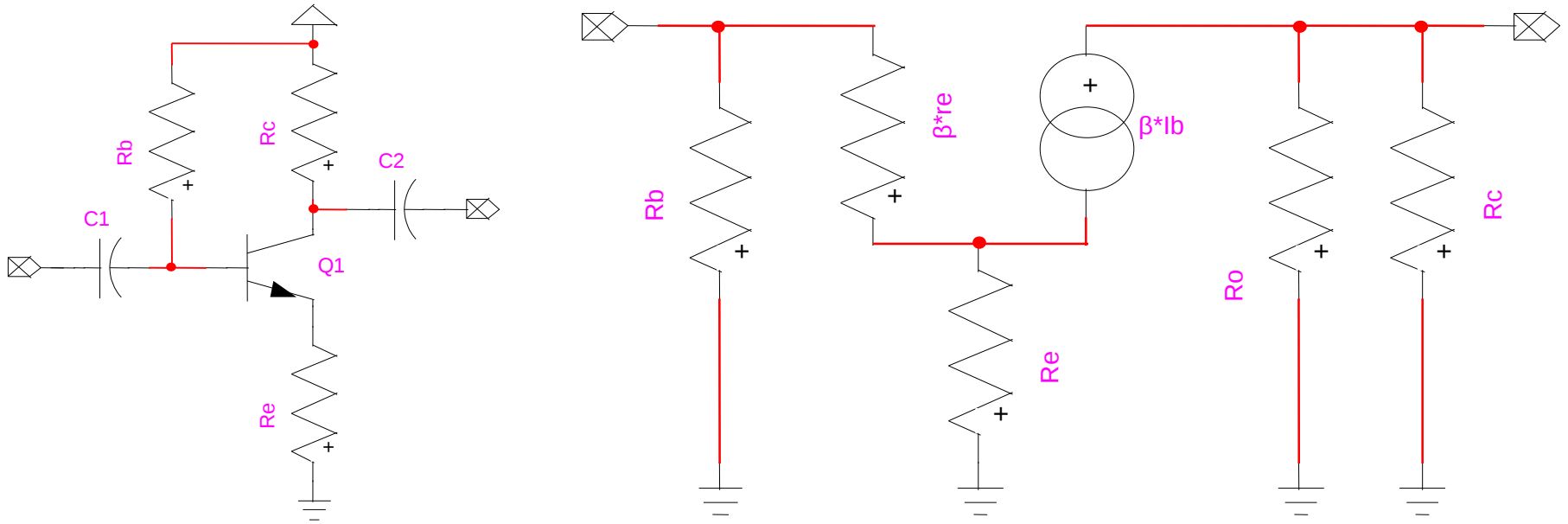
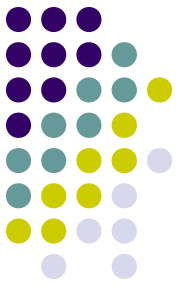
$$\Delta I_c = S(I_{co}) * \Delta I_{cbo} + S(U_{be}) * \Delta U_{be} + S(\beta) * \Delta \beta$$

Ổn định hoạt động BJT



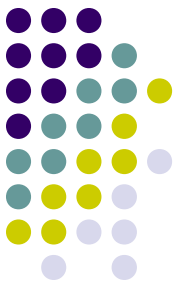
- Hồi tiếp âm điện áp hoặc dòng điện
- Làm mát - bằng quạt hoặc nước
- Ổn định nguồn cung cấp
- Chọn BJT thích hợp

Ổn định bằng hồi tiếp âm điện áp



Ổn định chế độ một chiều bằng điện trở R_E
(hồi tiếp âm điện áp)

$$I_B = (V_{CC} - U_{BE}) / (R_B + \beta R_E) \quad \& \quad I_C = \beta I_B$$



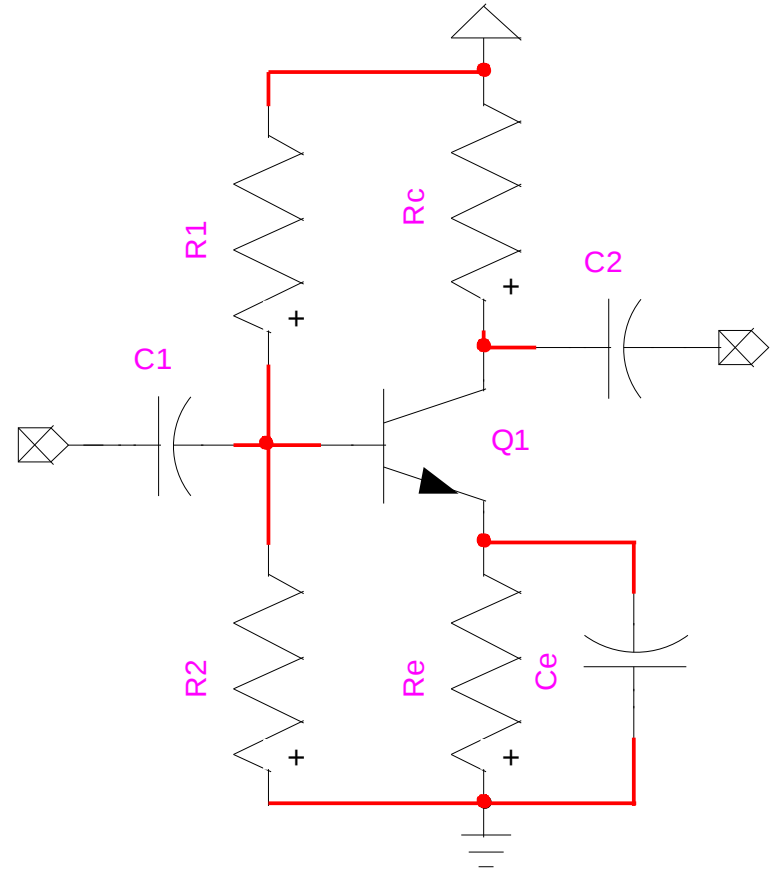
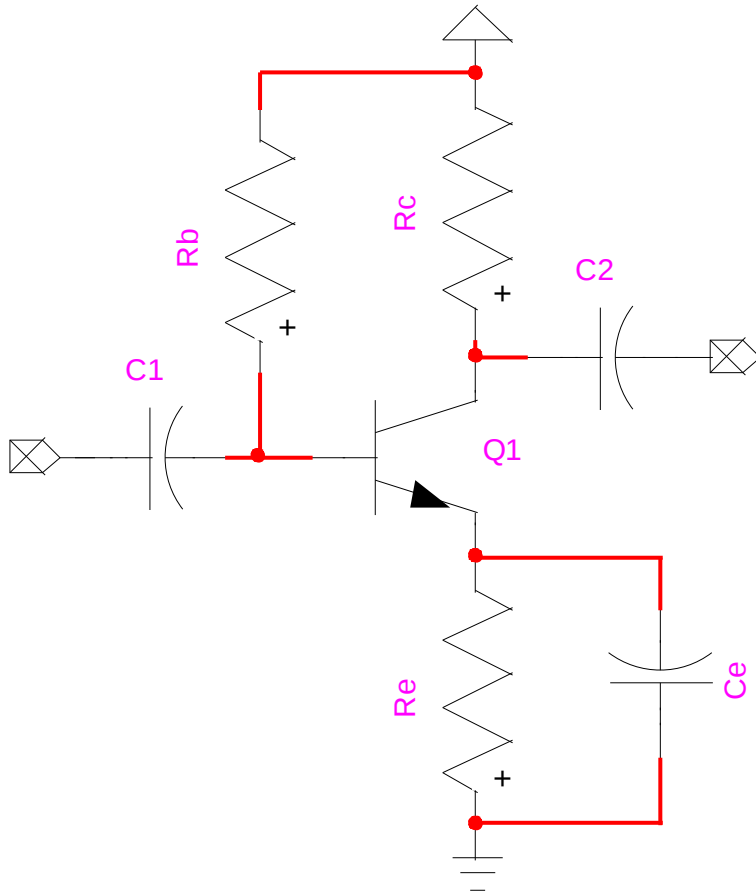
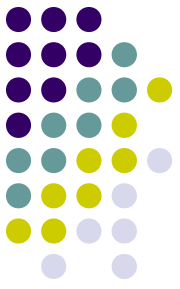
Ổn định bằng hồi tiếp âm điện áp

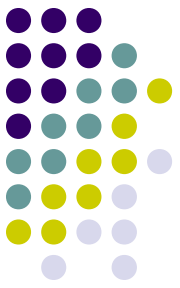
- $Z_i = R_B // \beta(r_e + R_E)$
- $Z_o = R_C$
- $A_v = -R_C / (r_e + R_E)$
- $A_i = \beta R_B / [R_B + \beta(r_e + R_E)]$

Trở kháng vào tăng nhưng hệ số khuếch đại điện áp giảm

=> sử dụng tụ để ngắn mạch R_E ở chế độ xoay chiều

Sơ đồ CE dùng tụ ngắn mạch R_E

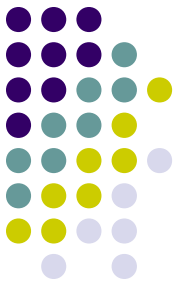




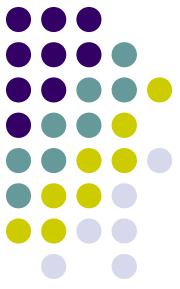
Bài tập

- Chương 3: 3, 5, 11, 14, 21, 28, 30, 33
- Chương 4: 5, 6, 7, **10, 11**, 14, 19, 26, 28, 32, 33
- Chương 7: 6, 8, 10, 23
- Chương 8: 1, 4, 7, 11, 14, 15, 16, 19, 28

Chương 4: Mạch khuếch đại tín hiệu nhỏ sử dụng FET

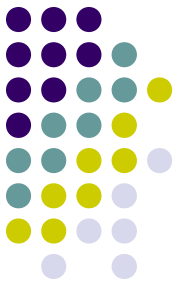


- Giới thiệu chung
- Phân loại
 - JFET
 - MOSFET kênh có sẵn (Depletion MOS)
 - MOSFET kênh cảm ứng (Enhancement MOS)
- Cách phân cực
- Mạch khuếch đại tín hiệu nhỏ
- Sơ đồ tương đương và tham số xoay chiều



Giới thiệu chung

- Trở kháng vào rất lớn, $nM\Omega$ - $n100M\Omega$
- Được điều khiển bằng điện áp (khác với BJT)
- Tiêu tốn ít công suất
- Hệ số tạp âm nhỏ, phù hợp với nguồn tín hiệu nhỏ
- Ít bị ảnh hưởng bởi nhiệt độ
- Phù hợp với vai trò khóa đóng mở công suất nhỏ
- Kích thước nhỏ, công nghệ chế tạo phù hợp với việc sử dụng để thiết kế IC



Phân loại

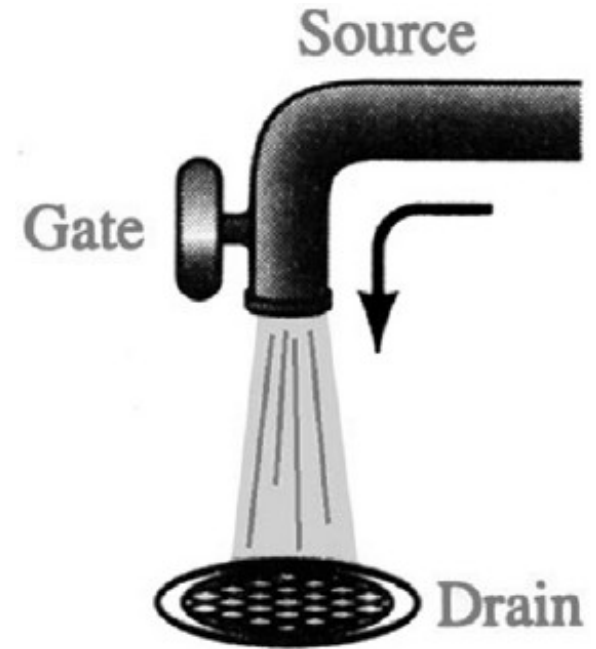
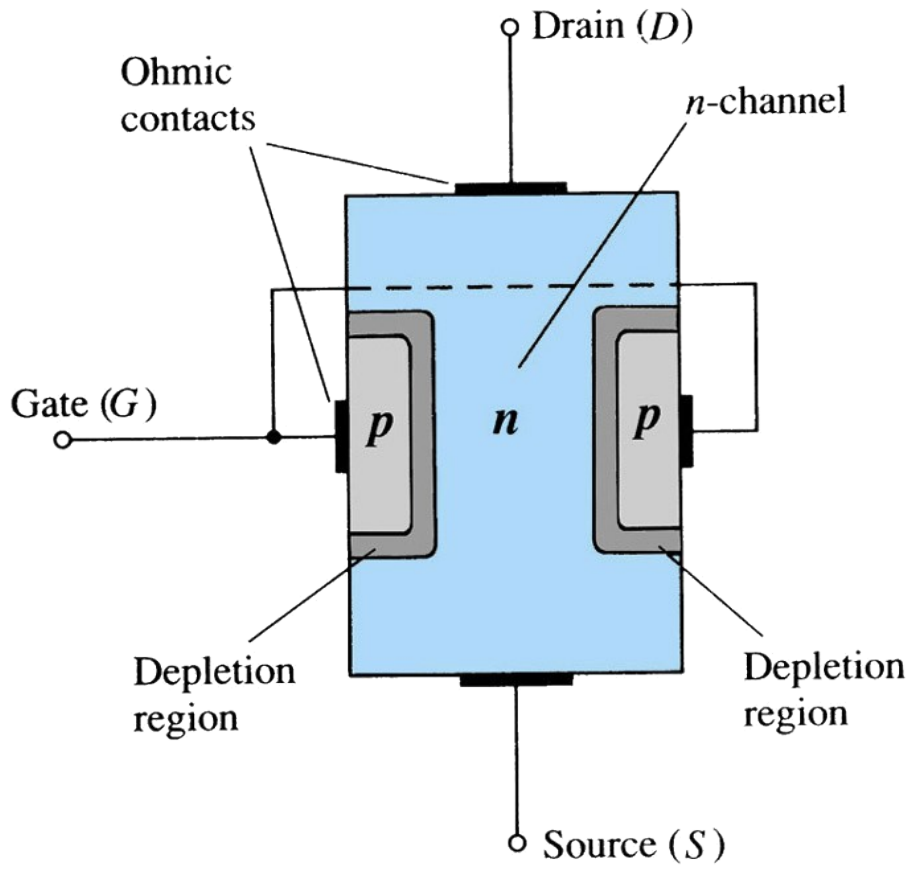
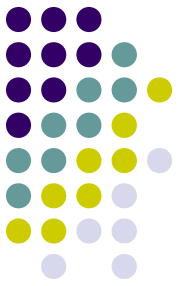
- JFET-Junction Field Effect Transistor
 - Kênh N
 - Kênh P
- MOSFET-Metal Oxide Semiconductor FET
 - Kênh có sẵn (Depletion MOS) :
 - Kênh N và P
 - Kênh cảm ứng (Enhancement MOS):
 - Kênh N và P

JFET

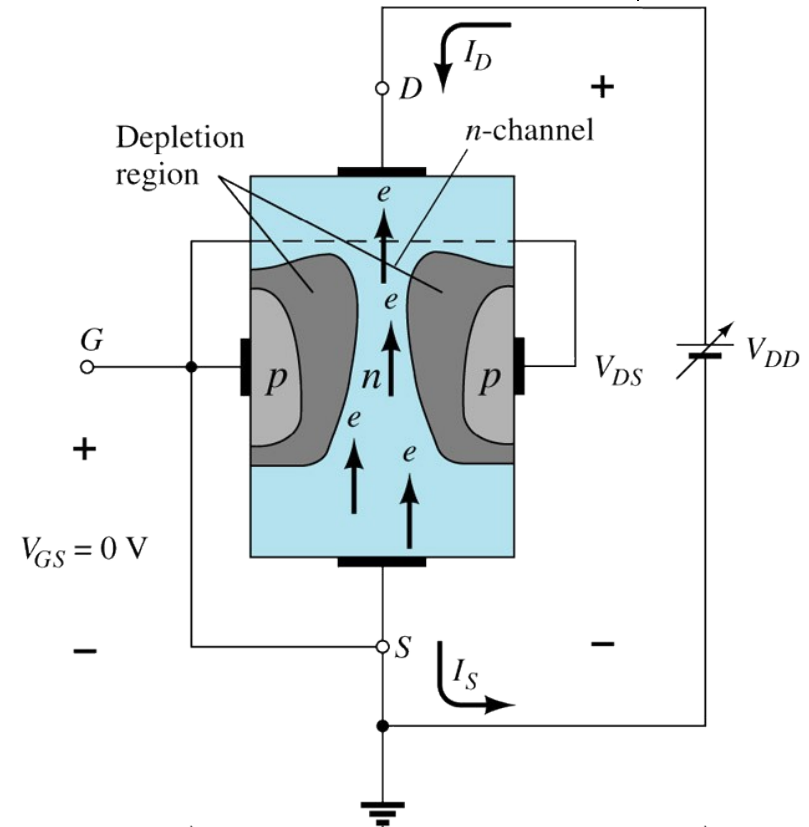
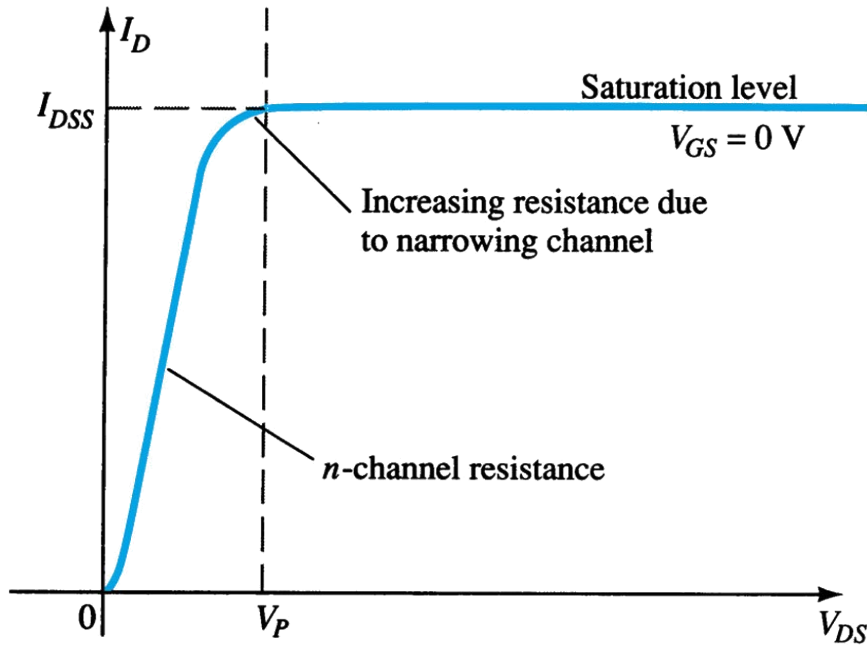
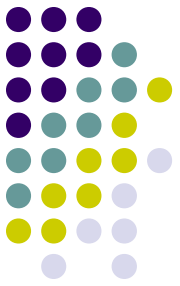


- Cấu trúc
- Hoạt động
- Đặc tuyến
- So sánh với BJT
- Ví dụ, bảng tham số kỹ thuật

JFET – Cấu trúc

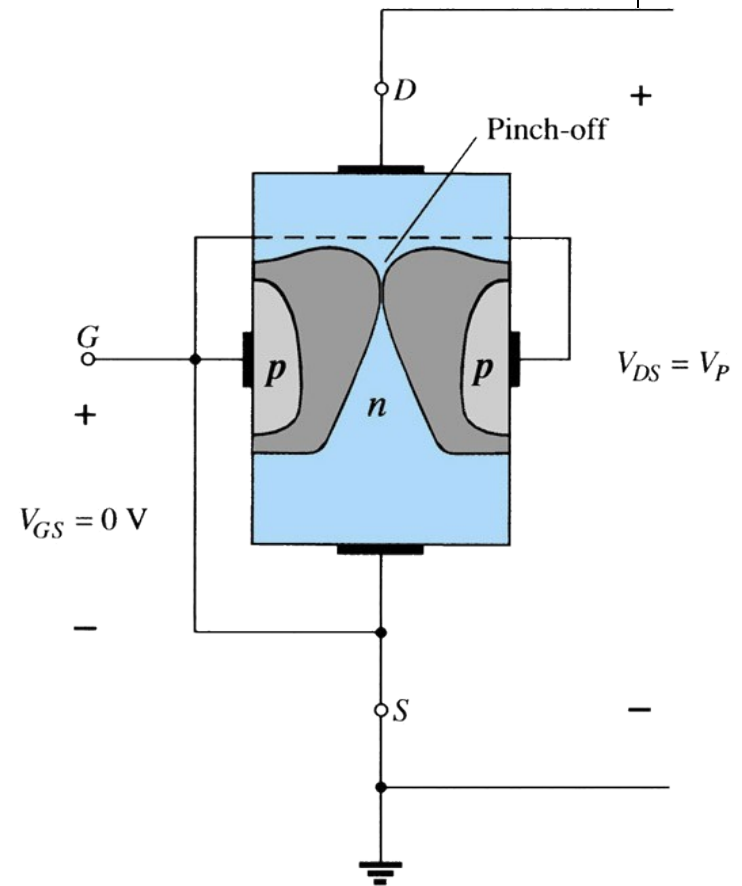
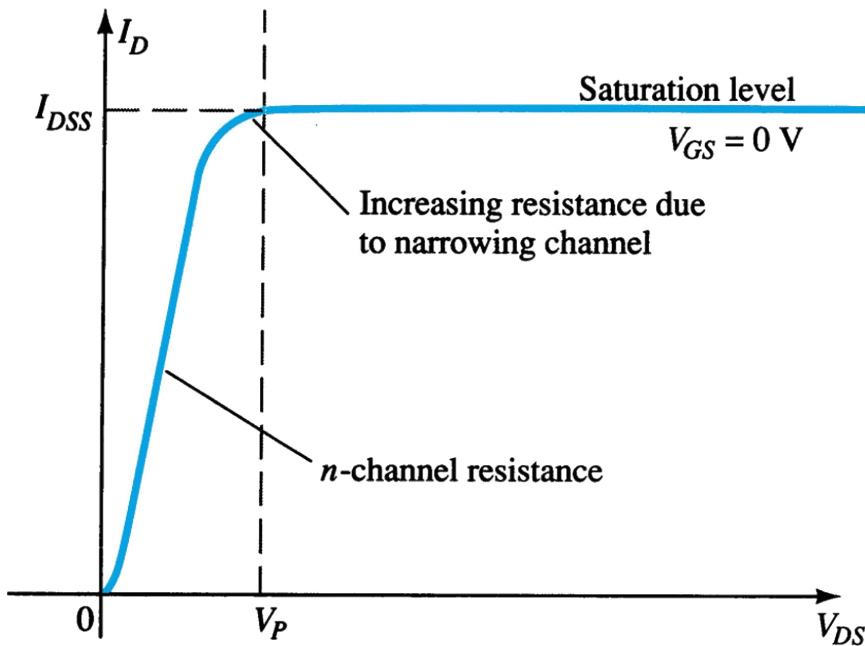
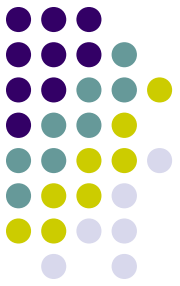


JFET – Hoạt động



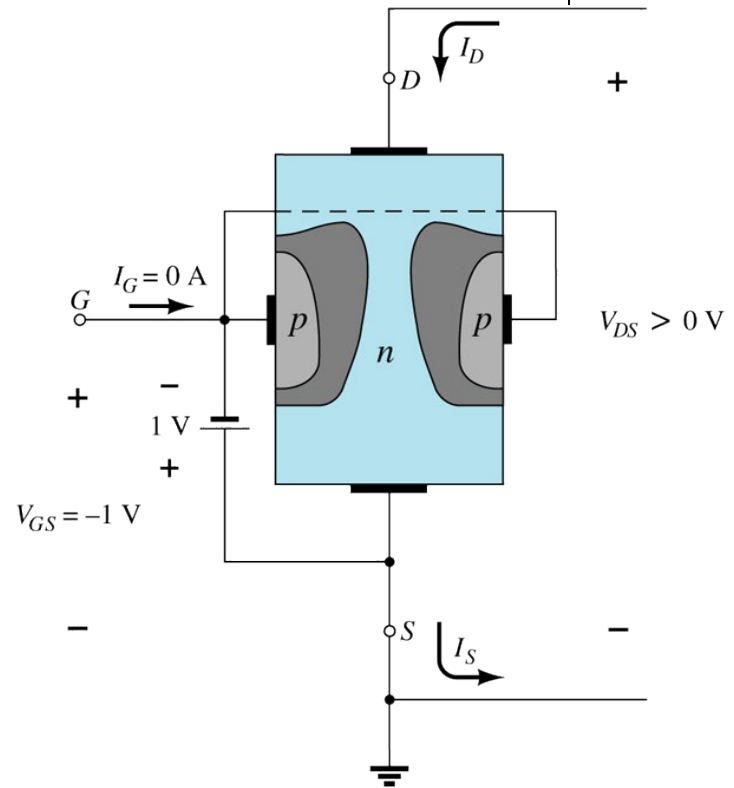
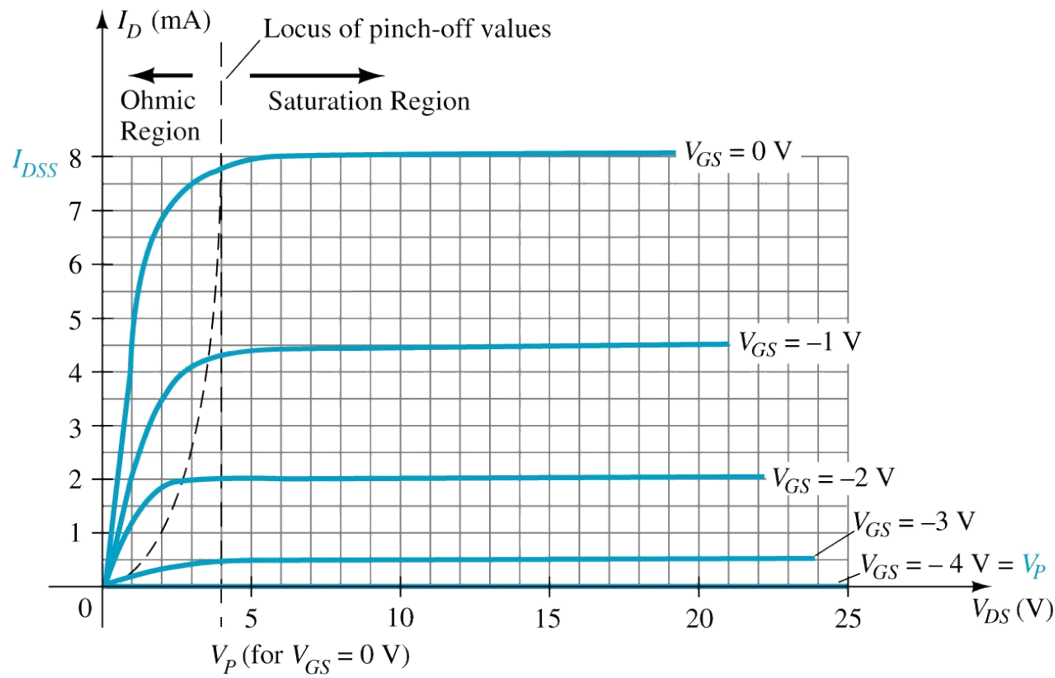
- $V_{GS} = 0$, $V_{DS} > 0$ tăng dần, I_D tăng dần

JFET – Hoạt động



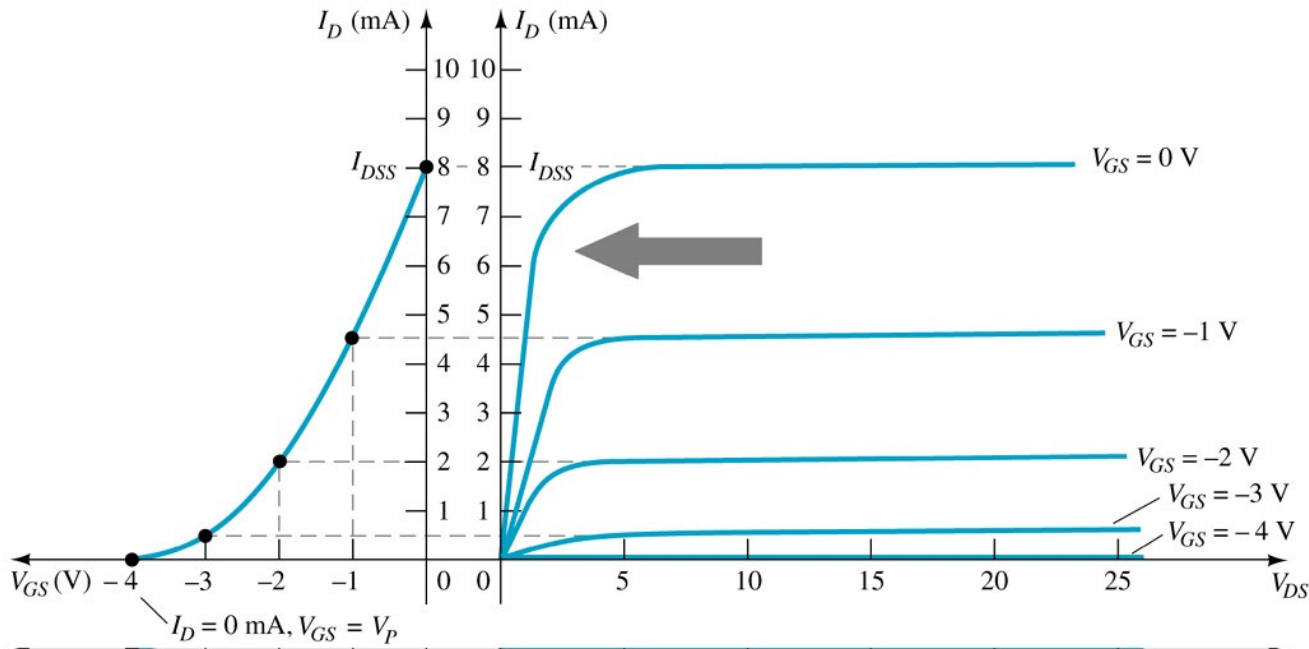
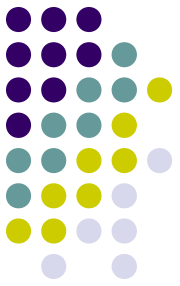
- $V_{GS} = 0$, $V_{DS} = V_P$, $I_D = I_{DSS}$
- V_P điện áp thắt kênh (pinch-off)

JFET – Hoạt động



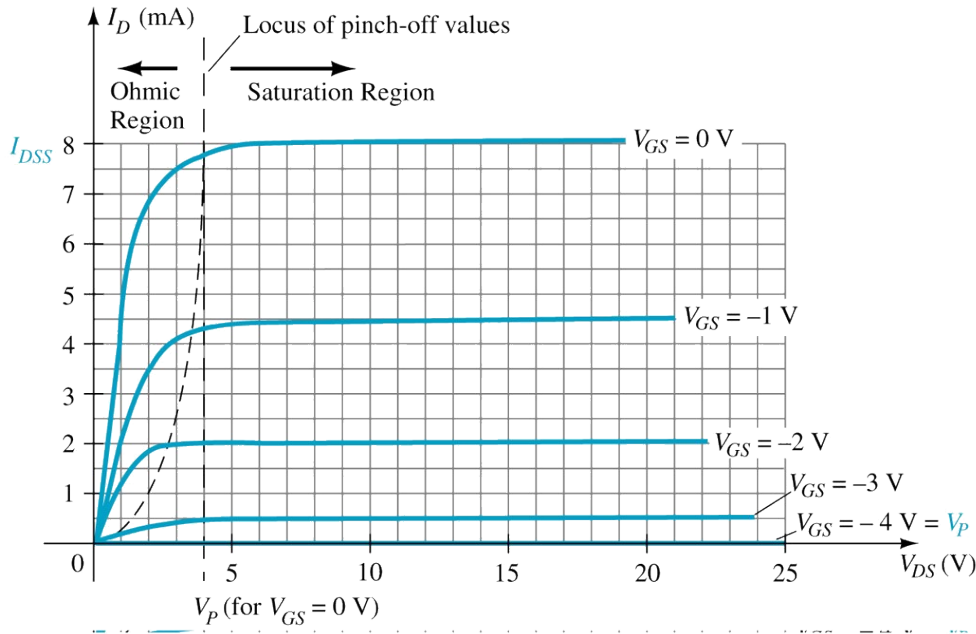
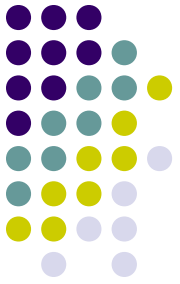
- $V_{GS} < 0$, $V_{DS} > 0$, giá trị mức bão hòa của I_D cũng giảm dần
- $V_{GS} = V_P$, $I_D = 0$

JFET – Đặc tuyến



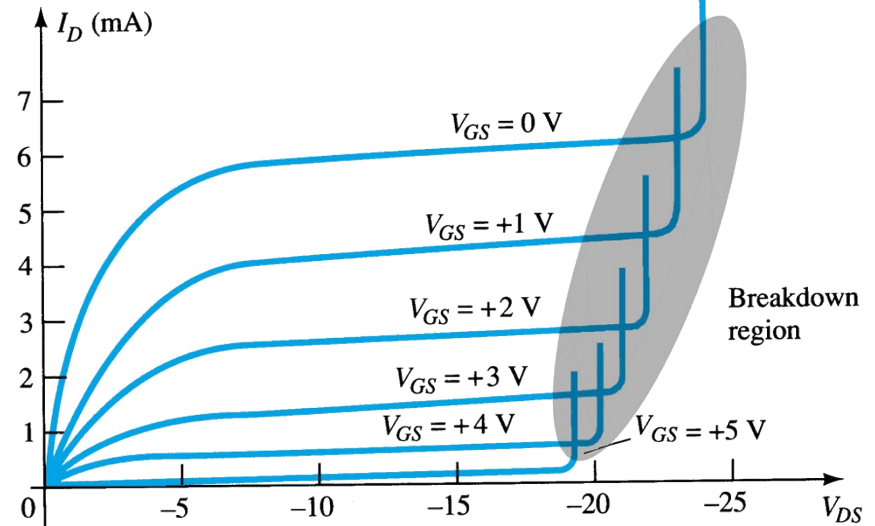
- Đặc tuyến truyền đạt $I_D = f(V_{GS})$ tuân theo phương trình Shockley: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$
- $I_G \approx 0$ A (dòng cực cổng)
- $I_D = I_S$ (I_D dòng cực máng, I_S dòng cực nguồn)

JFET – Đặc tuyến



P

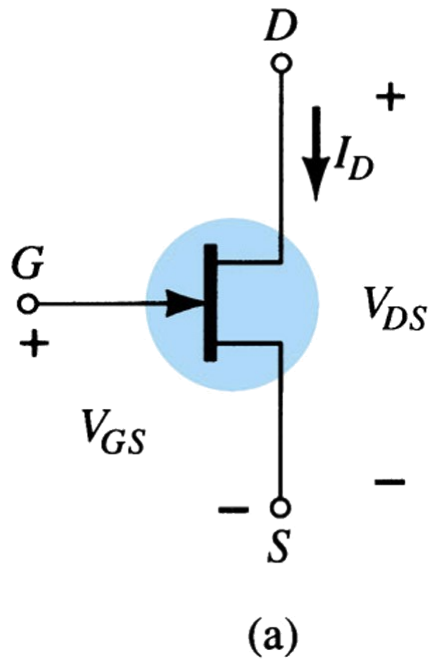
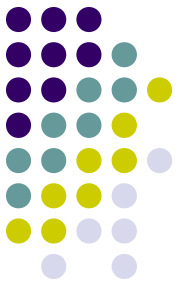
N-channel, $I_{DSS} = 8\text{mA}$, $V_P = -4\text{V}$



P

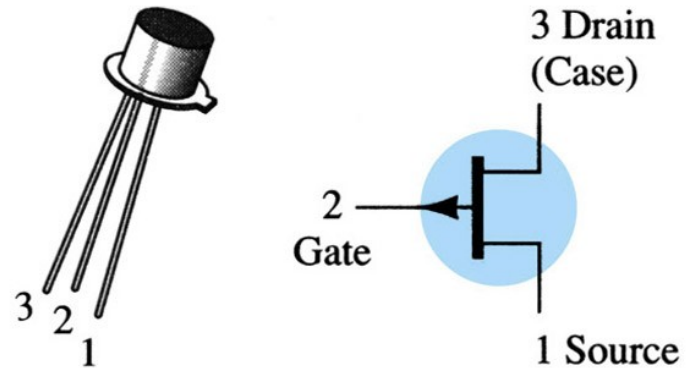
P-channel, $I_{DSS} = 6\text{mA}$, $V_P = 6\text{V}$

JFET – Kí hiệu



2N2844

CASE 22-03, STYLE 12
TO-18 (TO-206AA)



JFETs
GENERAL PURPOSE
P-CHANNEL

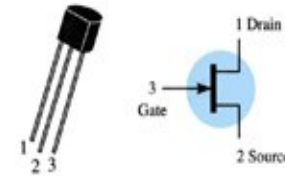
JFET 2N5457

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	25	Vdc
Reverse Gate-Source Voltage	V_{GSR}	-25	Vdc
Gate Current	I_G	10	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	310 2.82	mW mW/°C
Junction Temperature Range	T_J	125	°C
Storage Channel Temperature Range	T_{stg}	-65 to +150	°C

2N5457

CASE 29-04, STYLE 5
TO-92 (TO-226AA)



JFETs
GENERAL PURPOSE
N-CHANNEL—DEPLETION

Refer to 2N4220 for graphs.

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Gate-Source Breakdown Voltage ($I_G = -10 \mu\text{Adc}$, $V_{DS} = 0$)	$V_{(BR)GS}$	-25	-	-	Vdc
Gate Reverse Current ($V_{GS} = -15 \text{Vdc}$, $V_{DS} = 0$) ($V_{GS} = -15 \text{Vdc}$, $V_{DS} = 0$, $T_A = 100^\circ\text{C}$)	I_{GSS}	-	-	-1.0 -200	nAdc
Gate Source Cutoff Voltage ($V_{DS} = 15 \text{Vdc}$, $I_D = 10 \text{nAdc}$)	2N5457 $V_{GS(off)}$	-0.5	-	-6.0	Vdc
Gate Source Voltage ($V_{DS} = 15 \text{Vdc}$, $I_D = 100 \mu\text{Adc}$)	2N5457 V_{GS}	-	-2.5	-	Vdc

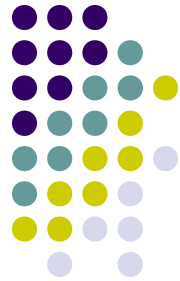
ON CHARACTERISTICS

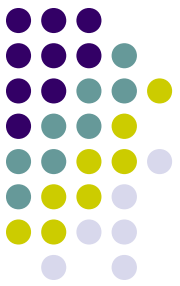
Zero-Gate-Voltage Drain Current* ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$)	2N5457 I_{DSS}	1.0	3.0	5.0	mAdc
---	------------------	-----	-----	-----	------

SMALL-SIGNAL CHARACTERISTICS

Forward Transfer Admittance Common Source* ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{kHz}$)	2N5457 $ Y_{fs} $	1000	-	5000	μmhos
Output Admittance Common Source* ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{kHz}$)	$ Y_{os} $	-	10	50	μmhos
Input Capacitance ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{MHz}$)	C_{iss}	-	4.5	7.0	pF
Reverse Transfer Capacitance ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{MHz}$)	C_{rss}	-	1.5	3.0	pF

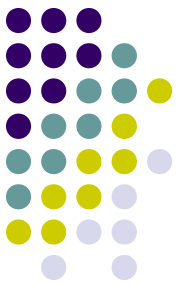
*Pulse Test: Pulse Width $\leq 630 \text{ms}$; Duty Cycle $\leq 10\%$





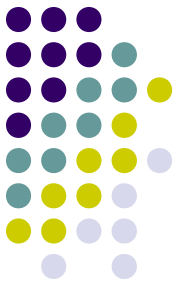
Datasheet-2N5457

Rating	Symbol	Value	Unit
Drain-Source voltage	V_{DS}	25	Vdc
Drain-Gate voltage	V_{DG}	25	Vdc
Reverse G-S voltage	V_{GSR}	-25	Vdc
Gate current	I_G	10	nAdc
Device dissipation 25°C	P_D	310	mW
Derate above 25°C		2.82	mW/°C
Junction temp range	T_J	125	°C
Storage channel temp range	T_{stg}	-60 to +150	°C



Datasheet-2N5457-characteristics

Characteristic	Symbol	Min	Typ	Max	Unit
V_{G-S} breakdown	$V_{(BR)GSS}$	-25			Vdc
I_{gate} reverse($V_{gs}=-15$, $V_{ds}=0$)	I_{GSS}			-1.0	nAdc
V_{G-S} cutoff	$V_{GS(off)}$	-0.5		-1.0	Vdc
V_{G-S}	V_{GS}		-2.5	-6.0	Vdc
I_{D} -zero gate volage	I_{DSS}	1.0	3.0	5.0	mAdc
C_{in}	C_{iss}		4.5	7.0	pF
$C_{reverse}$ transfer	C_{rss}		1.5	3.0	pF

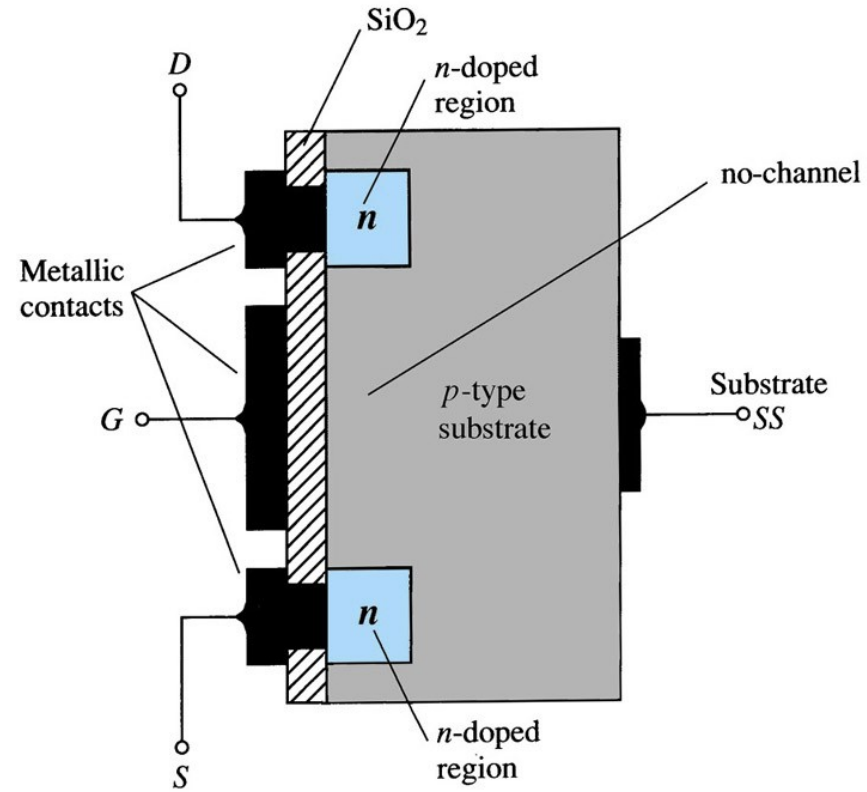
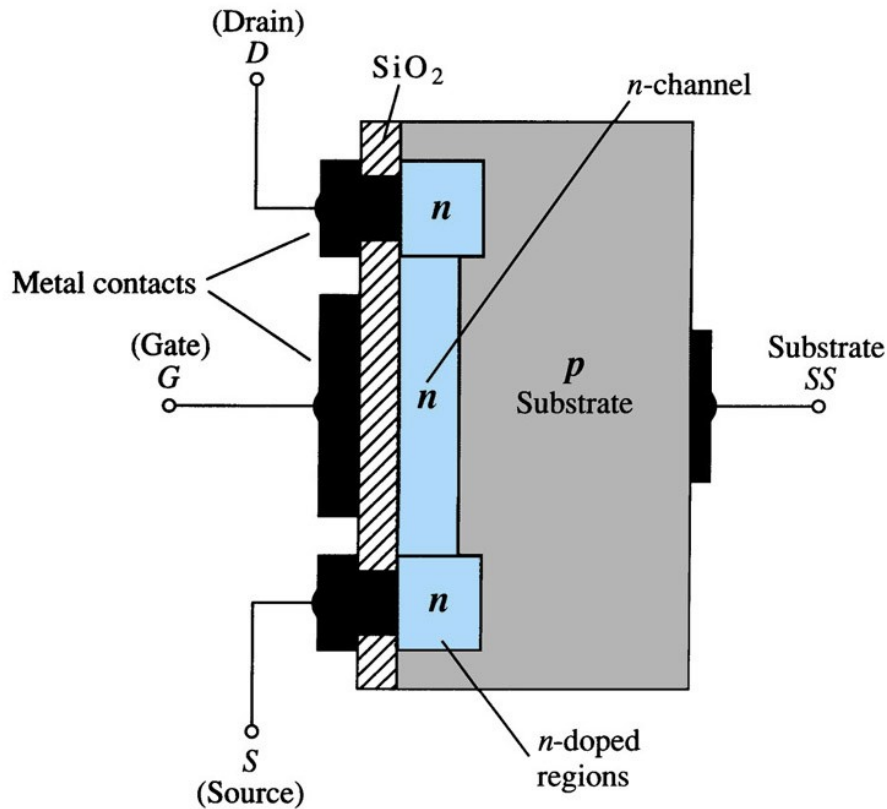


MOSFET

- Cấu trúc
- Hoạt động
- Đặc tuyến

Chú ý: rất cẩn thận khi sử dụng so với JFET vì lớp oxit bán dẫn của MOS dễ bị đánh thủng do tĩnh điện

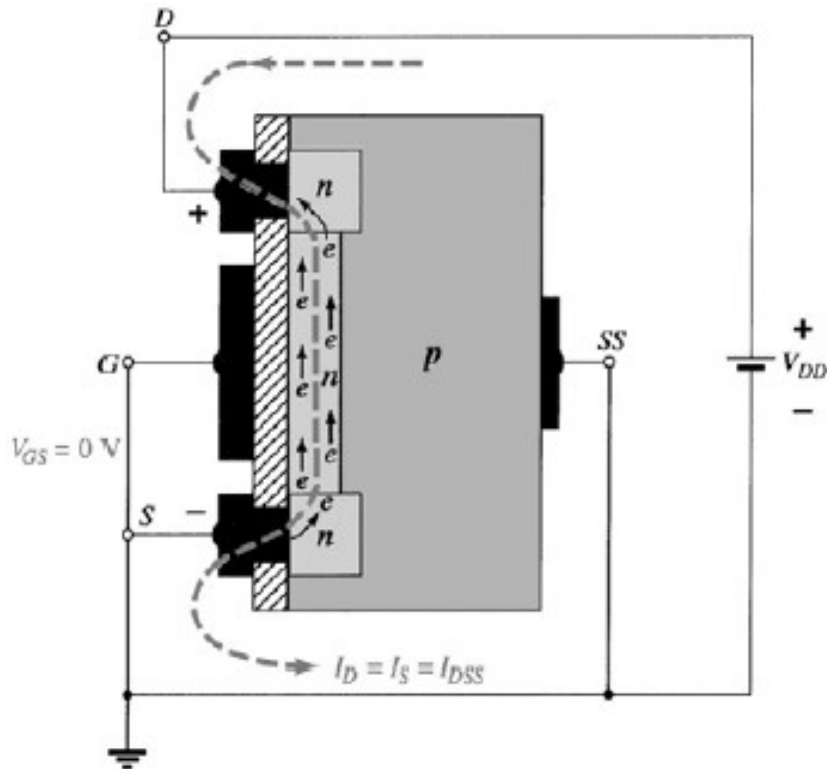
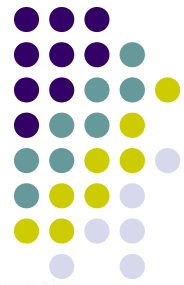
MOSFET – Cấu trúc



N-channel depletion DMOS

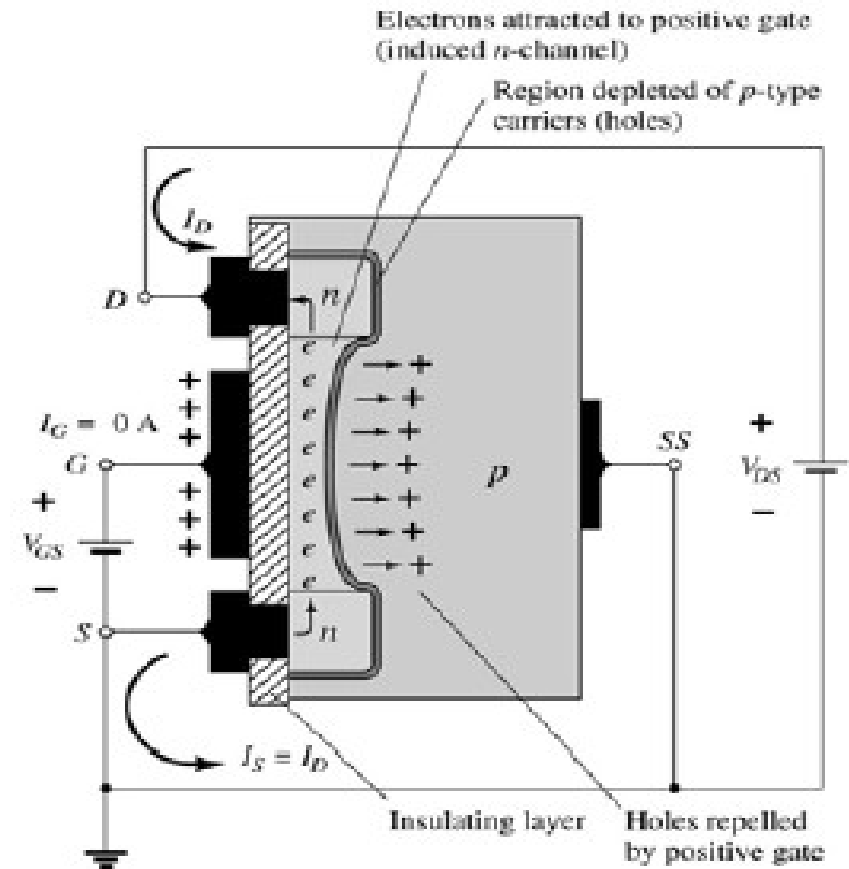
N-channel enhancement EMOS

MOSFET – Hoạt động



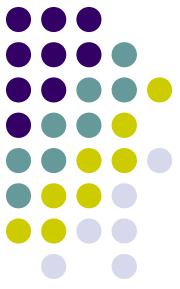
N-channel DMOS

$$V_{GS} = 0, V_{DS} > 0$$

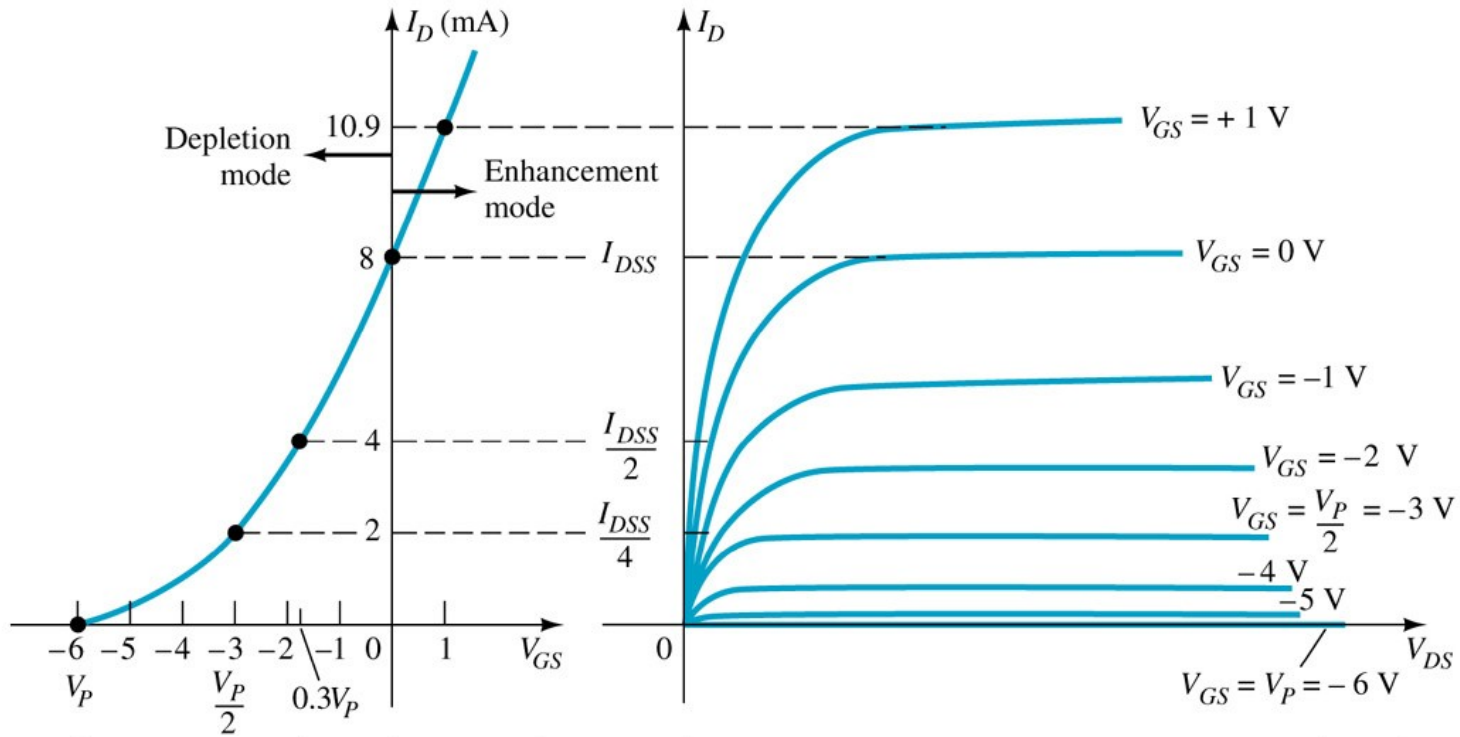


N-channel EMOS

$$V_{GS} > 0, V_{DS} > 0$$



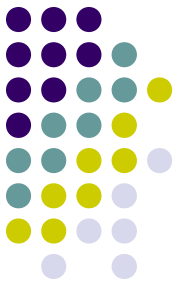
DMOS – Đặc tuyến truyền đạt



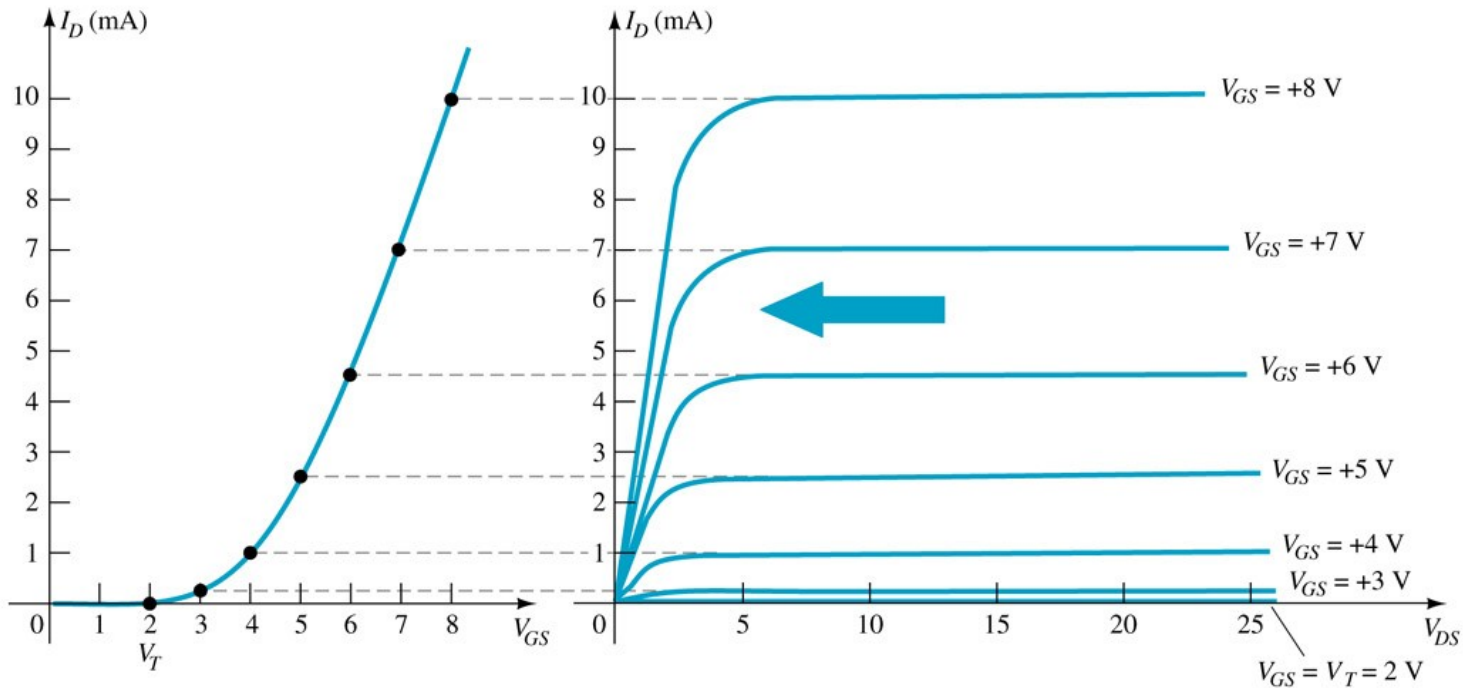
Tương tự như của JFET, đặc tuyến truyền đạt $I_D = f(V_{GS})$ tuân theo phương trình Shockley:

GS D

nhưng có thể hoạt động ở vùng $V_{GS} > 0, I_D > 0$

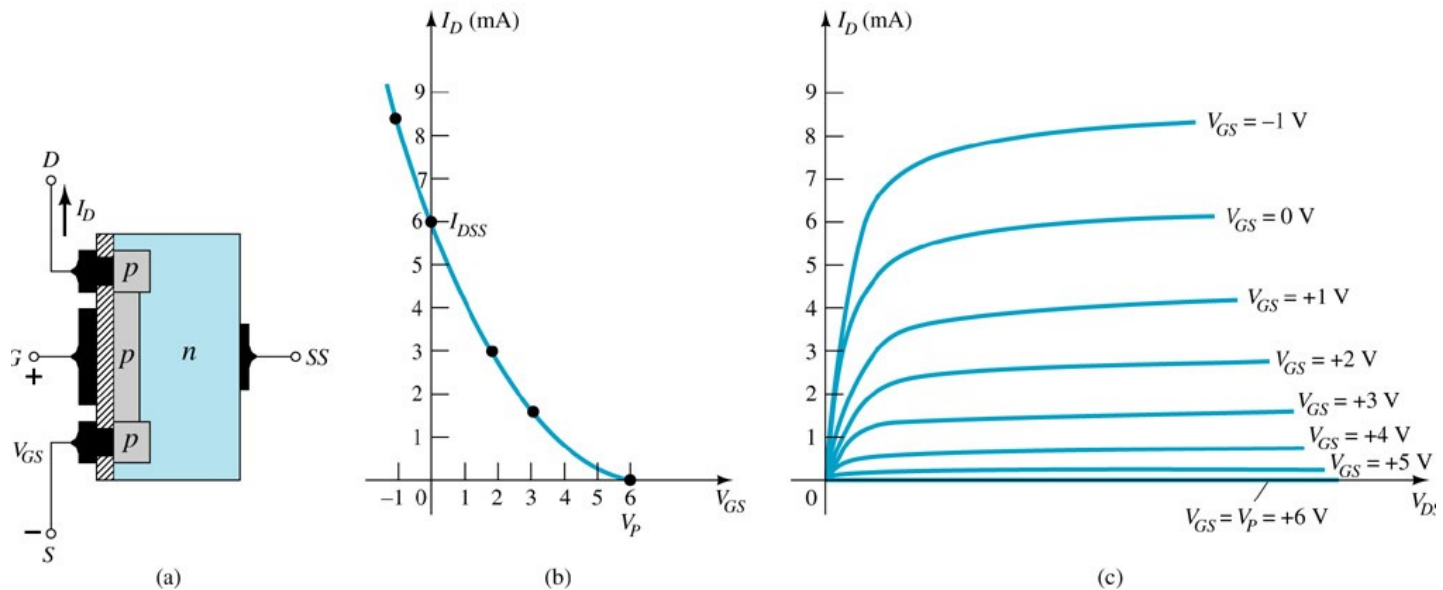


EMOS – Đặc tuyến truyền đạt

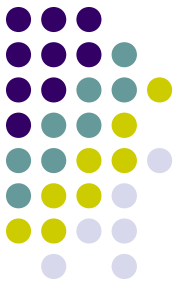


- Phương trình đặc tuyến truyền đạt:
 $I_D = k(V_{GS} - V_T)^2$ với điện áp mở $V_T > 0$ (kênh N)
- $V_{GS} < V_T$, $I_D = 0$

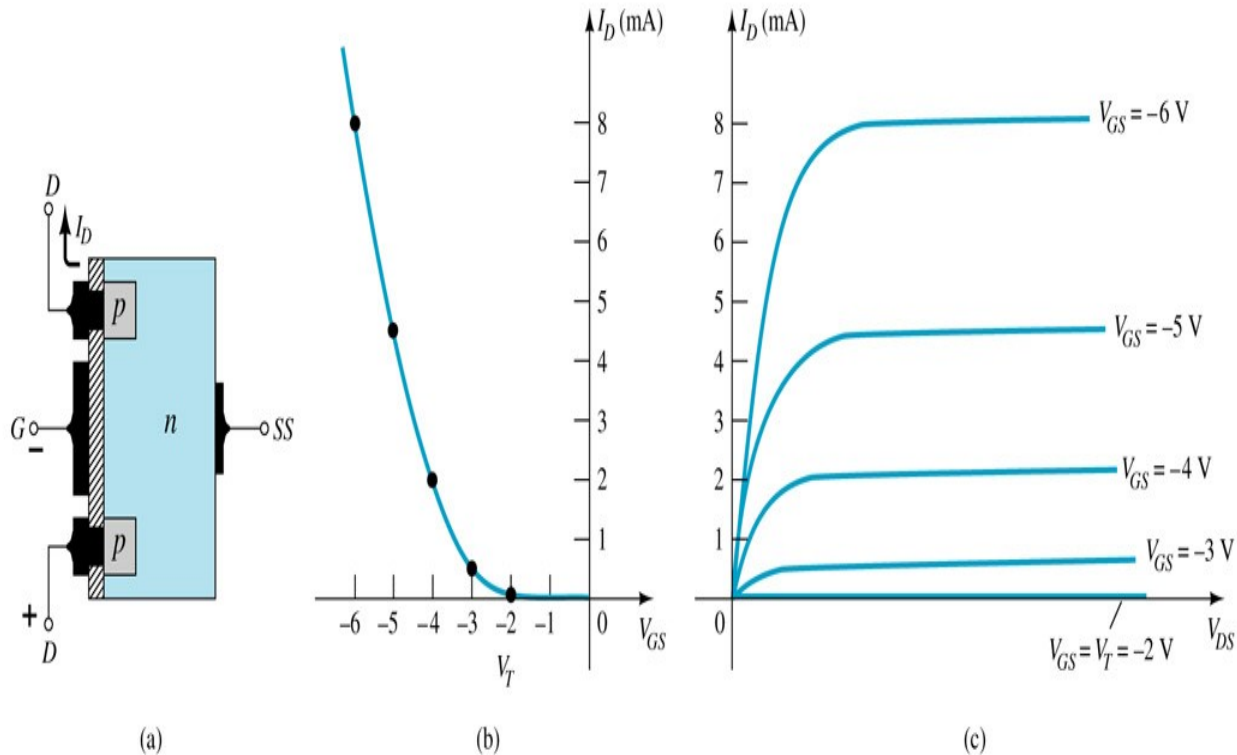
MOSFET – Đặc tuyến truyền đạt



P-channel depletion



MOSFET – Đặc tuyến truyền đạt

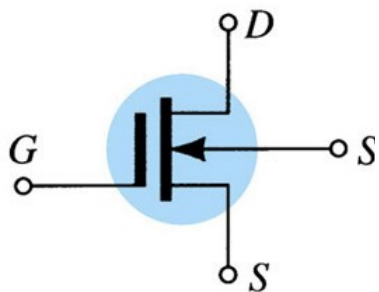


P-channel enhancement

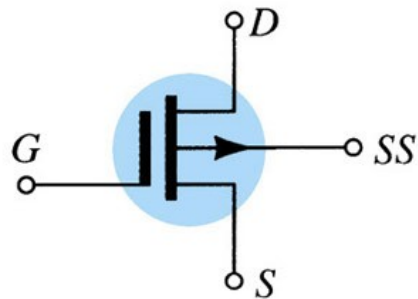
MOSFET – Kí hiệu



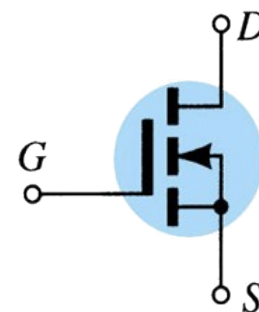
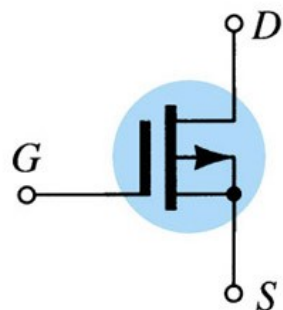
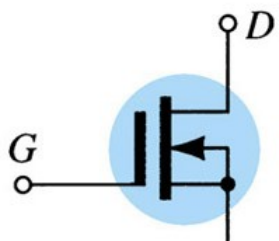
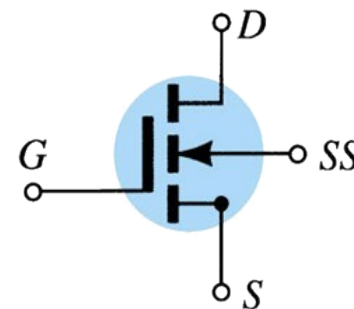
n-channel



p-channel



n-channel



DMOS

EMOS

EMOS 2N4351

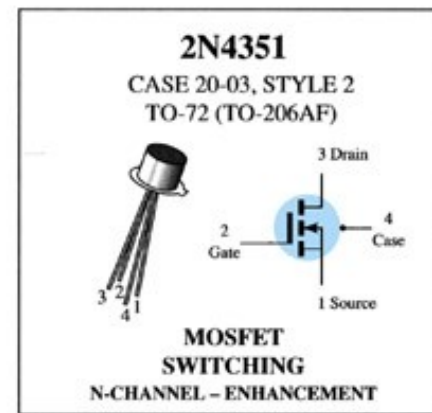
MAXIMUM RATINGS

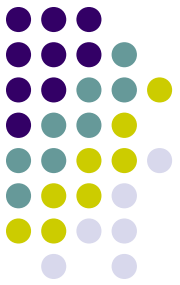
Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	30	Vdc
Gate-Source Voltage*	V_{GS}	30	Vdc
Drain Current	I_D	30	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	300 1.7	mW mW/°C
Junction Temperature Range	T_J	175	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

* Transient potentials of ± 75 Volt will not cause gate-oxide failure.

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	Min	Max	Unit	
OFF CHARACTERISTICS					
Drain-Source Breakdown Voltage ($I_D = 10 \mu\text{A}$, $V_{GS} = 0$)	$V_{(BR)DSX}$	25	-	Vdc	
Zero-Gate-Voltage Drain Current ($V_{DS} = 10 \text{V}$, $V_{GS} = 0$) $T_A = 25^\circ\text{C}$ $T_A = 150^\circ\text{C}$	I_{DSS}	-	10 10	nAdc μAdc	
Gate Reverse Current ($V_{GS} = \pm 15 \text{Vdc}$, $V_{DS} = 0$)	I_{GSS}	-	± 10	pAdc	
ON CHARACTERISTICS					
Gate Threshold Voltage ($V_{DS} = 10 \text{V}$, $I_D = 10 \mu\text{A}$)	$V_{GS(Th)}$	1.0	5	Vdc	
Drain-Source On-Voltage ($I_D = 2.0 \text{mA}$, $V_{GS} = 10 \text{V}$)	$V_{DS(on)}$	-	1.0	V	
On-State Drain Current ($V_{GS} = 10 \text{V}$, $V_{DS} = 10 \text{V}$)	$I_{D(on)}$	3.0	-	mAdc	
SMALL-SIGNAL CHARACTERISTICS					
Forward Transfer Admittance ($V_{DS} = 10 \text{V}$, $I_D = 2.0 \text{mA}$, $f = 1.0 \text{kHz}$)	$ y_{fs} $	1000	-	μmho	
Input Capacitance ($V_{DS} = 10 \text{V}$, $V_{GS} = 0$, $f = 140 \text{kHz}$)	C_{iss}	-	5.0	pF	
Reverse Transfer Capacitance ($V_{DS} = 0$, $V_{GS} = 0$, $f = 140 \text{kHz}$)	C_{rss}	-	1.3	pF	
Drain-Substrate Capacitance ($V_{DS(SUB)} = 10 \text{V}$, $f = 140 \text{kHz}$)	$C_{d(sub)}$	-	5.0	pF	
Drain-Source Resistance ($V_{GS} = 10 \text{V}$, $I_D = 0$, $f = 1.0 \text{kHz}$)	$r_{ds(on)}$	-	300	ohms	
SWITCHING CHARACTERISTICS					
Turn-On Delay (Fig. 5)	$I_D = 2.0 \text{mAdc}$, $V_{DS} = 10 \text{Vdc}$, ($V_{GS} = 10 \text{Vdc}$) (See Figure 9; Times Circuit Determined)	t_{d1}	-	45	ns
Rise Time (Fig. 6)		t_r	-	65	ns
Turn-Off Delay (Fig. 7)		t_{d2}	-	60	ns
Fall Time (Fig. 8)		t_f	-	100	ns

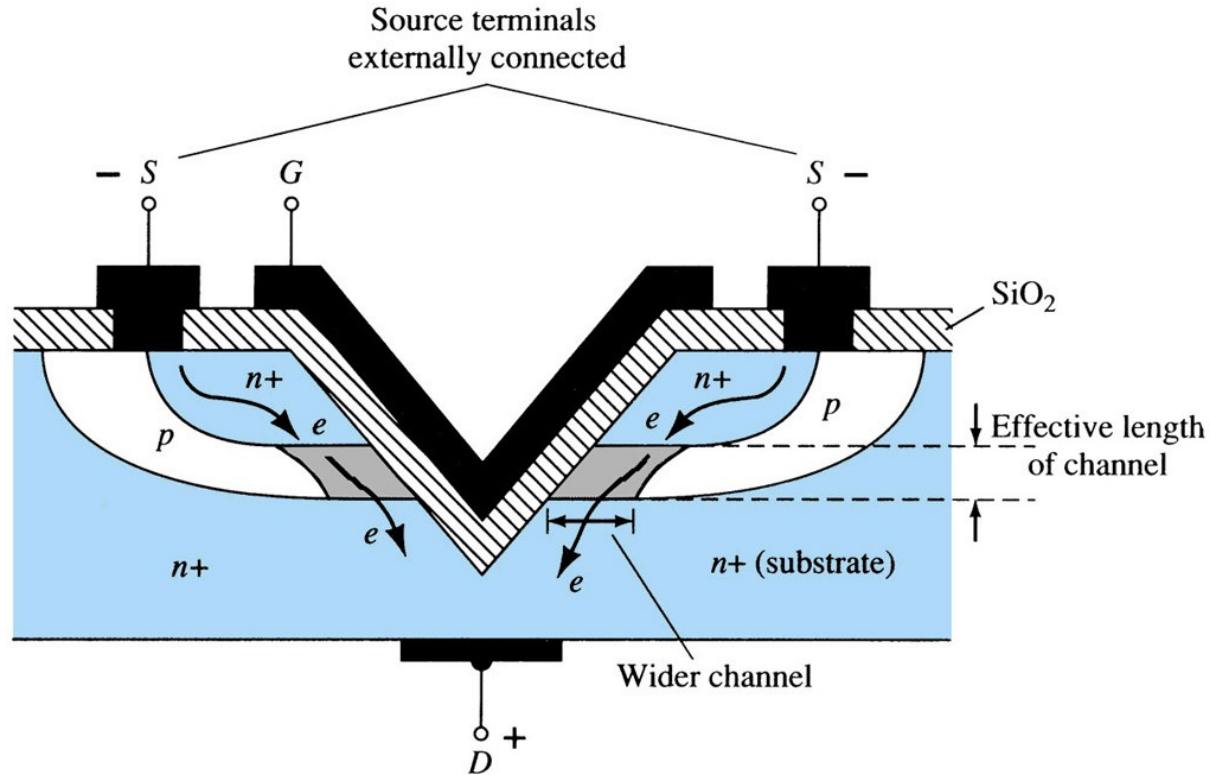
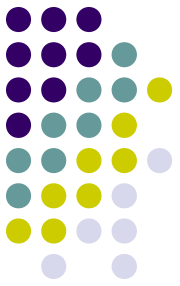




Datasheet-2N4351-EMOS

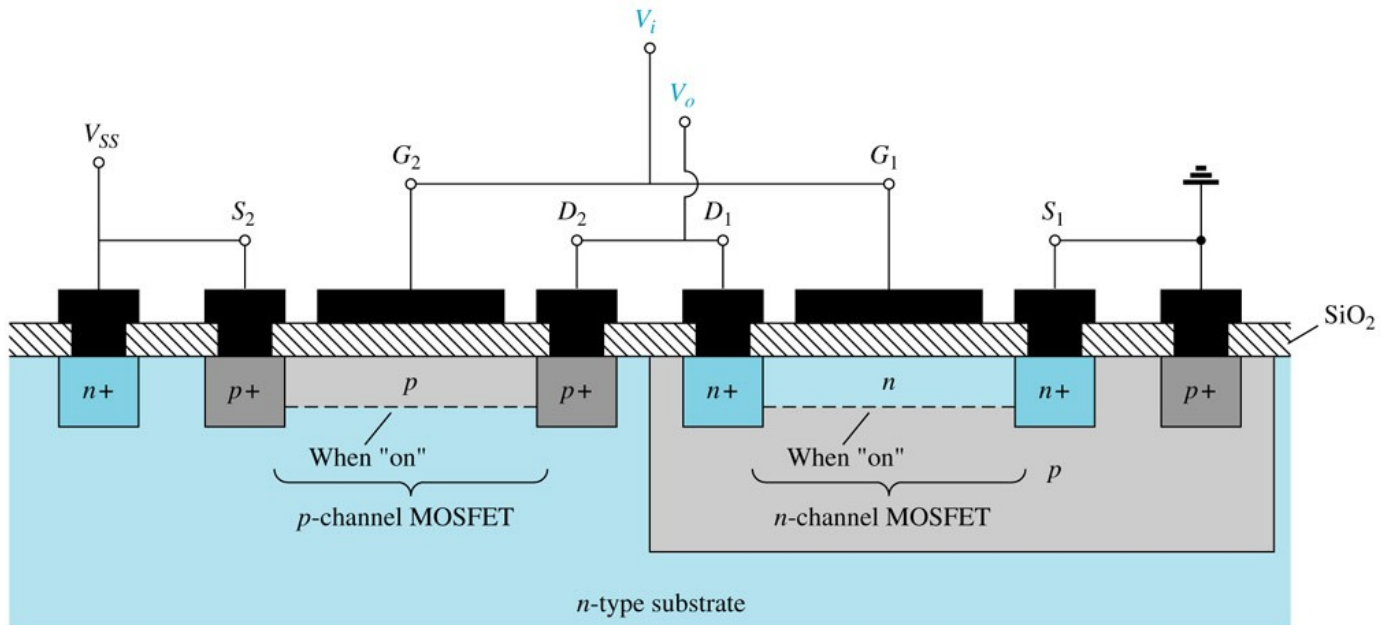
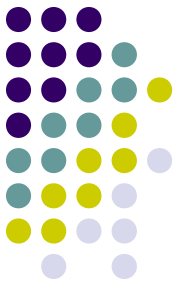
Characteristic	Symbol	Min	Max	Unit
V_{DS} breakdown	$V_{(BR)DSX}$	25		Vdc
I_D -zero gate volage, Vds=10V,Vgs=0, 25C – 150C	I_{DSS}		10 10	nAdc μ Adc
I_{gate} reverse(Vgs=+-15, Vds=0)	I_{GSS}		+10	nAdc
V_{DS} on Voltage	$V_{DS(on)}$		1.0	V
C_{in} (Vds=10V,Id=2mA,f=140kHz)	C_{iss}		5.0	pF
C_{DS} (Vdsub=10V,f=140KHz)	C_{rss}		5.0	pF
R_{DS} (Vgs=10V,Id=0,f=1KHz)	$R_{ds(on)}$		300	ohms

VMOS

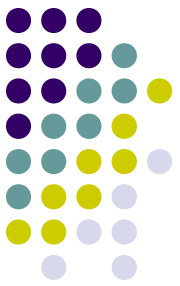


- VMOS – Vertical MOSFET , tăng diện tích bề mặt
- Có thể hoạt động ở dòng lớn hơn vì có bề mặt tỏa nhiệt
- Tốc độ chuyển mạch tốt hơn

CMOS



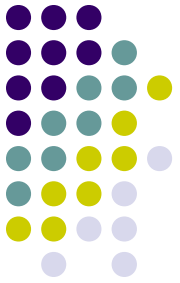
- CMOS=Complementary MOSFET
- pMOS và nMOS trên cùng một đế, hoạt động ở chế độ chuyển mạch ON/OFF
- Giảm kích thước và công suất tiêu thụ, tăng tốc độ chuyển mạch
- Hầu như chỉ dùng trong IC



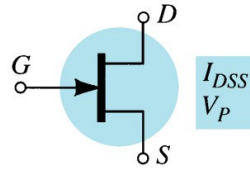
So sánh FET-BJT

BJT	FET
<ul style="list-style-type: none">➤ Điều khiển bằng dòng => tiêu hao công suất➤ Dòng ra và dòng vào quan hệ tuyến tính➤ Hệ số khuếch đại tốt hơn ➤ Chịu ảnh hưởng của nhiệt độ	<ul style="list-style-type: none">➤ Điều khiển bằng áp => ít tiêu hao công suất➤ Dòng ra và điện áp vào quan hệ không tuyến tính➤ Trở kháng vào rất lớn, hệ số tạp âm nhỏ, phù hợp nguồn tín hiệu nhỏ➤ Ít bị ảnh hưởng của nhiệt độ

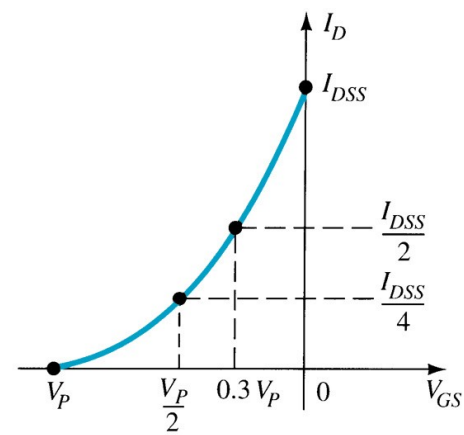
Tổng kết



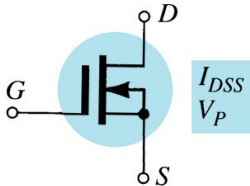
$$I_G = 0 \text{ A}, I_D = I_S$$



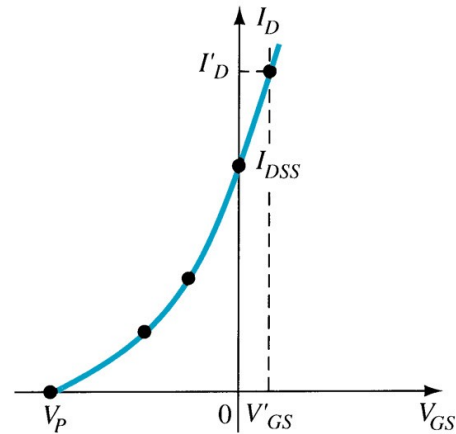
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$



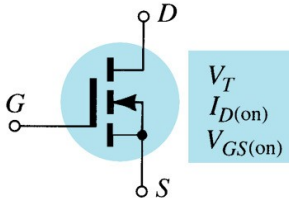
$$I_G = 0 \text{ A}, I_D = I_S$$



$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$

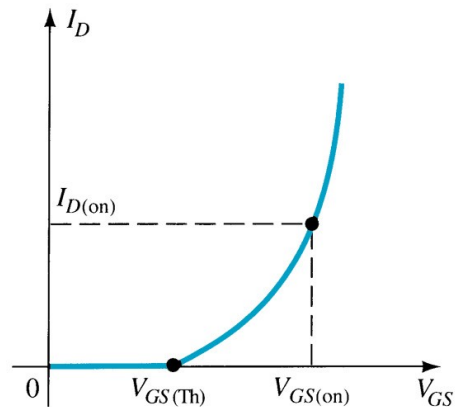


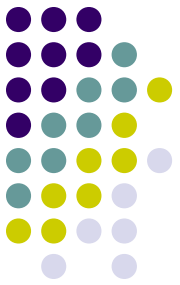
$$I_G = 0 \text{ A}, I_D = I_S$$



$$I_D = k (V_{GS} - V_{GS(Th)})^2$$

$$k = \frac{I_{D(on)}}{(V_{GS(on)} - V_{GS(Th)})^2}$$

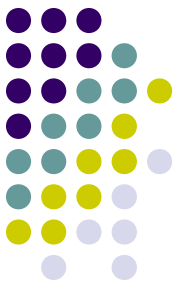




Phân cực

- Phân cực cố định (Fixed bias)
- Tự phân cực (Self bias)
- Phân cực phân áp (Voltage divider bias)
- Phân cực hồi tiếp (Feedback bias)

Phân cực



Mối liên hệ giữa dòng điện và điện áp khi đặt FET ở chế độ khuếch đại

Với tất cả các loại FET:

$$I_G = 0A$$

$$I_D = I_S$$

Với JFET và DMOS:

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Với EMOS:

$$I_D = k(V_{GS} - V_T)^2$$

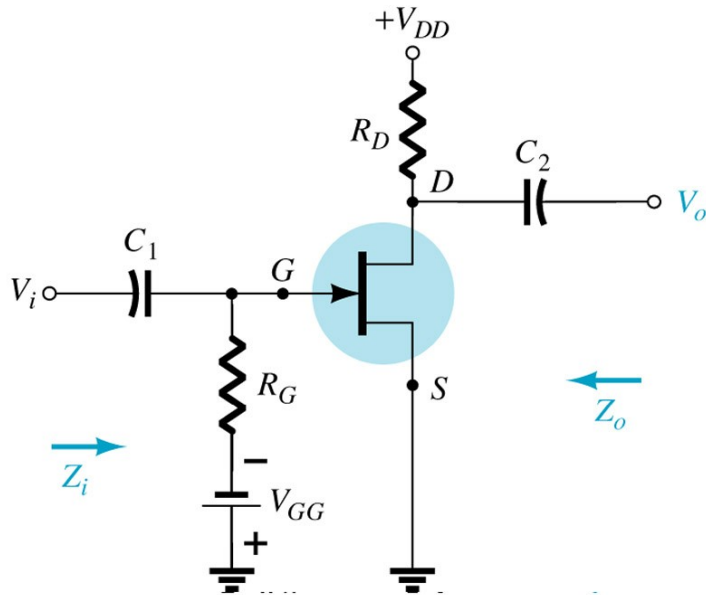
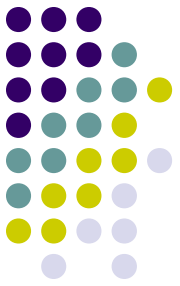
Quan hệ giữa dòng điện ra và điện áp vào là quan hệ phi tuyến
=> hay sử dụng phương pháp đồ thị



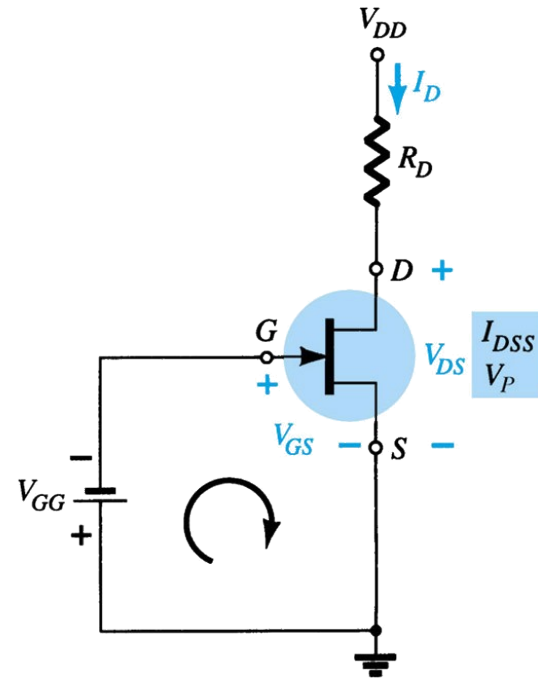
Phân cực

- Phân cực cố định (Fixed bias): JFET
- Tự phân cực (Self bias): JFET, DMOS
- Phân cực phân áp (Voltage divider bias): JFET, DMOS, EMOS
- Phân cực hồi tiếp (Feedback bias): EMOS

Phân cực cố định



Gọi là phân cực cố định
vì điện áp V_{GS} được cố
định bởi nguồn 1c V_{GG}



$$I_G = 0A$$

$$V_S = 0$$

$$V_{GS} = V_G = -V_{GG}$$

$$I_D = I_{DSS} (1 - V_{GS}/V_P)^2$$

Phân cực cố định

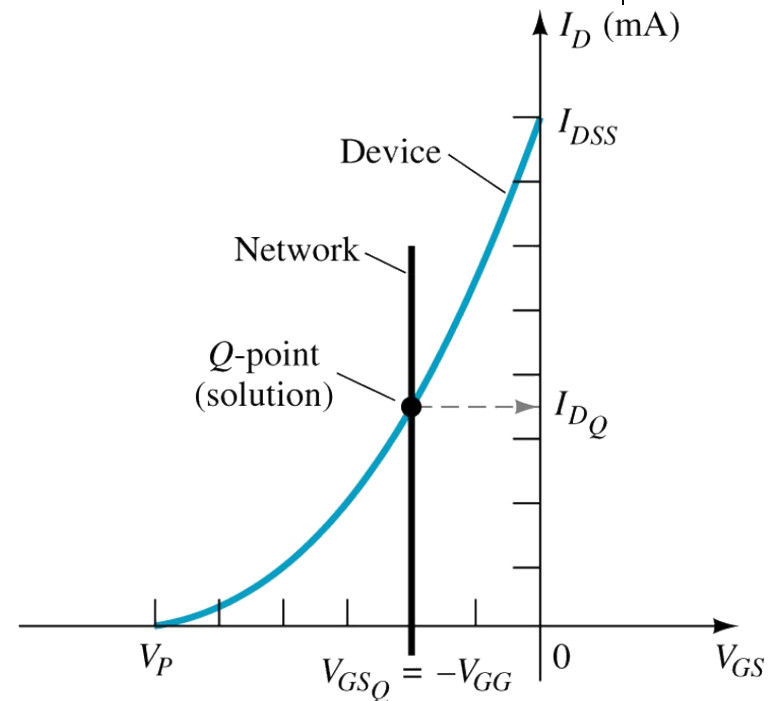
$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Xây dựng đặc tuyến truyền đạt theo bảng giá trị sau:

V_{GS}	I_D
0	I_{DSS}
$0.3V_P$	$I_{DSS}/2$
0.5	$I_{DSS}/4$
V_P	0mA

Phương trình đường tải

$$V_{GS} = -V_{GG}$$



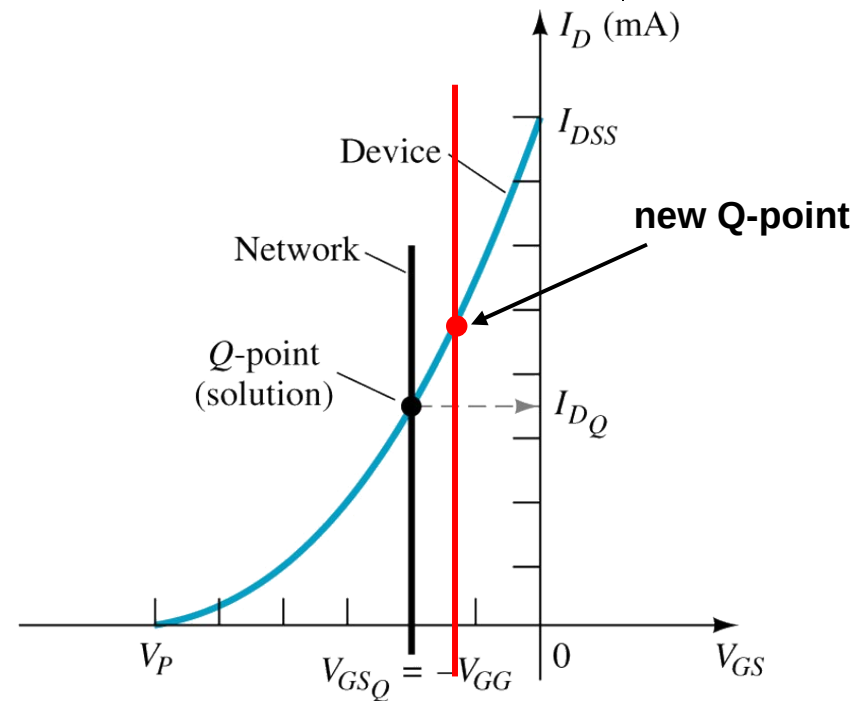
Giao điểm của đặc tuyến truyền đạt và đường tải là điểm làm việc tĩnh

Ảnh hưởng nhiệt độ

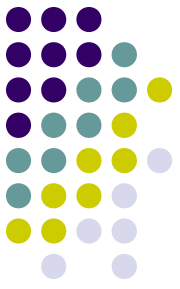
Trong thực tế, dòng rò I_{GSS} tăng lên theo nhiệt độ nên không thể hoàn toàn bỏ qua

Điểm làm việc tĩnh dịch chuyển

$$V_{GS} = V_{GG} + I_{GSS} * R_G$$



Ảnh hưởng nhiệt độ



Nếu $V_{GG} = -1V$ và $R_G = 1 M\Omega$. $I_{GSS} = 10nA$ tại $25^\circ C$ và tăng lên gấp đôi nếu nhiệt độ tăng $10^\circ C$. V_{GS} tại nhiệt độ $125^\circ C$?

Giải.

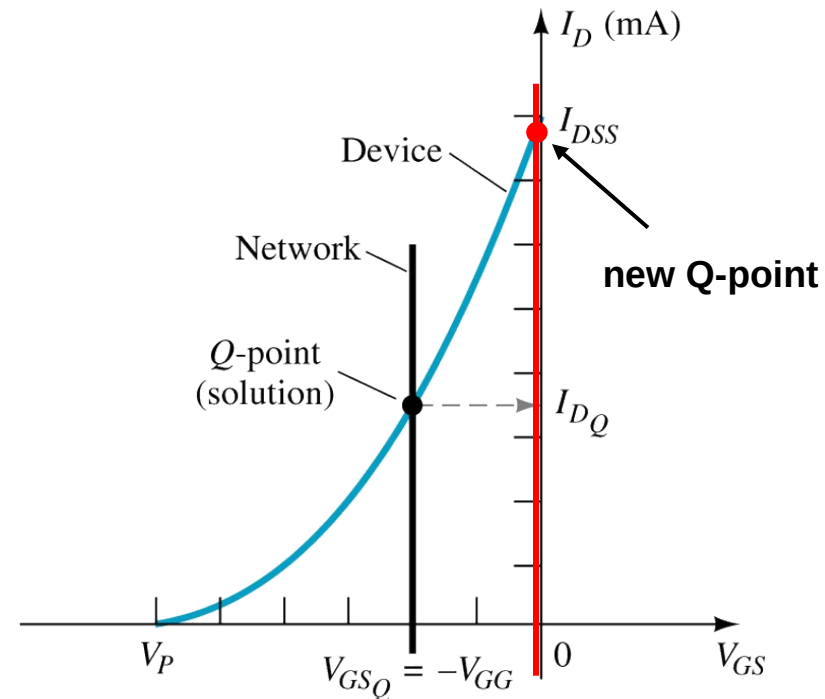
Tại $25^\circ C$, $I_{GSS} \times R_G = 10^{-9} \times 10^6 = 1mV$, có thể bỏ qua khi so với $V_{GG} = -1V$ (chính xác $V_{GS} = -999mV$).

Nếu nhiệt độ tăng lên $125^\circ C$, dòng I_{GSS} tăng lên 2^{10} lần ($\approx 10^3$)

$$I_{GSS} = 10^3 \times 1nA = 1\mu A$$

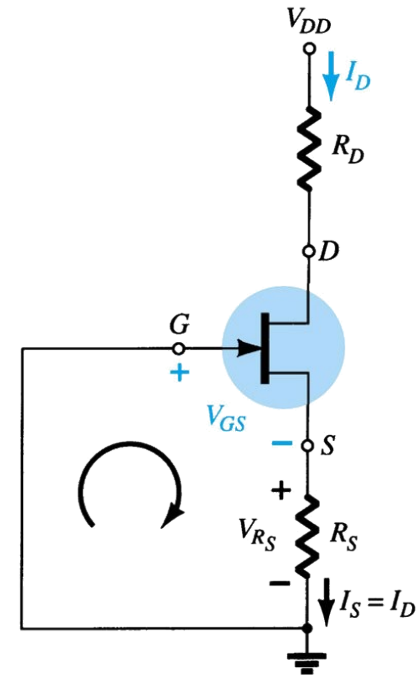
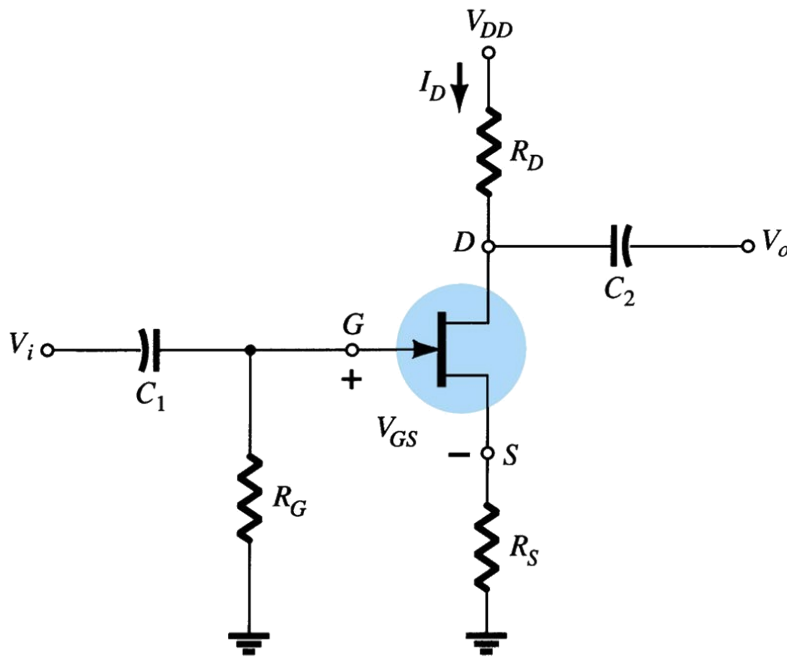
$$I_{GSS} \times R_G = 1V$$

$$V_{GS} = 0V \text{ và } I_D = I_{DSS}$$



Điểm làm việc Q dịch chuyển đi rất nhiều so với thiết kế ban đầu ở nhiệt độ phòng

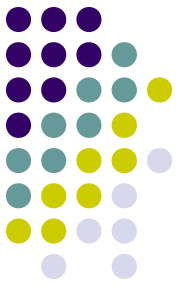
Tự phân cực



Có điểm gì khác so với phân cực cố định? Tại sao gọi là tự phân cực? Vai trò của R_S ?

Điện trở R_G được coi như ngắn mạch? Có thể bỏ R_G ?

Tự phân cực



Mạch vòng đầu vào:

$$I_G = 0 \Rightarrow V_G = 0V$$

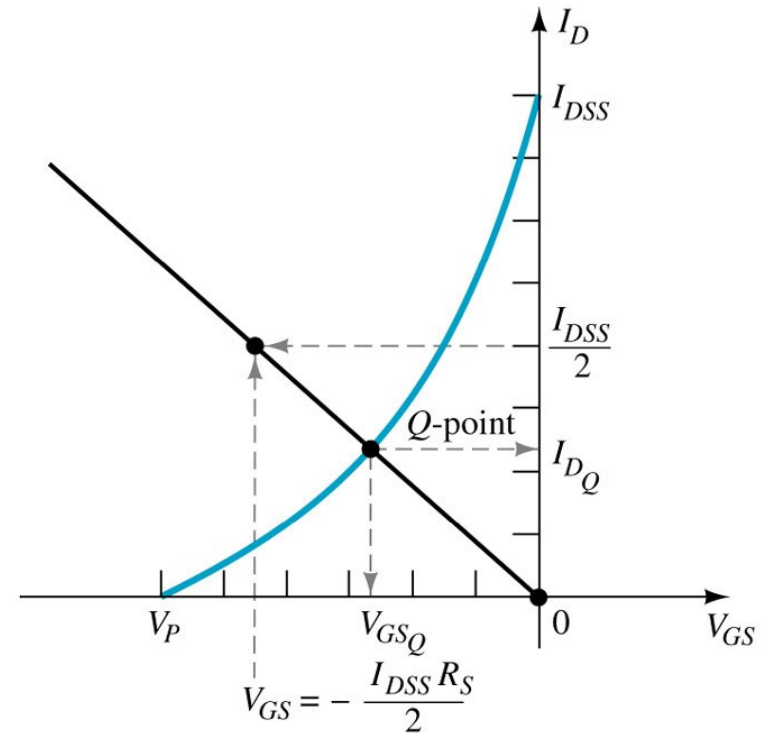
$$V_{GS} = -I_S R_S$$

$$I_D = I_{DSS} (1 - V_{GS}/V_p)^2$$

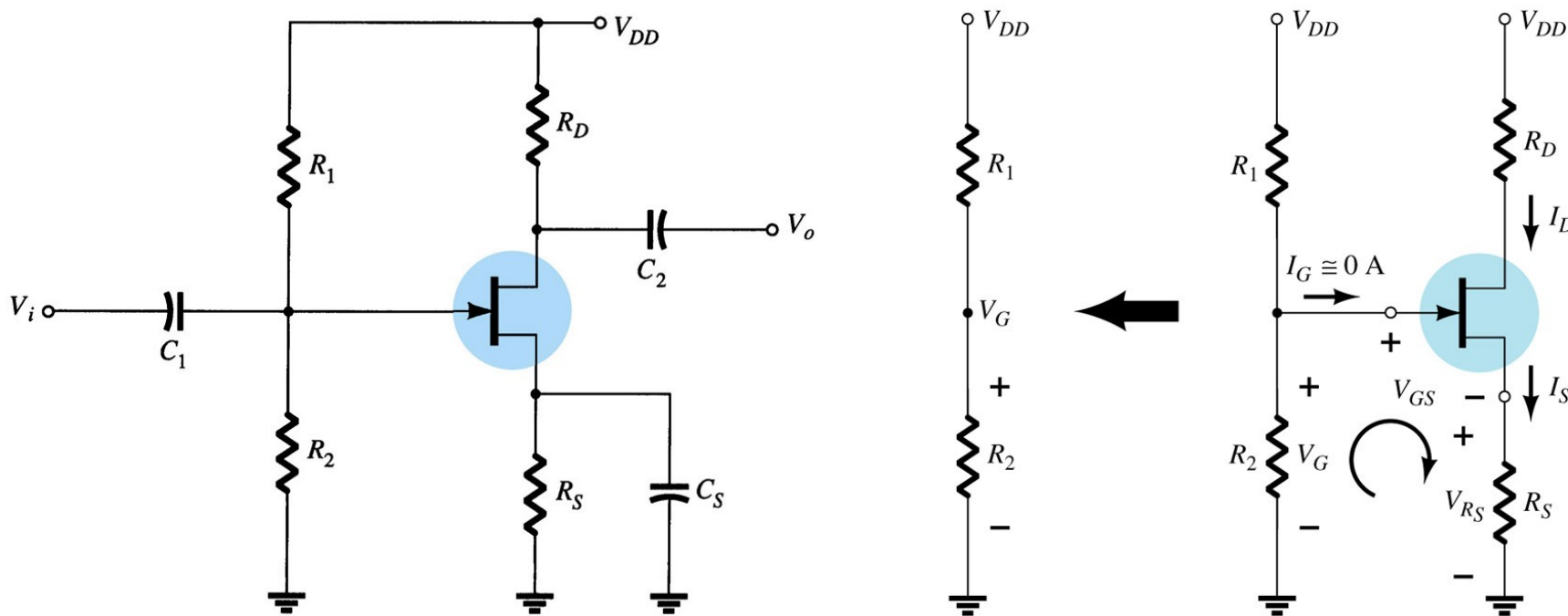
Giải hệ trên để xác định điểm làm việc Q

Hoặc xác định theo phương pháp đồ thị như hình bên

Xem xét sự phụ thuộc nhiệt độ?



Phân cực kiểu phân áp



Dòng $I_G = 0$, điện áp vào V_{GS} điều khiển dòng ra I_D
Sử dụng phổ biến, cho các loại FET



Phân cực kiểu phân áp

$$V_G = V_{DD} R_2 / (R_1 + R_2)$$

Phương trình đường tải

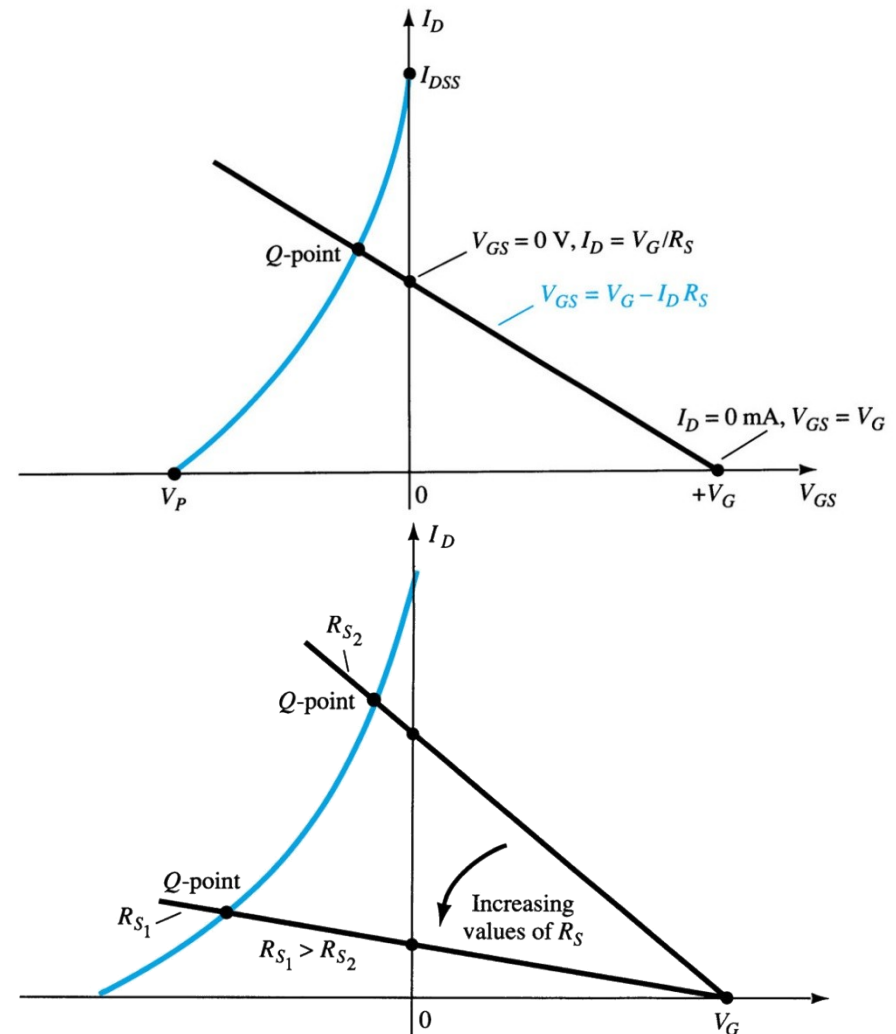
$$V_{GS} = V_G - I_D R_S \quad (1)$$

Giá trị R_S thay đổi làm đường tải và điểm làm việc dịch chuyển

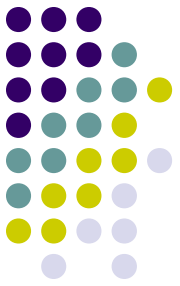
Mối quan hệ bên trong của FET

$$I_D = I_{DSS} (1 - V_{GS} / V_P)^2, \quad (2)$$

Giải hệ phương trình trên (1,2) hoặc xác định theo phương pháp đồ thị như hình bên



Phân cực kiểu phân áp



$$V_G = V_{DD} * 10M\Omega / (110M\Omega + 10M\Omega)$$

Phương trình đường tải:

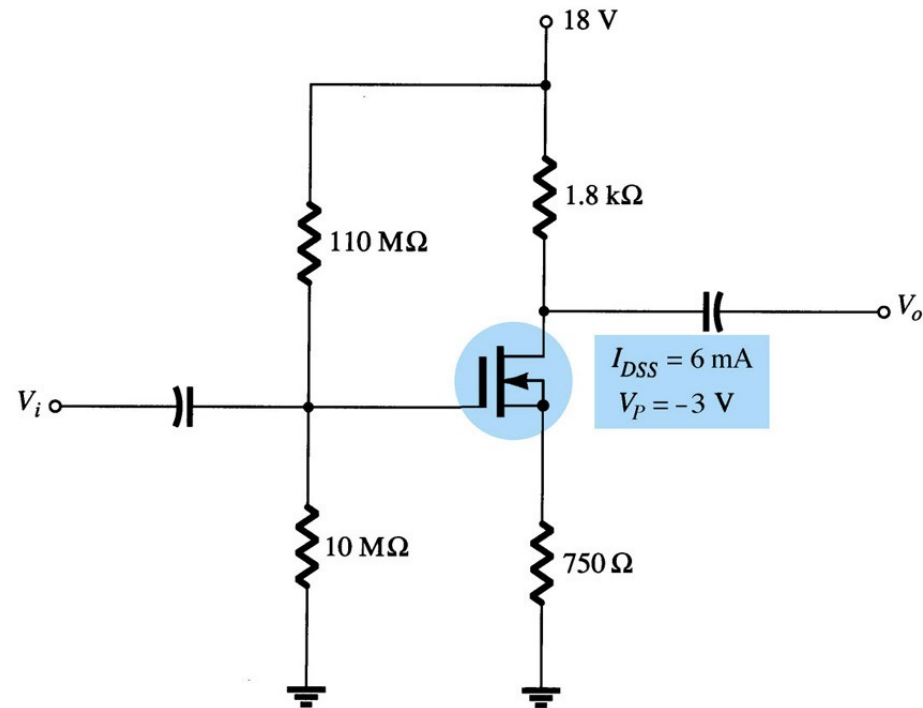
$$V_{GS} = V_G - I_S * 750\Omega \quad (1)$$

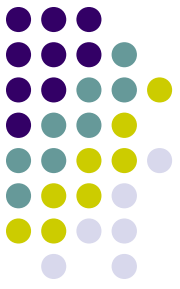
Quan hệ dòng áp với DMOS:

$$I_D = I_{DSS} (1 - V_{GS}/V_P)^2 \quad (2)$$

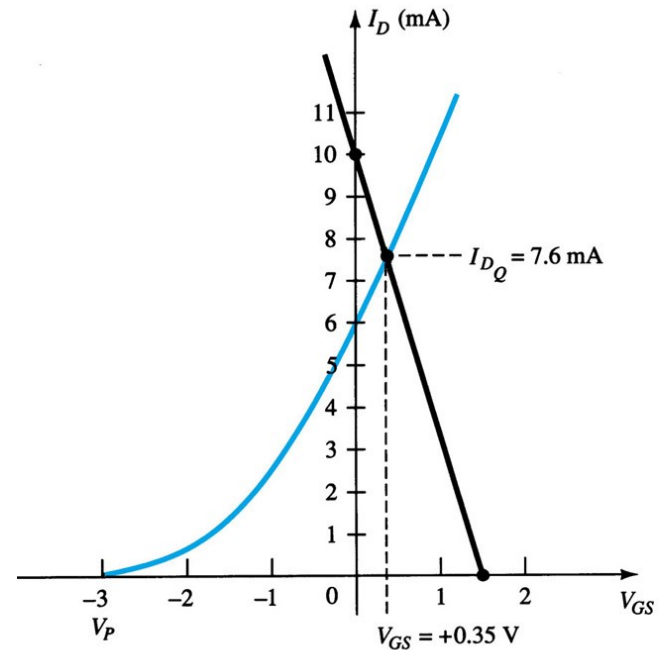
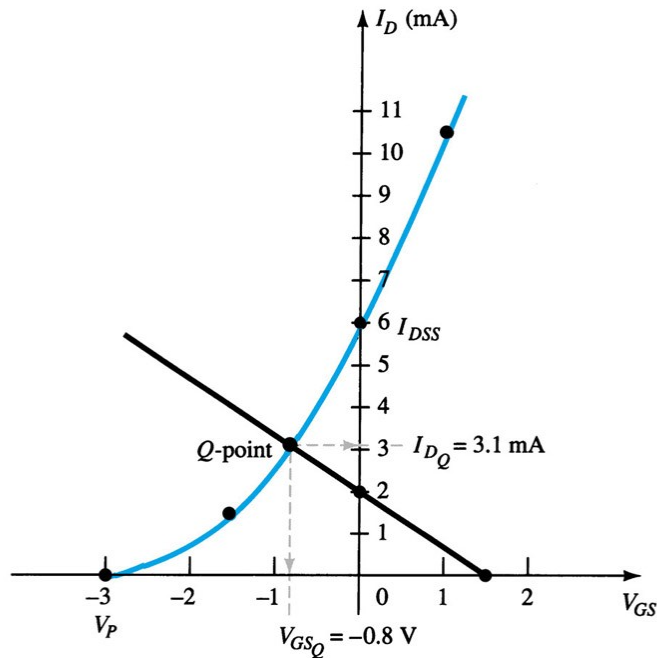
Giải hệ (1,2) hoặc xác định theo phương pháp đồ thị

Lưu ý, V_{GS} có thể dương





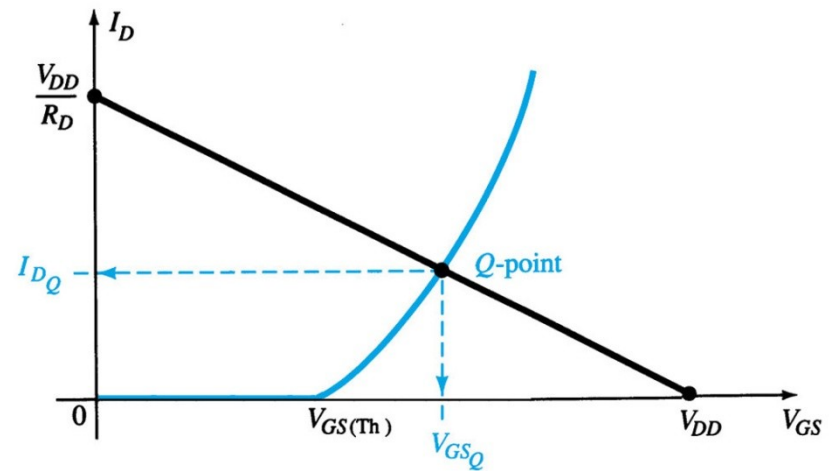
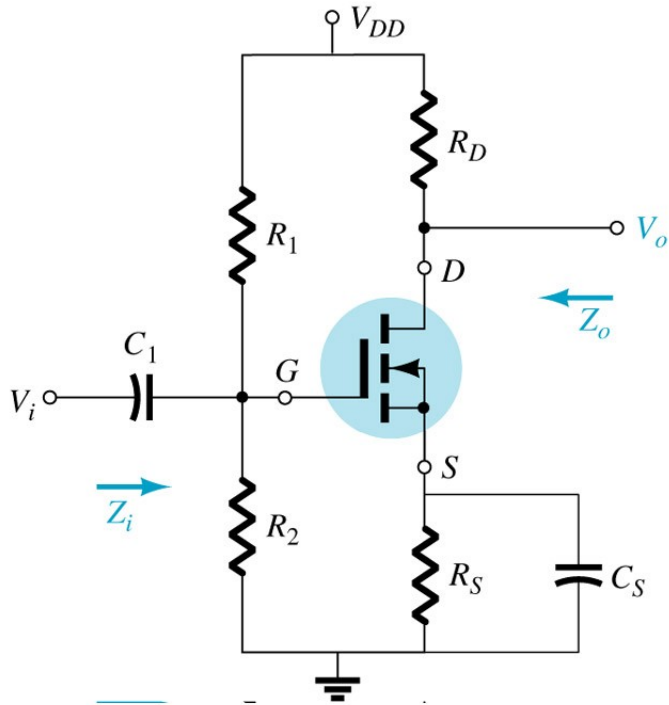
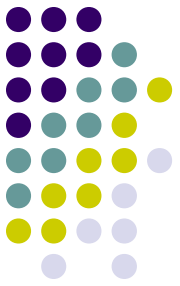
Phân cực kiểu phân áp



Với DMOS: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$

V_{GS} có thể dương

Phân cực kiểu phân áp

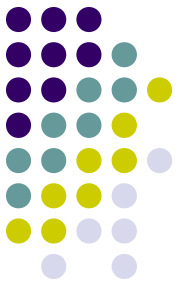


Với EMOS:

$$I_D = k(V_{GS} - V_T)^2$$

$$k = I_{D_{on}} / (V_{GS_{on}} - V_T)^2$$

Phân cực kiểu phân áp

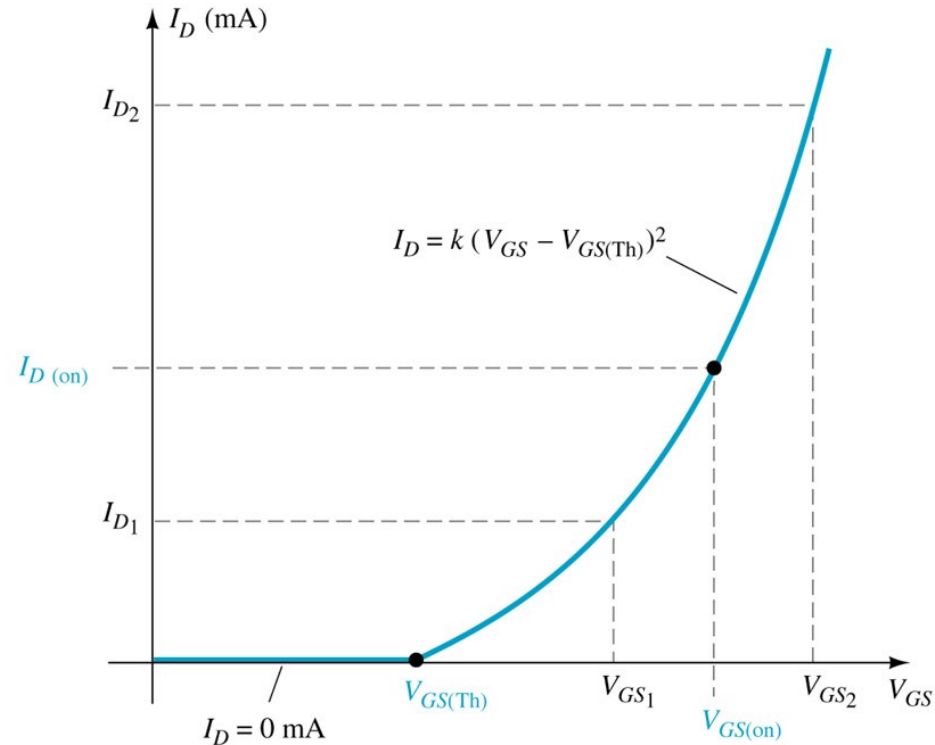


Với EMOS:

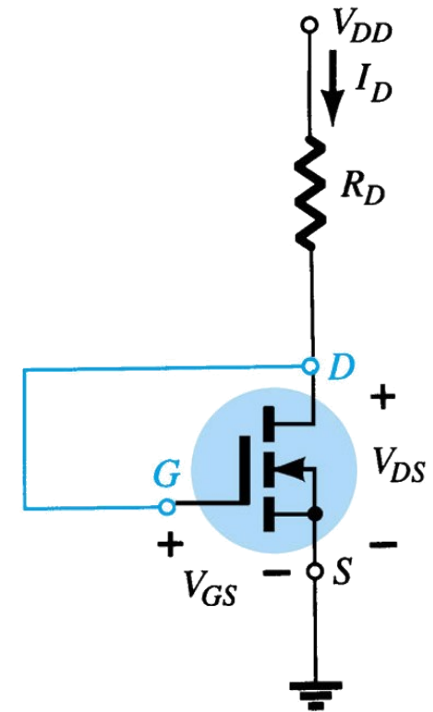
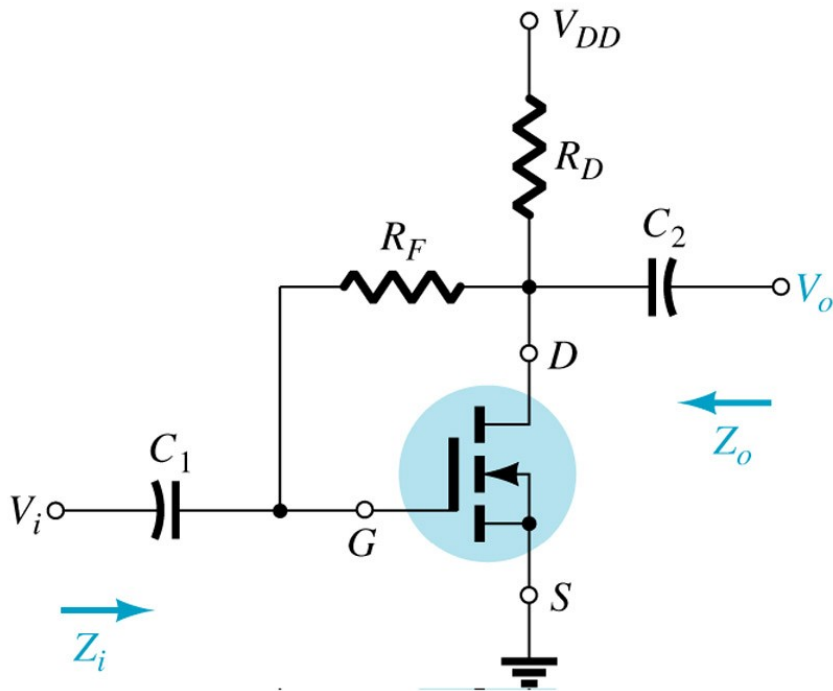
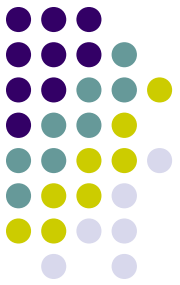
$$I_D = k(V_{GS} - V_T)^2$$

với $k = I_{D(on)} / (V_{GS(on)} - V_T)^2$

Vẽ đặc tuyến truyền đạt của EMOS



Phân cực kiểu hồi tiếp



Mạch vào:

$$I_G = 0 \Rightarrow V_G = V_D$$

Phân cực kiểu hồi tiếp



Mạch vào:

$$I_G = 0 \Rightarrow V_G = V_D$$

Phương trình đường tải:

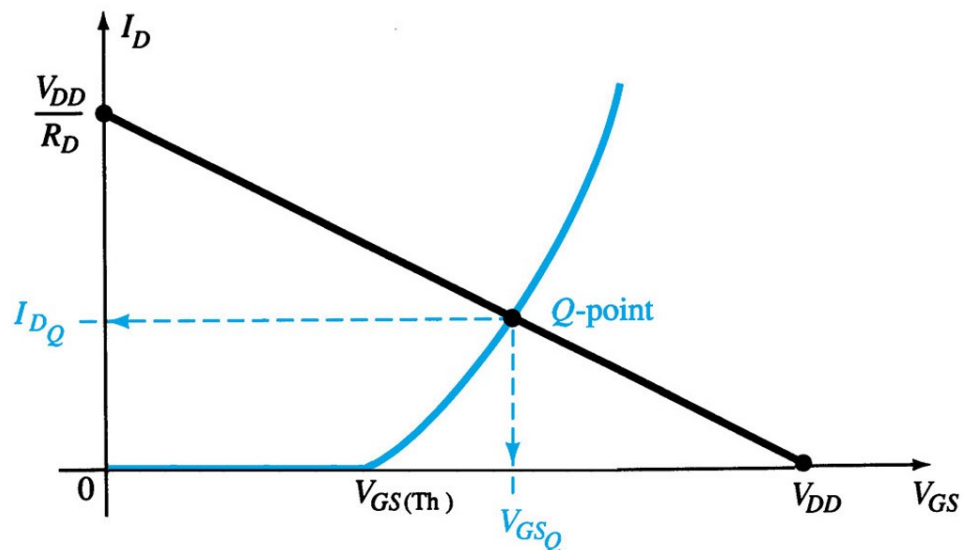
$$V_{GS} = V_{DS} = V_{DD} - R_D I_D \quad (1)$$

Đặc tuyến truyền đạt của EMOS

$$I_D = k(V_{GS} - V_T)^2, \quad (2)$$

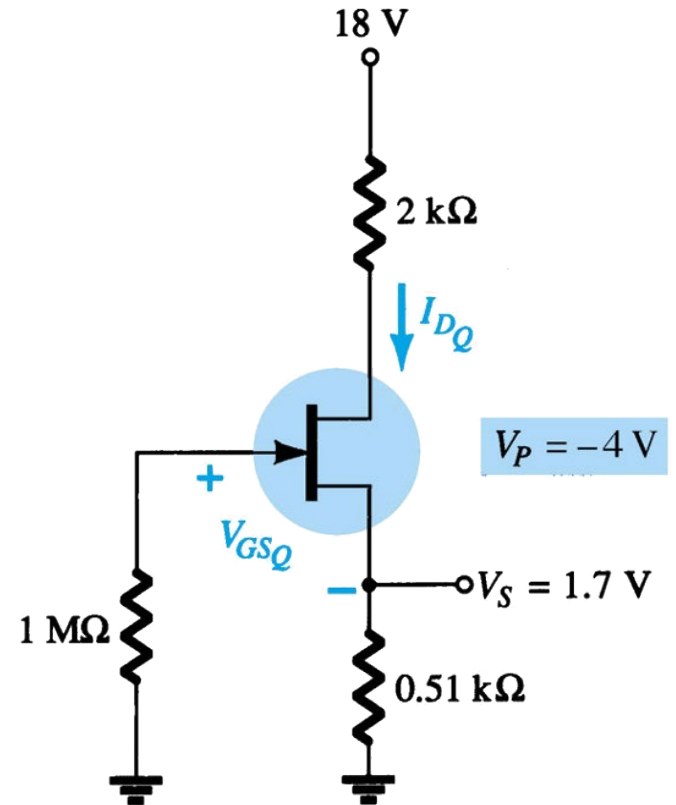
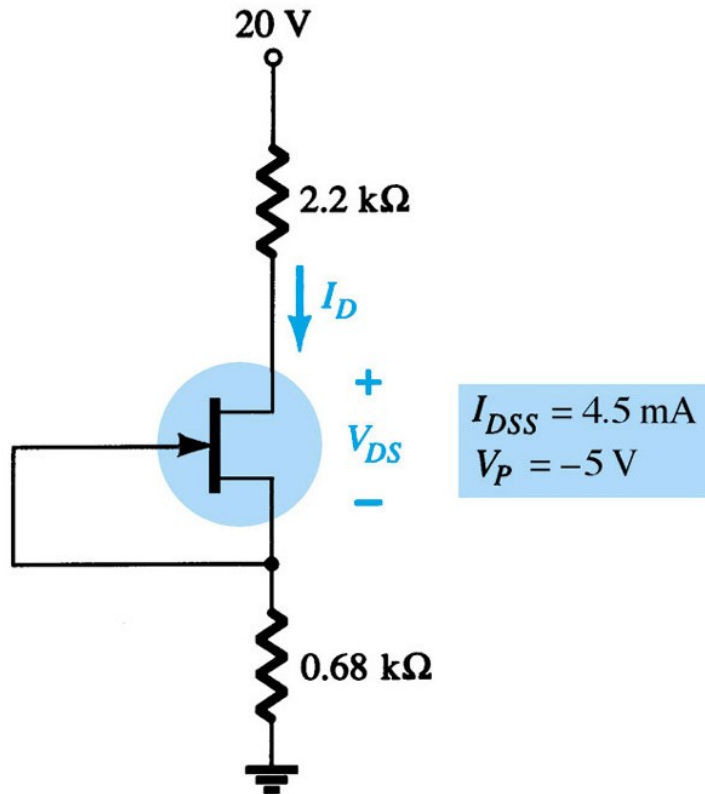
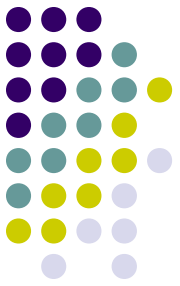
$$k = I_{D_{on}} / (V_{GS_{on}} - V_T)^2$$

Giải hệ (1,2) hoặc xác định theo đồ thị



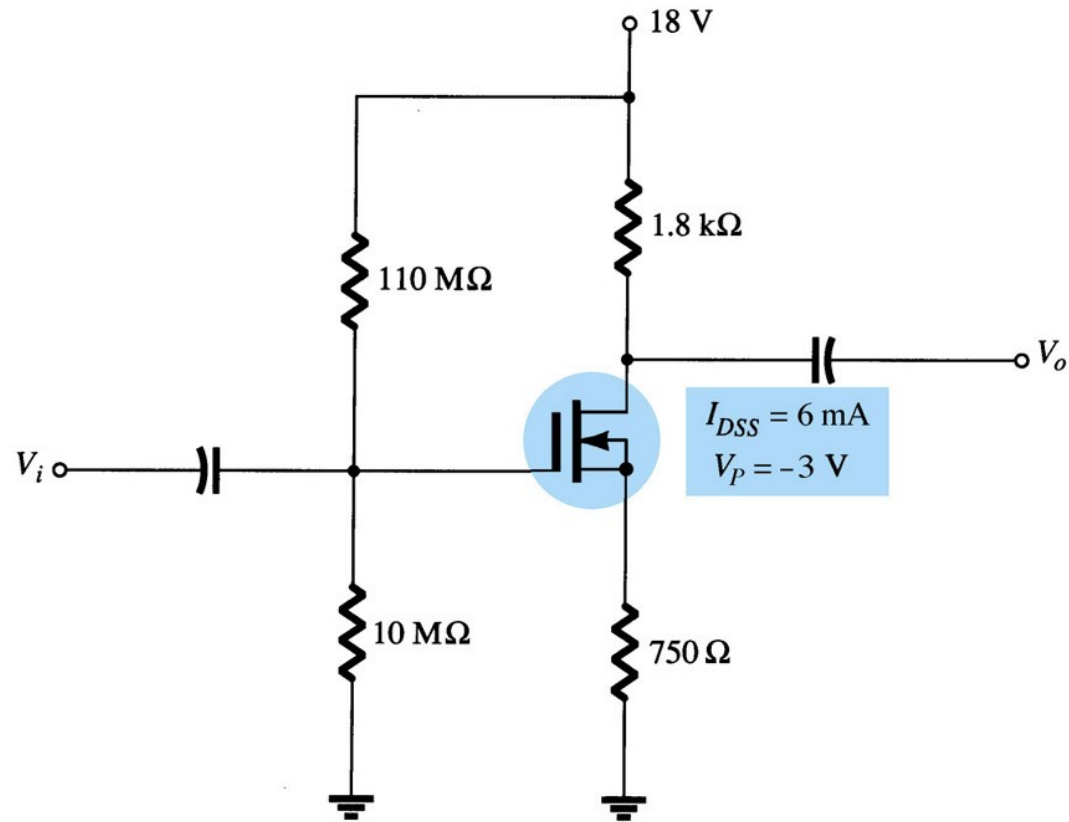
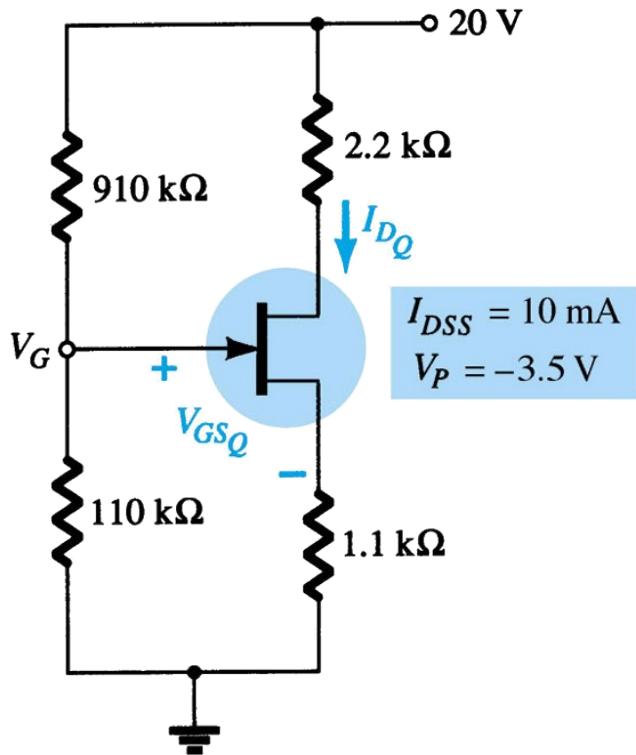
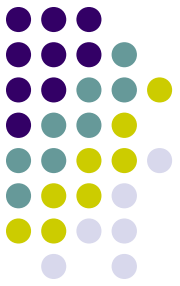
Có thể sử dụng cho JFET?

Ví dụ



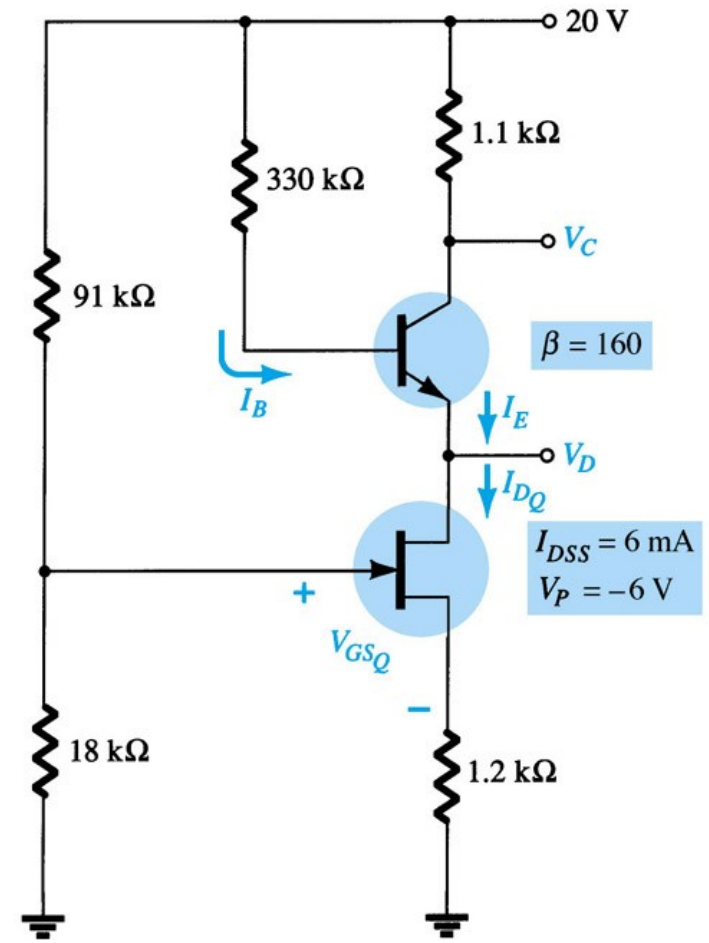
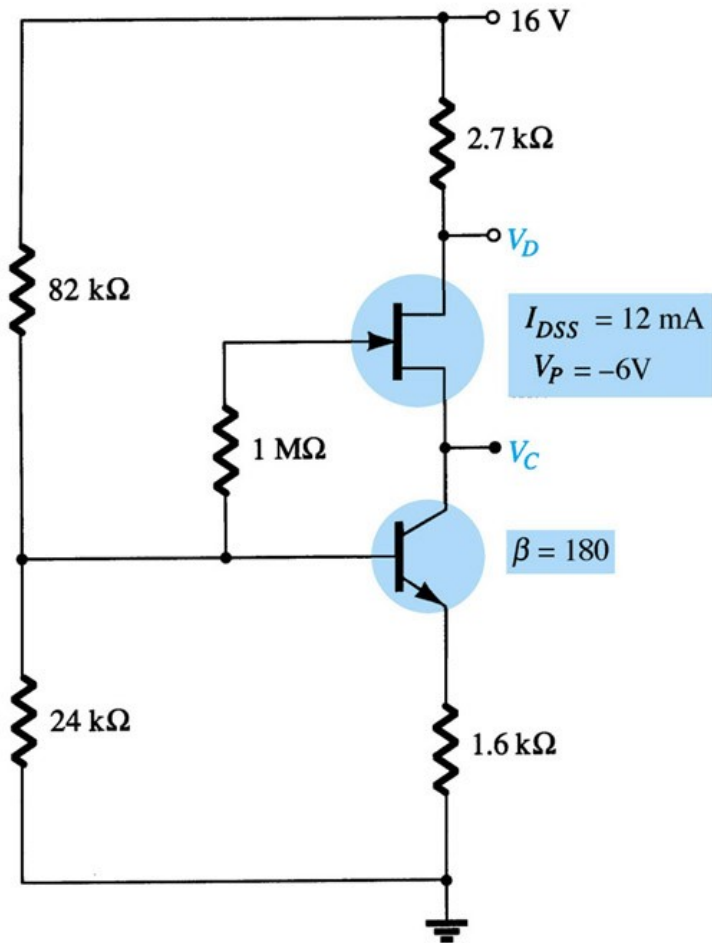
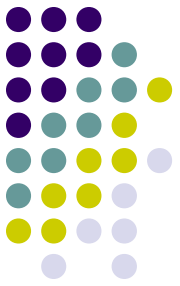
Xác định điểm làm việc Q (I_D , V_{GS})

Ví dụ



Xác định điểm làm việc Q (I_D , V_{GS})

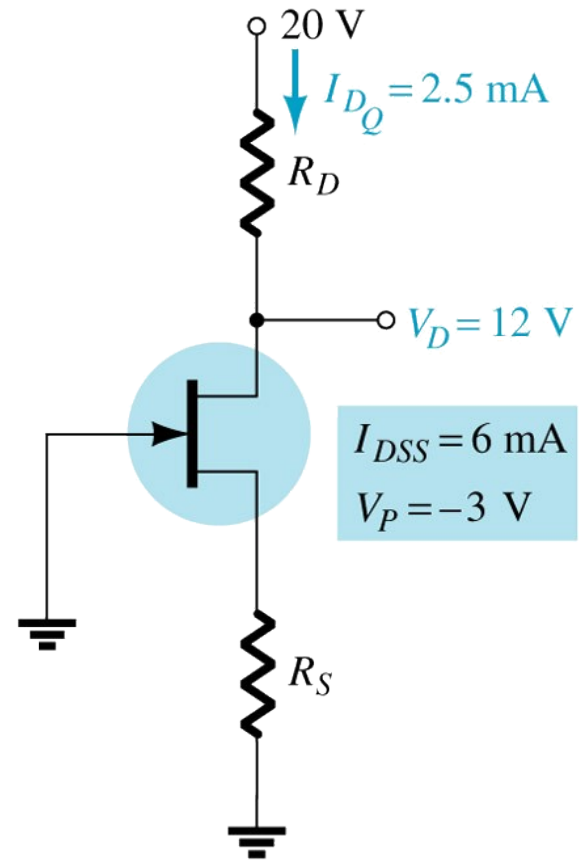
Ví dụ



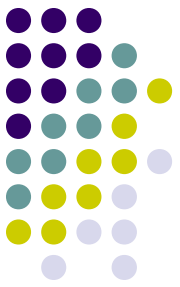
Ví dụ

Thiết kế:

Tính giá trị các điện trở với điểm làm việc Q có $I_D = 2.5\text{mA}$



Mạch tín hiệu nhỏ sử dụng FET

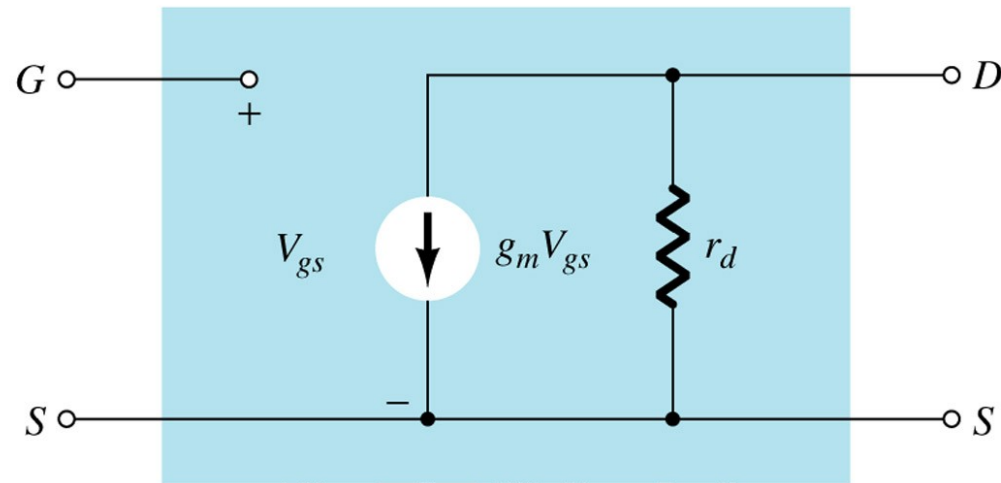


Cực G và S hở mạch vì trở kháng vào cực lớn (n100- n1000 M Ω)

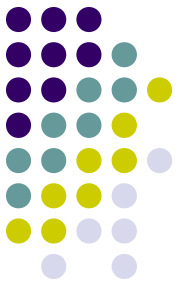
Trở kháng ra r_d

Nguồn dòng được điều khiển bởi điện áp với hệ số điều khiển g_m mô tả quan hệ dòng ra phụ thuộc vào điện áp vào

g_m - hồ dẫn truyền đạt



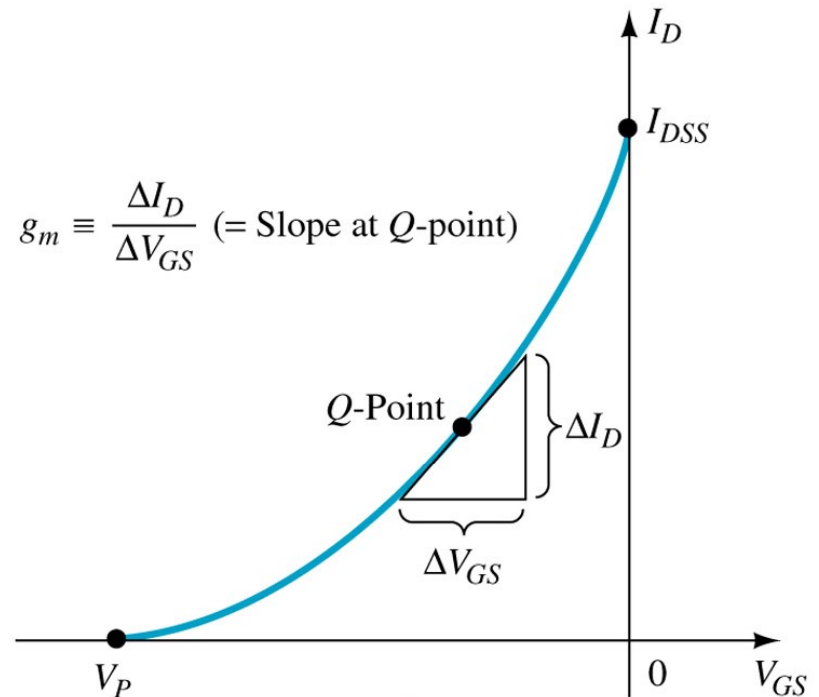
Hỗ dẫn truyền đạt

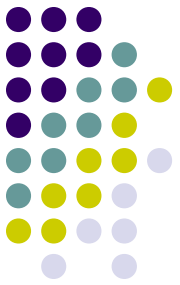


$$g_m = \Delta I_D / \Delta V_{GS} = d(I_D(V_{GS}))$$

– đạo hàm của phương trình đặc tuyến truyền đạt

Ý nghĩa hình học: độ dốc đặc tuyến truyền đạt, thường xác định tại điểm làm việc Q





Hỗ dẫn truyền đạt

Với JFET và DMOS, đặc tuyến truyền đạt tuân theo phương trình Shockley

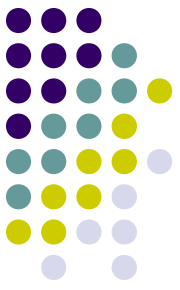
$$g_m = \frac{2I_{DSS}}{|V_P|} \left[1 - \frac{V_{GS}}{V_P} \right]$$

Khi $V_{GS} = 0$:

$$g_{m0} = \frac{2I_{DSS}}{|V_P|}$$

g_m xác định tại điểm làm việc Q

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right]$$



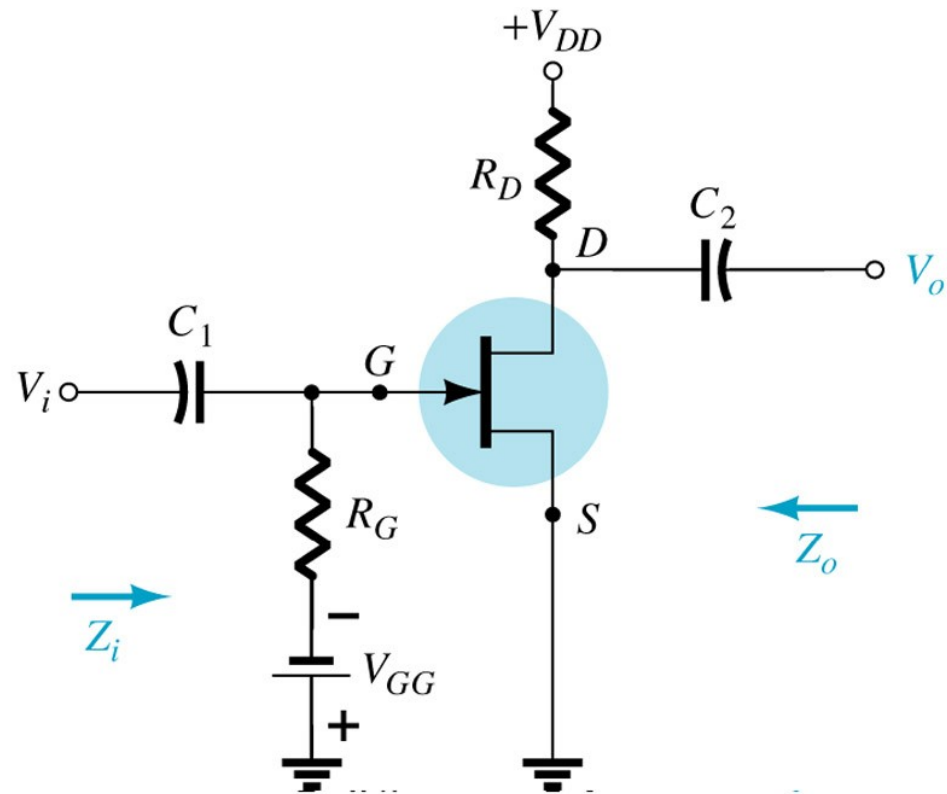
Cấu hình chung cực nguồn - CS

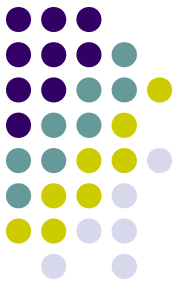
Điện áp vào đưa đến chân G, điện áp ra lấy tại chân D (chân S nối đất)

Phân cực kiểu cố định

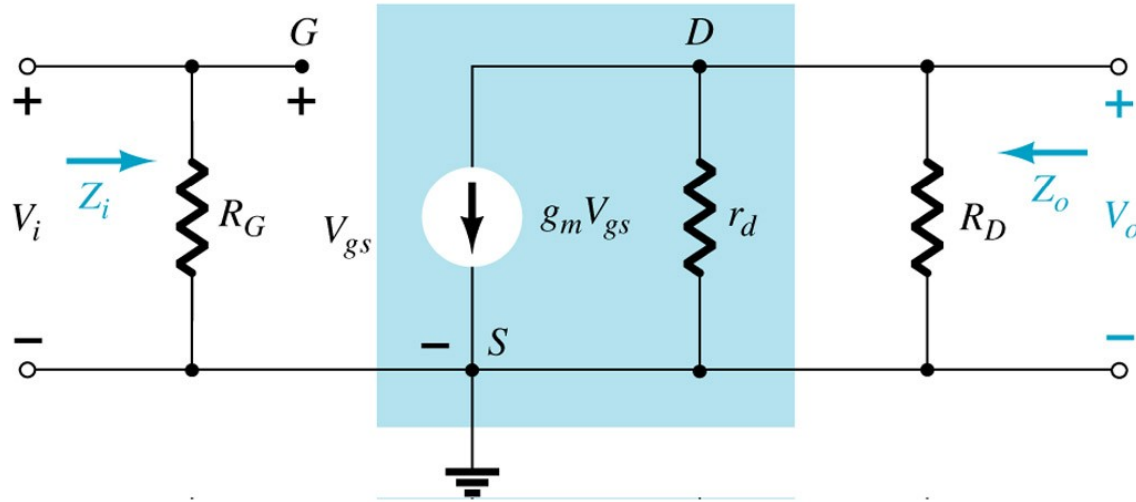
Chú ý khi phân tích:

- ✓ Ngắt mạch các tụ nối
- ✓ Ngắt mạch nguồn một chiều





Cấu hình chung cực nguồn - CS



$$Z_i = R_G$$

$$Z_o = r_d // R_D \approx R_D \quad \text{nếu } r_d > 10R_D$$

$$A_v = -g_m (r_d // R_D) \approx -g_m R_D \quad \text{nếu } r_d > 10R_D$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

Cấu hình chung cực nguồn - CS

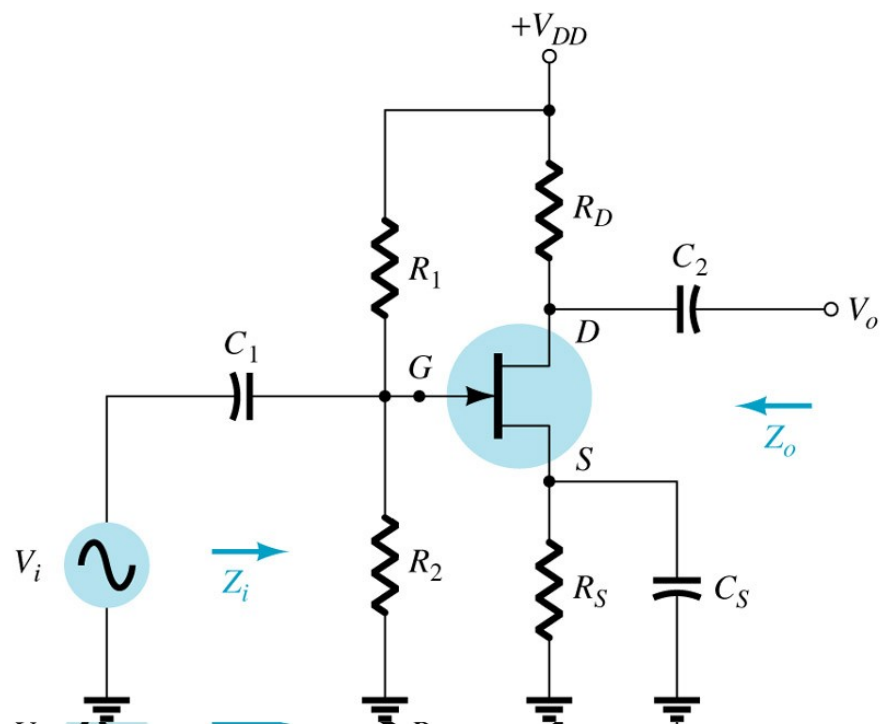


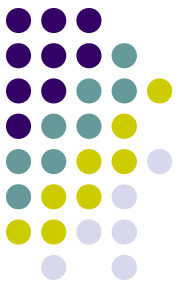
Điện áp vào đưa đến chân G, điện áp ra lấy tại chân D (chân S nối đất)

Phân cực kiểu phân áp

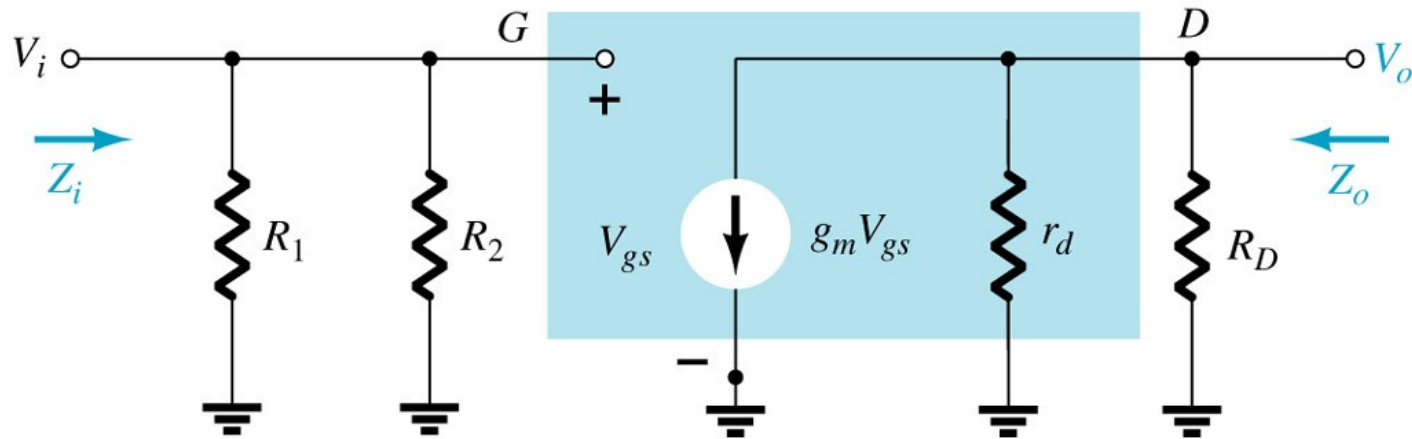
Chú ý khi phân tích:

- ✓ Ngăn mạch các tụ nối
- ✓ Ngăn mạch nguồn một chiều





Cấu hình chung cực nguồn - CS



$$Z_i = R_1 // R_2$$

$$Z_o = r_d // R_D \approx R_D \quad \text{nếu } r_d > 10R_D$$

$$A_v = -g_m(r_d // R_D) \approx g_m R_D \quad \text{nếu } r_d > 10R_D$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

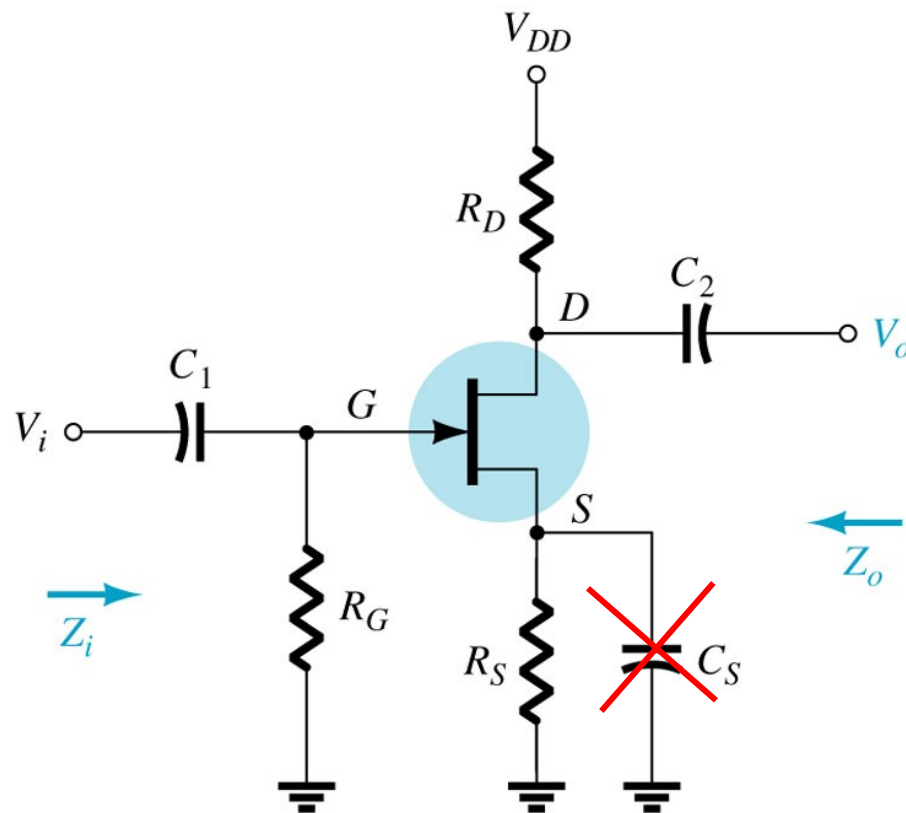
Cấu hình chung cực nguồn - CS

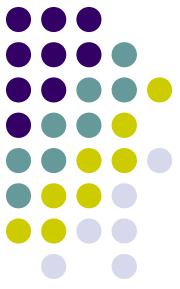


S

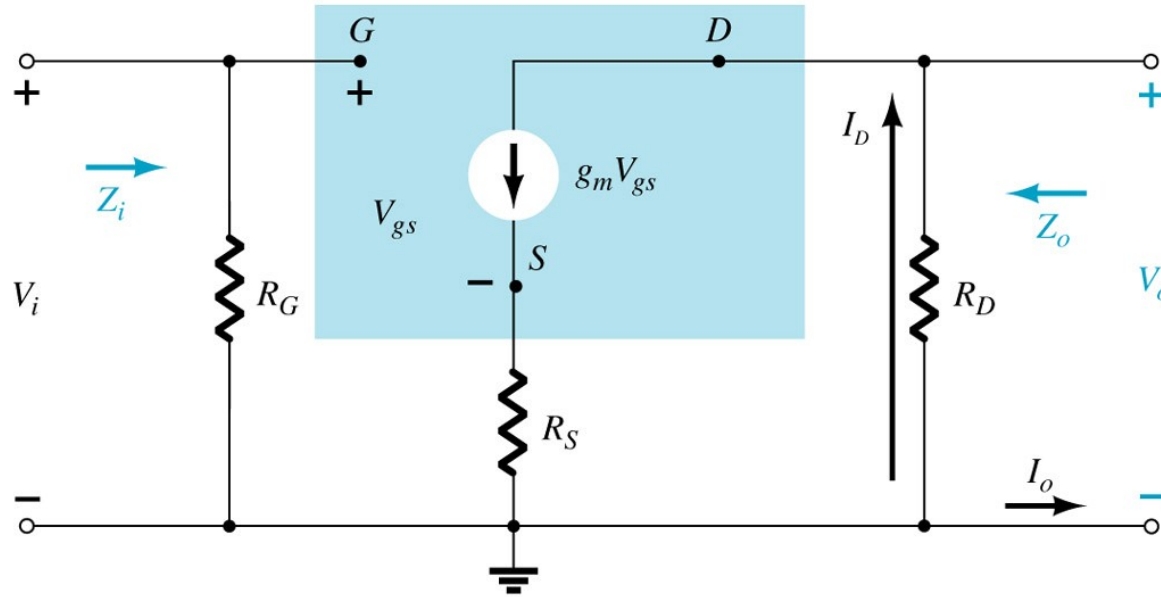
S

Không có tụ C (unbypassed R)





Cấu hình chung cực nguồn - CS

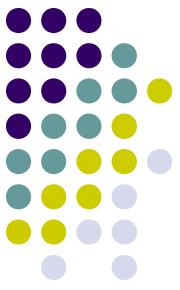


$$Z_i = R_G$$

$$Z_o = R_D / [1 + g_m R_S + (R_D + R_S) / r_d]$$

$$A_V = -g_m R_D / [1 + g_m R_S + (R_D + R_S) / r_d]$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau



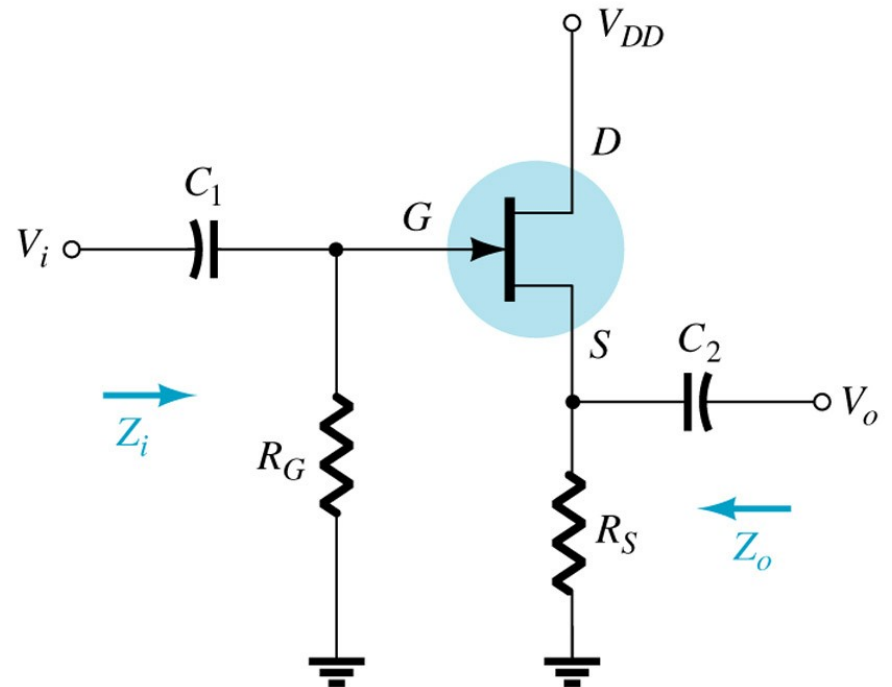
Cấu hình chung cực máng - CD

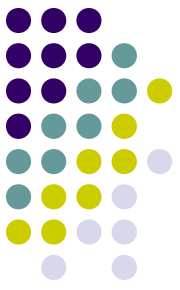
Điện áp vào đưa đến chân G,
điện áp ra lấy tại chân S

Phân cực kiểu tự phân cực

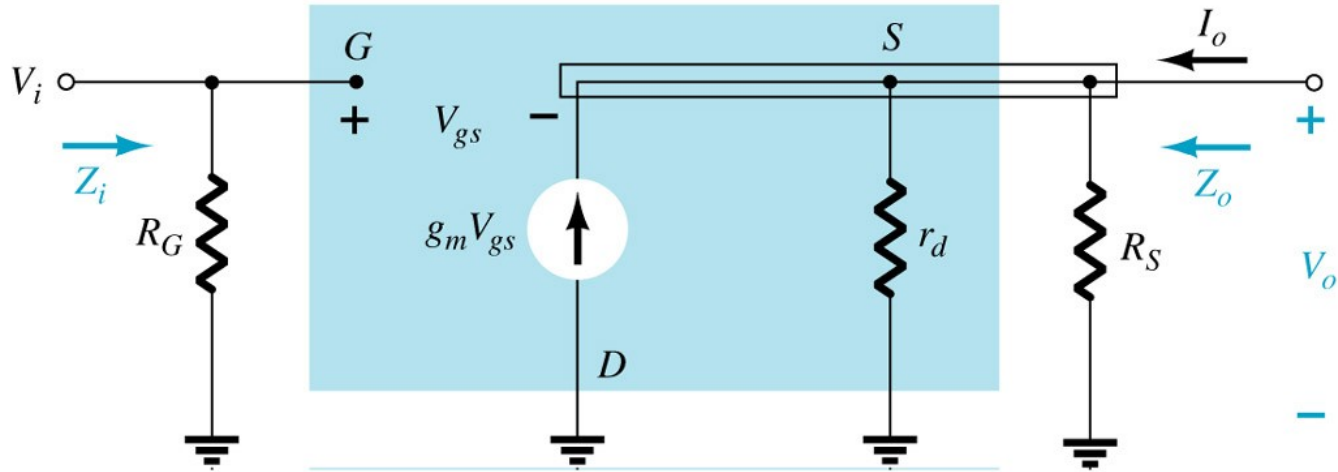
Chú ý khi phân tích:

- ✓ Ngăn mạch các tụ nối
- ✓ Ngăn mạch nguồn một chiều





Cấu hình chung cực máng - CD



$$Z_i = R_G$$

$$Z_o = r_d // R_S // (1/g_m) \approx R_S // (1/g_m)$$

$$\text{nếu } r_d > 10R_S$$

$$A_v = -g_m (r_d // R_S) / [1 + g_m (r_d // R_S)] \approx g_m R_S / [1 + g_m R_S]$$

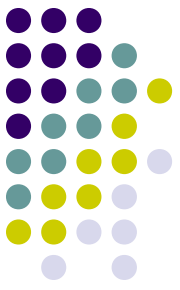
≈ 1

$$\text{nếu } r_d > 10R_S$$

$$\text{nếu } g_m R_S \gg 1$$

Quan hệ pha: điện áp ra và điện áp vào **cùng pha** nhau

Cấu hình chung cực cửa - CG

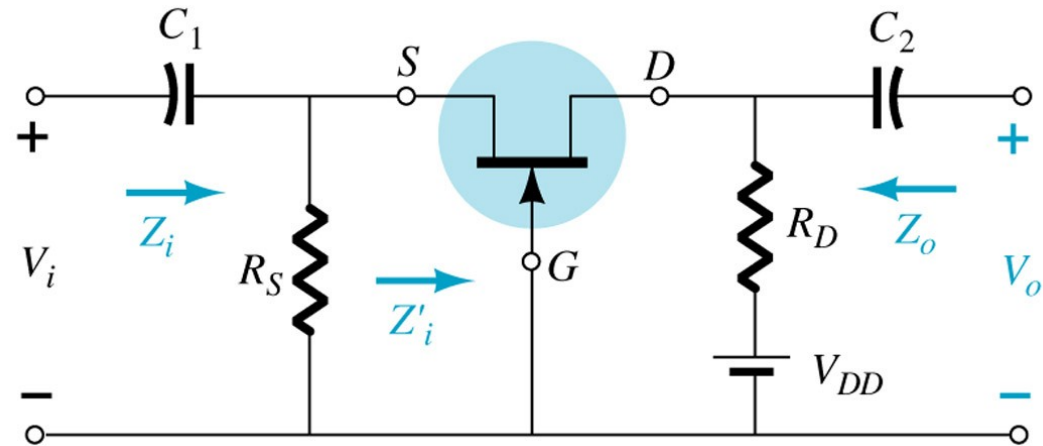


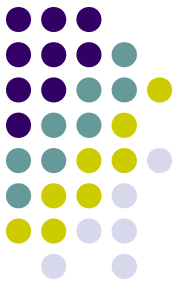
Điện áp vào đưa đến chân S,
điện áp ra lấy tại chân D

Phân cực kiểu tự phân cực

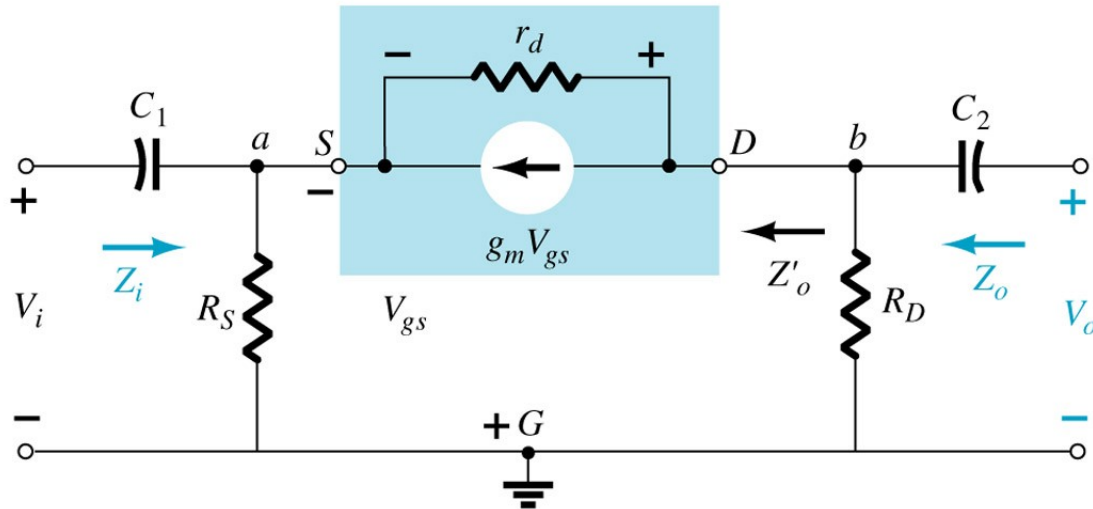
Chú ý khi phân tích:

- ✓ Ngắn mạch các tụ nối
- ✓ Ngắn mạch nguồn một chiều





Cấu hình chung cực cửa - CG



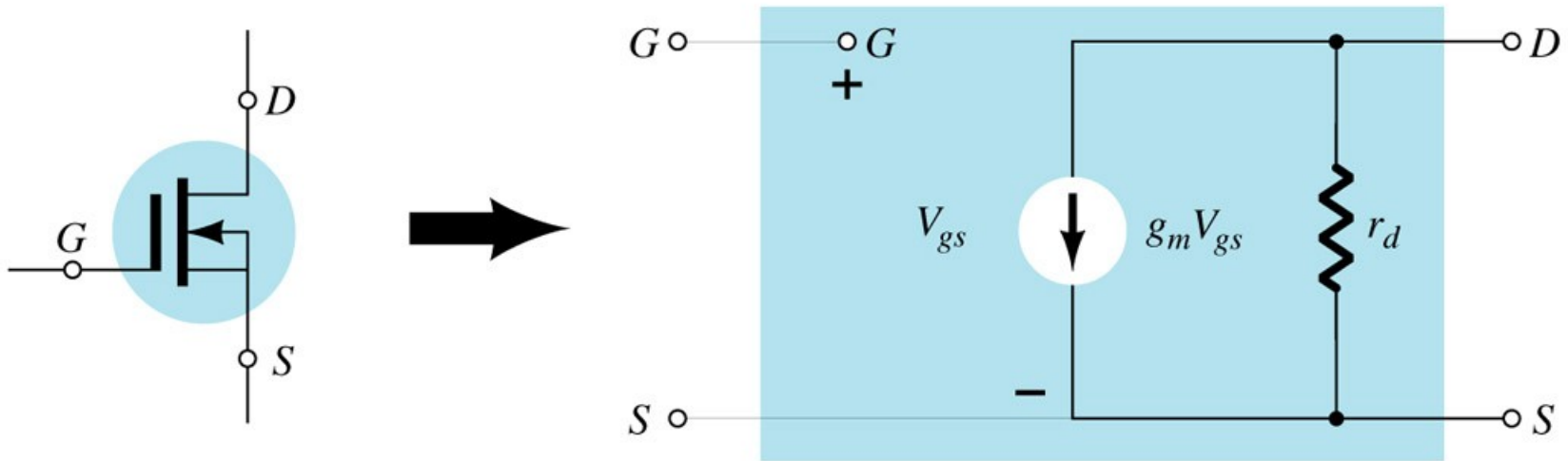
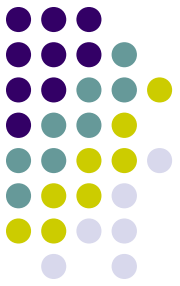
$$Z_i = R_S // [(r_d + R_D) / (1 + g_m r_d)] \approx R_S // (1/g_m) \quad \text{nếu } r_d > 10R_D$$

$$Z_o = r_d // R_D \approx R_D \quad \text{nếu } r_d > 10R_D$$

$$A_V = [g_m R_D + (R_D / r_d)] / [1 + R_D / r_d] \approx g_m R_D \quad \text{nếu } r_d > 10R_D$$

Quan hệ pha: điện áp ra và điện áp vào **cùng pha** nhau

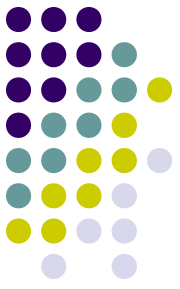
Sơ đồ tương đương DMOS



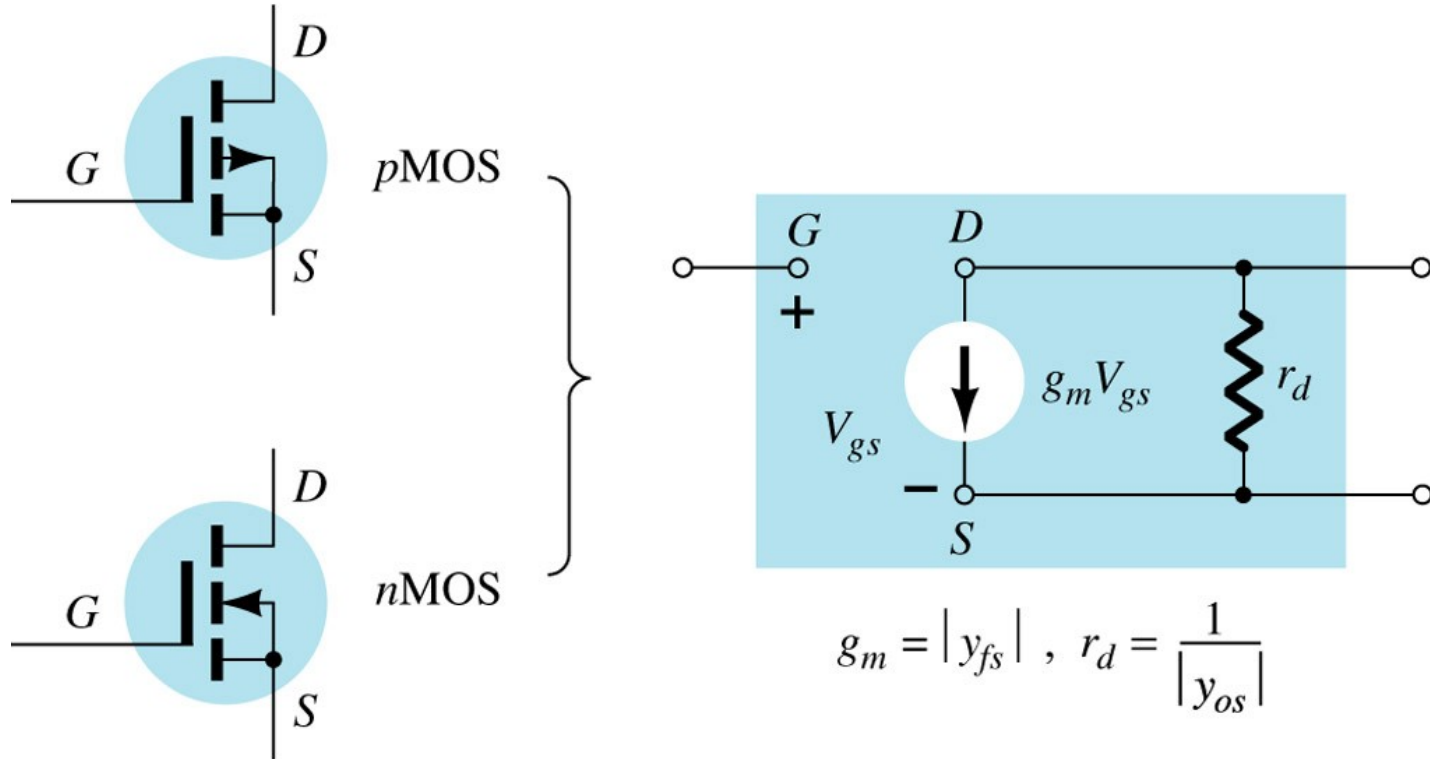
Tương tự như của JFET

Lưu ý, với DMOS:

- ✓ V_{GS} có thể dương với loại kênh N và âm với loại kênh P
- ✓ g_m có thể lớn hơn g_{m0}



Sơ đồ tương đương EMOS

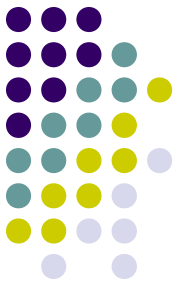


Tương tự với JFET và DMOS

Lưu ý:

- ✓ V_{GS} luôn dương với loại kênh N và luôn âm với loại kênh P
- ✓ $g_m = 2k(V_{GS} - V_T)$

EMOS mắc chung cực nguồn

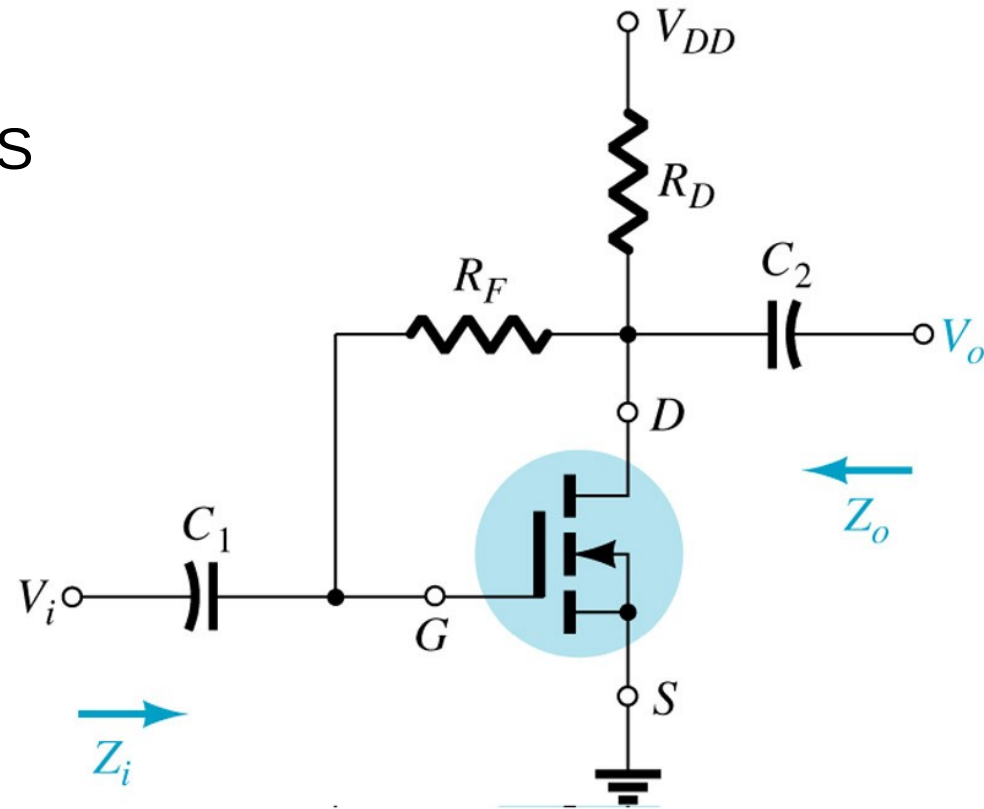


Điện áp vào đưa đến chân G, điện áp ra lấy tại chân D, chân S nối đất

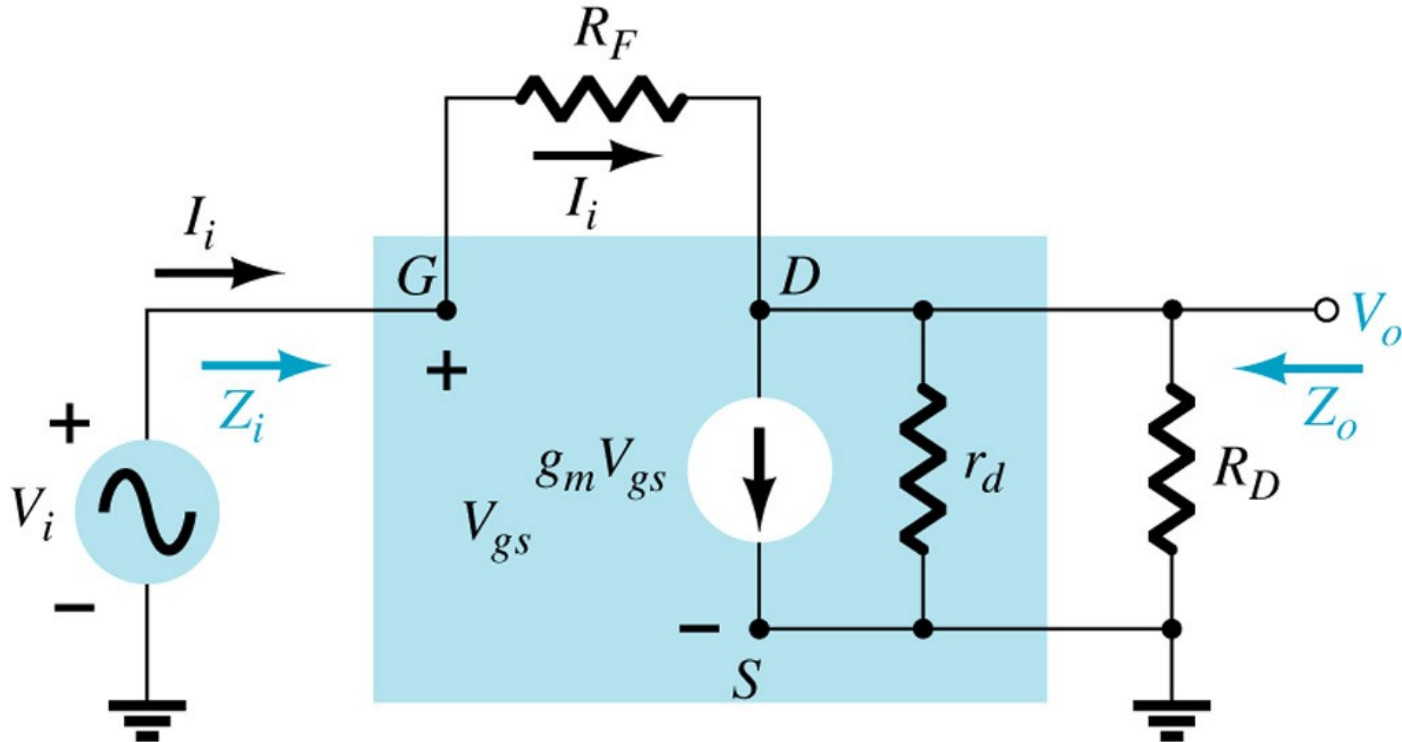
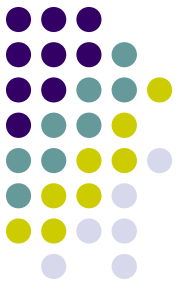
Phân cực kiểu hồi tiếp

Chú ý khi phân tích:

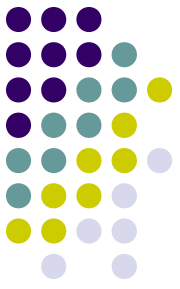
- ✓ Ngắt mạch các tụ nối
- ✓ Ngắt mạch nguồn một chiều



EMOS mắc chung cực nguồn



EMOS mắc chung cực nguồn



$$Z_i = (R_F + r_d // R_D) / [1 + g_m (r_d // R_D)]$$
$$\approx R_F / (1 + g_m R_D)$$

nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

$$Z_o = R_F // r_d // R_D \approx R_D$$

nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

$$A_v = g_m R_F // r_d // R_D \approx g_m R_D$$

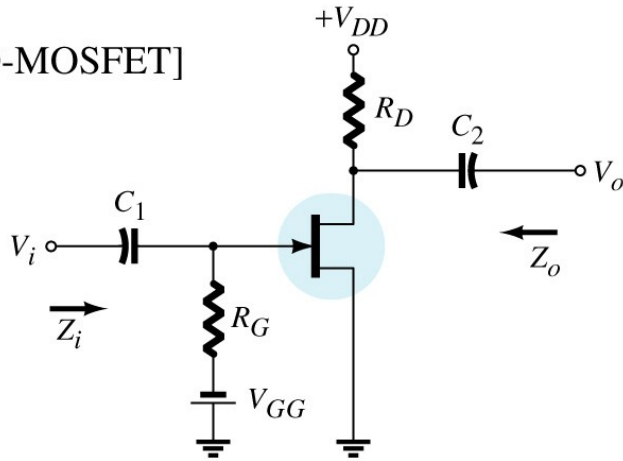
nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

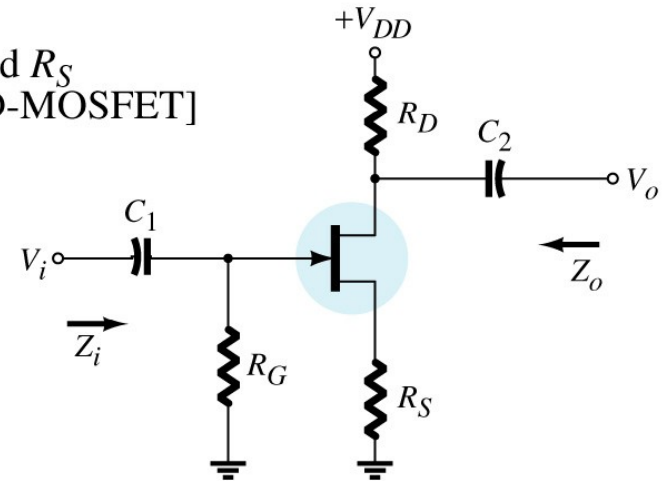
Tổng kết



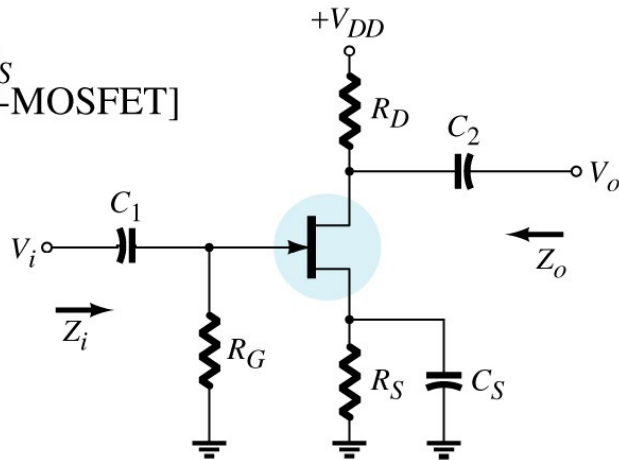
Fixed-bias
[JFET or D-MOSFET]



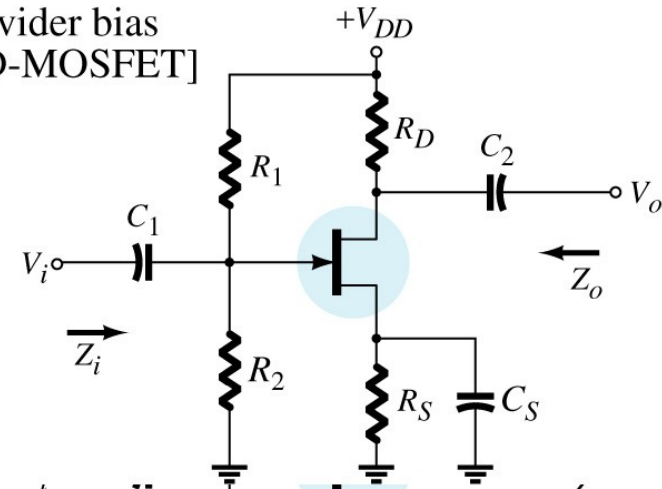
Self-bias
Unbypassed R_S
[JFET or D-MOSFET]



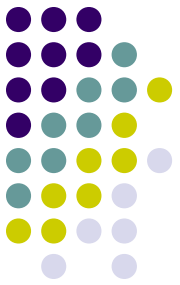
Self-bias
bypassed R_S
[JFET or D-MOSFET]



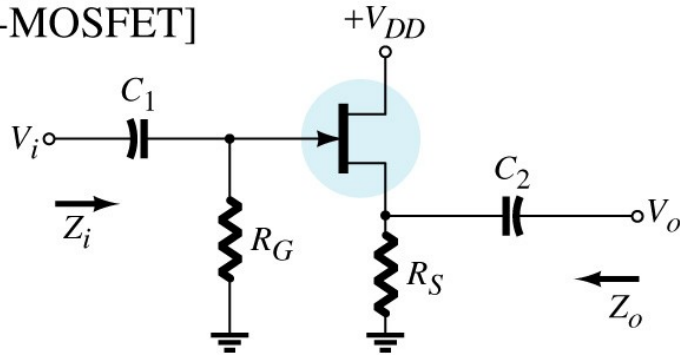
Voltage-divider bias
[JFET or D-MOSFET]



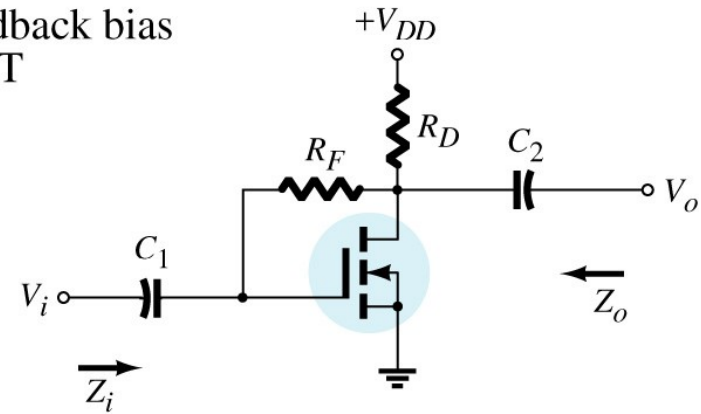
Tổng kết



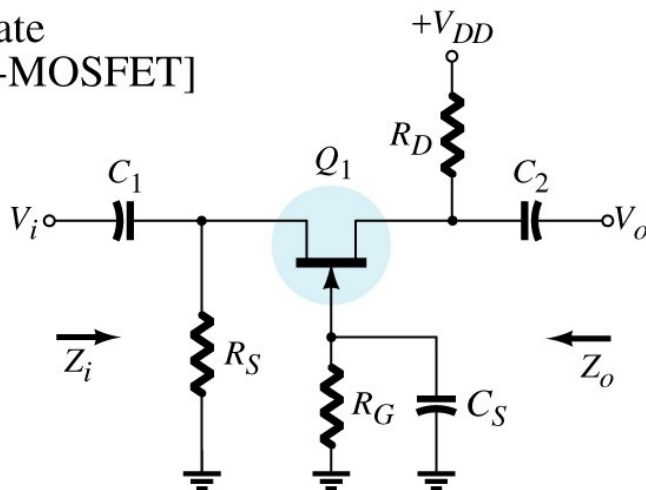
Source-follower
[JFET or D-MOSFET]



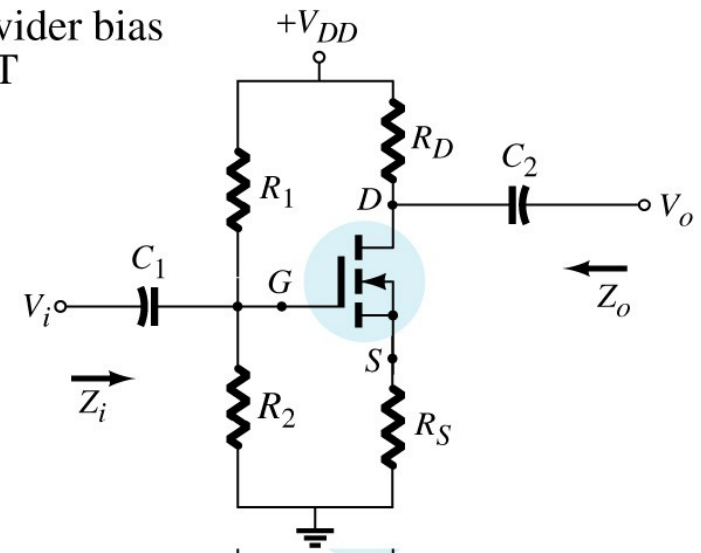
Drain-Feedback bias
E-MOSFET



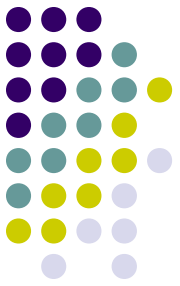
Common-gate
[JFET or D-MOSFET]



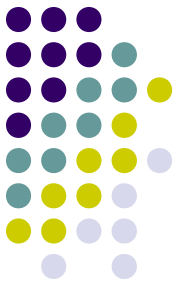
Voltage-divider bias
E-MOSFET



Ứng dụng



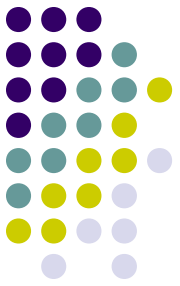
- ✓ Sử dụng trong mạch khuếch đại vi sai vì trở kháng vào cực lớn ($10^{12}\Omega$) và dòng một chiều vào cực nhỏ (30 pA).
- ✓ Được kết hợp với BJT để chế tạo khuếch đại thuật toán BIFET vì những ưu điểm của FET được ứng dụng cho tầng đầu vào. (cũng có những loại opamp toàn FET)
- ✓ Sử dụng như điện trở điều khiển bởi điện áp (đặt FET hoạt động trong vùng Ohm)



Bài tập

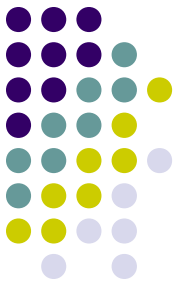
- Chương 5: 3, 5, 6, 9, 26, 34, 37
- Chương 6: 1, 6, 12, 17, 19, 21, 23
- Chương 9: 1, 5, 12, 17, 19, 23, 27, 32, 33, 37, 38, 43, 44

Ảnh hưởng của nguồn và tải



- Giới thiệu
- Mạng hai cửa (two-port system)
- Trở kháng nguồn
- Trở kháng tải
- Tổng hợp
- Ví dụ

Ảnh hưởng của nguồn và tải



Hệ số khuếch đại của mạch biến đổi khi có thêm nguồn và tải:

$A_V^0 = V_{out} / V_{in}$ – hệ số khuếch đại không tải

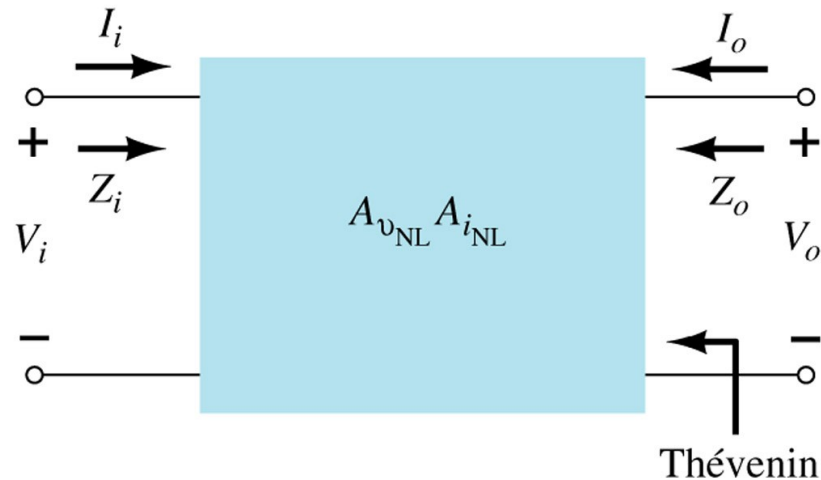
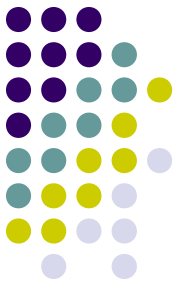
$A_V^L = V_{RL} / V_{in}$ – hệ số khuếch đại có tải

$A_V^S = V_{RL} / V_S$ – hệ số khuếch đại có tải và nguồn

Có 2 cách phân tích ảnh hưởng nguồn tải

- Sơ đồ tương đương
- **Mô hình mạng 2 cửa**

Mạng hai cửa (two-port system)



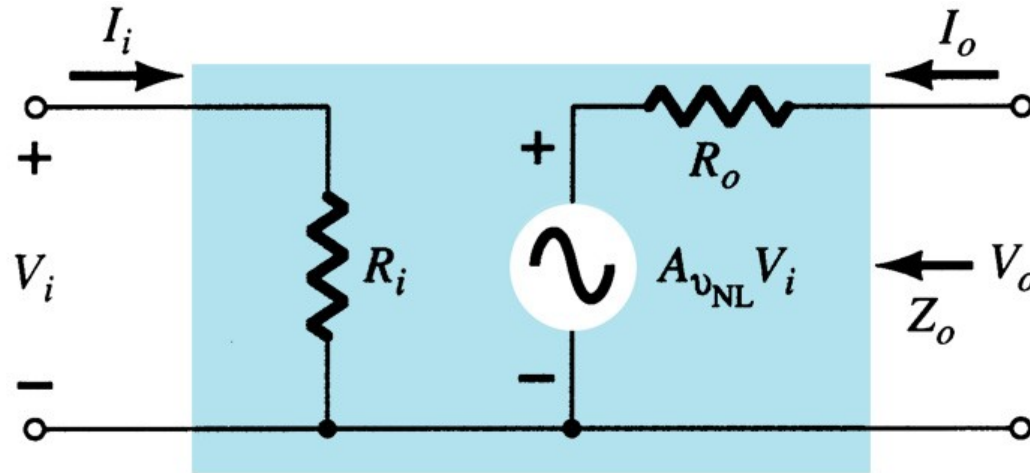
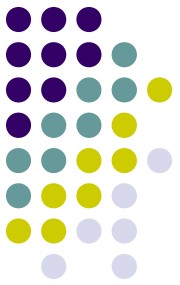
Đã xác định các tham số xoay chiều ở điều kiện không có trở nguồn và trở tải

$$Z_{in}, Z_{out}, A_V^0, A_i^0$$

Khi đó, điện áp ra tại cửa ra hở mạch là:

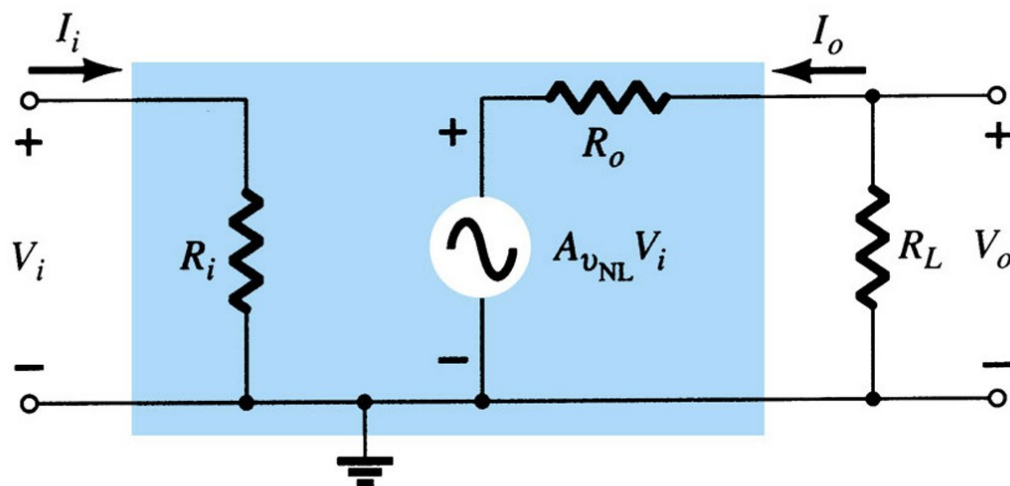
$$V_o = A_V^0 * V_i$$

Mạng hai cửa (two-port system)



Mô tả mạng hai cửa bằng các linh kiện tương đương, vẫn đảm bảo bộ tham số xoay chiều (Z_{in} , Z_{out} , A_V^0 , A_i^0)

Mạng hai cửa (two-port system)



Điện áp ra trên điện trở R_L :

$$V_o = A_v^0 * V_i * [R_L / (R_L + R_o)]$$

Hệ số khuếch đại điện áp

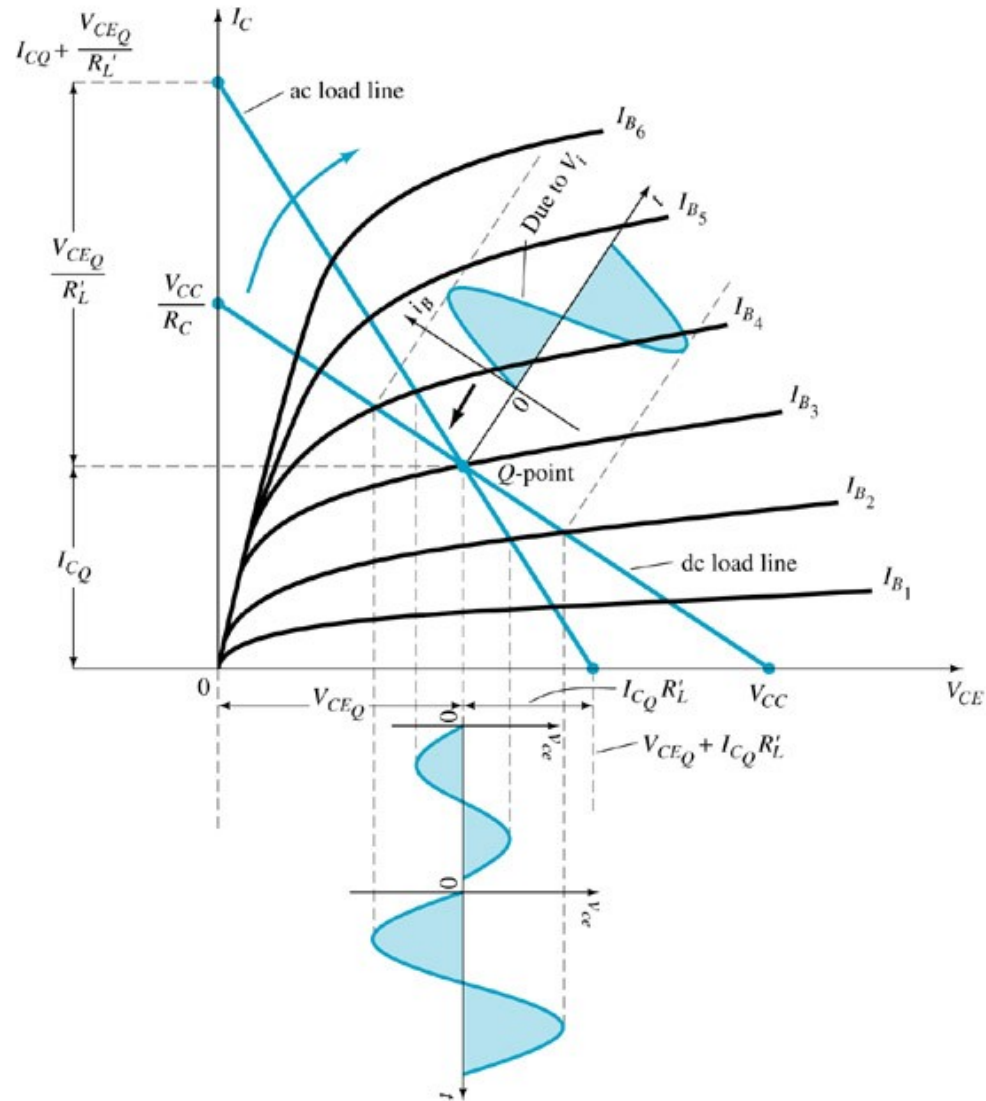
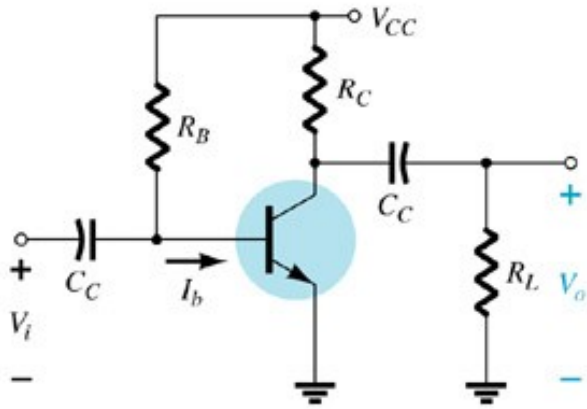
$$A_v^L = A_v^0 * [R_L / (R_L + R_o)]$$

Khuếch đại điện áp nhỏ hơn khi không xét tải

R_L càng lớn, A_v^L càng gần A_v^0

Ảnh hưởng của trở kháng tải

- Mô tả bằng đồ thị



Phương trình đường tải tĩnh:

$$V_{CE} = V_{CC} - I_C \cdot R_C$$

Phương trình đường tải động:

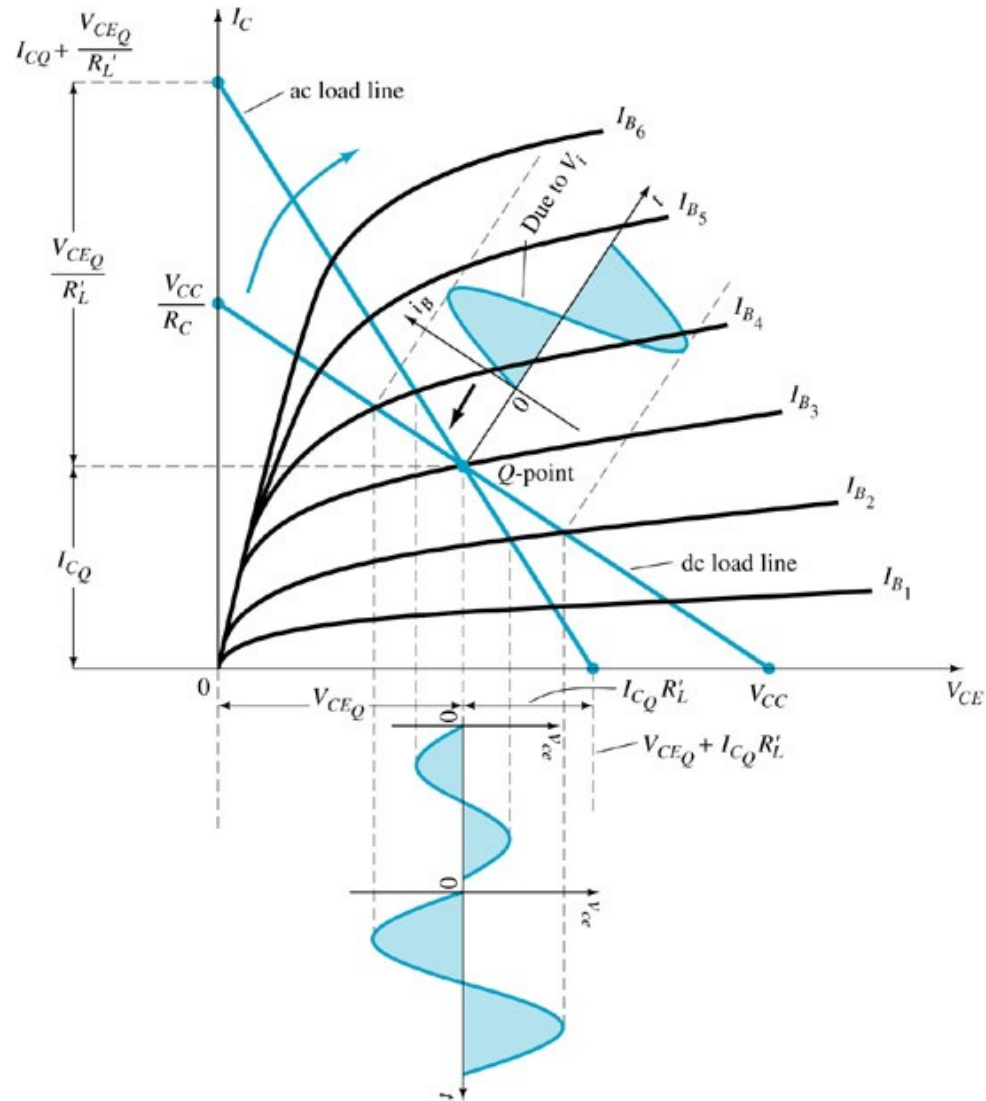
$$V_{CE} = V_{CC} - I_C \cdot R_C // R_L$$

Ảnh hưởng của trở kháng tải

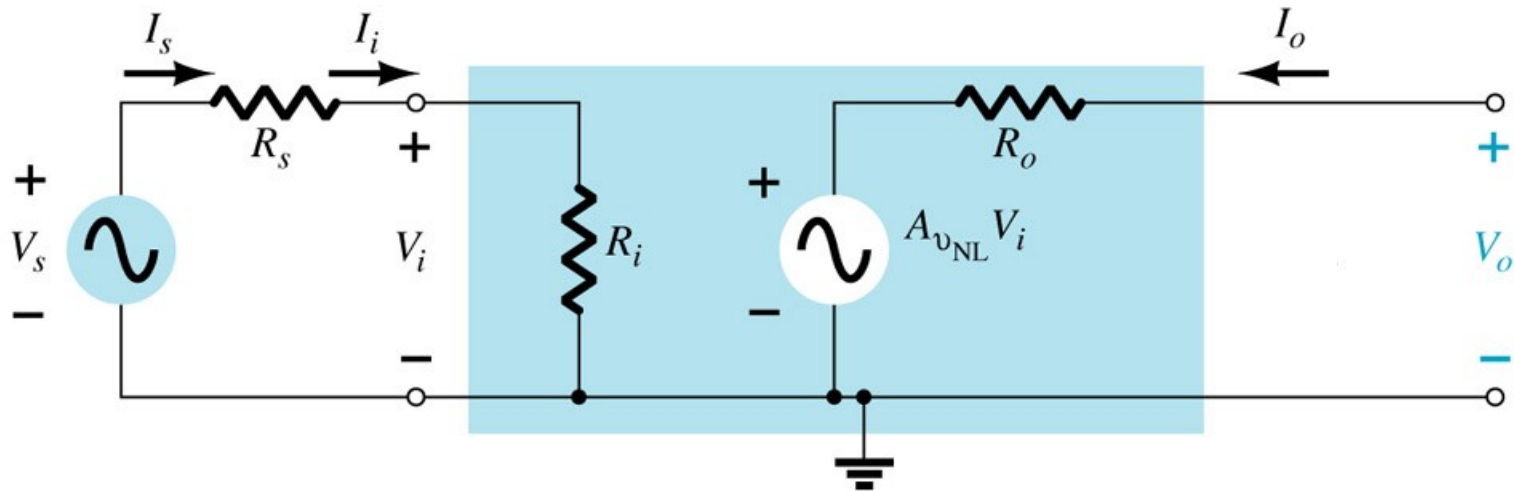
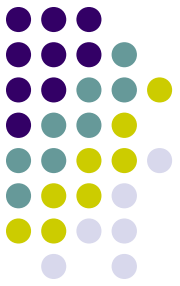


R_L nhỏ, $R_C // R_L$ nhỏ \Rightarrow
đường tải động dốc \Rightarrow
điện áp ra nhỏ

*(phù hợp với phân tích giải
tích trên mô hình mạng hai
cửa)*



Ảnh hưởng của trở kháng nguồn

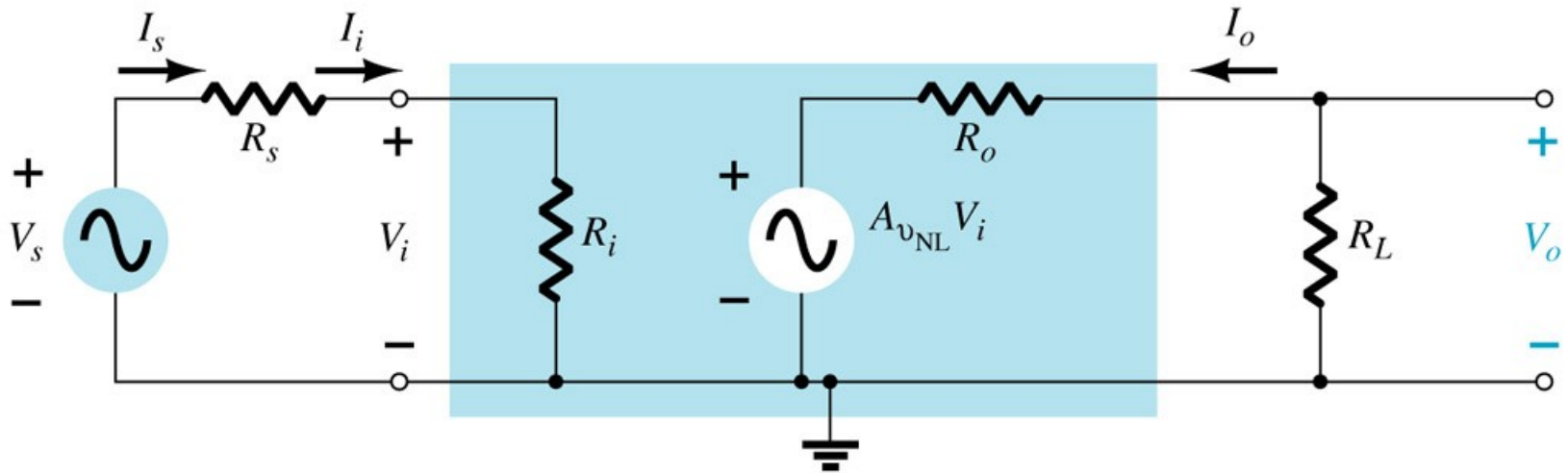


$$A_V^S = A_V^0 * R_i / (R_i + R_S)$$

A_V^0 – hệ số khuếch đại điện áp không nguồn, không tải

Để hệ số khuếch đại điện áp lớn, trở kháng nguồn càng nhỏ càng tốt

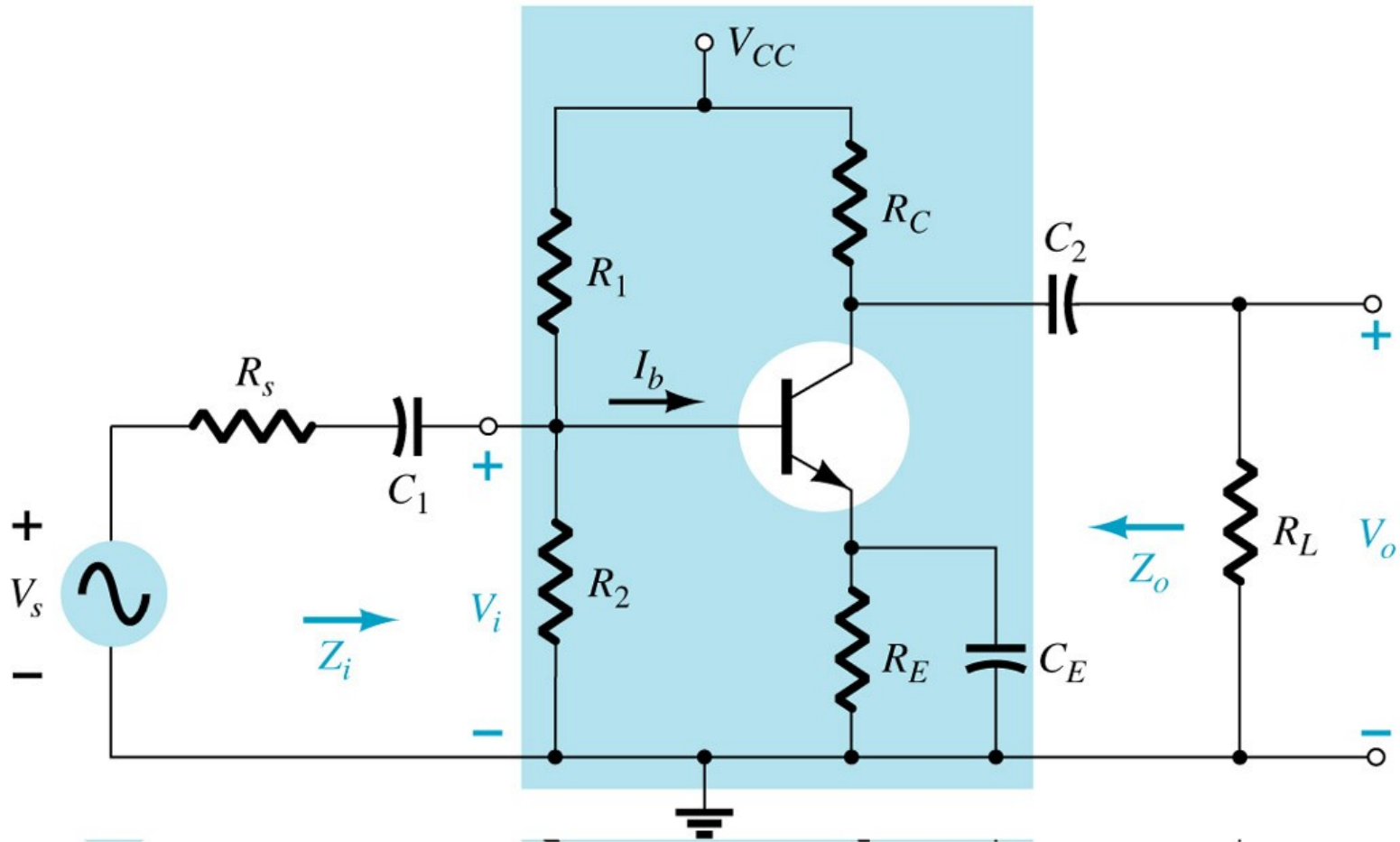
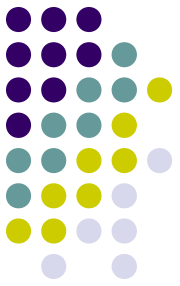
Tổng hợp



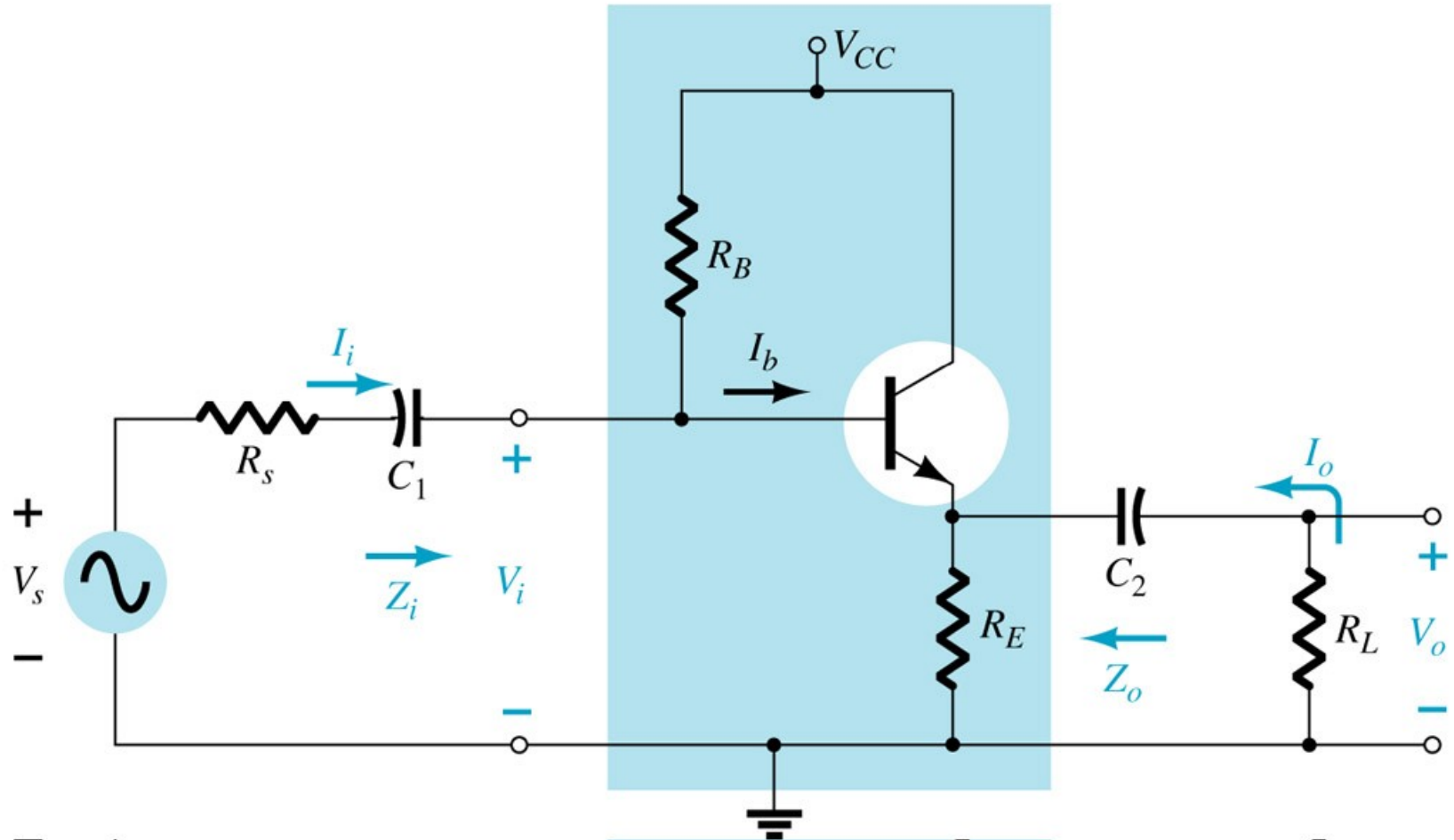
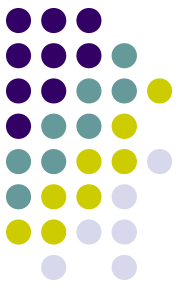
$$A_V^T = A_V^0 \left[\frac{R_L}{R_o + R_L} \right] \left[\frac{R_i}{R_i + R_s} \right]$$

Khi thiết kế mạch khuếch đại, nên chú ý để mạch có thể làm việc với dải rộng giá trị của trở kháng nguồn và tải

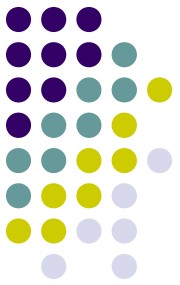
Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng BJT



Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng BJT



Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng BJT



Trở kháng vào: $Z_i = \beta r_e$

Trở kháng ra: $Z_o = R_c$

Hệ số khuếch đại điện áp

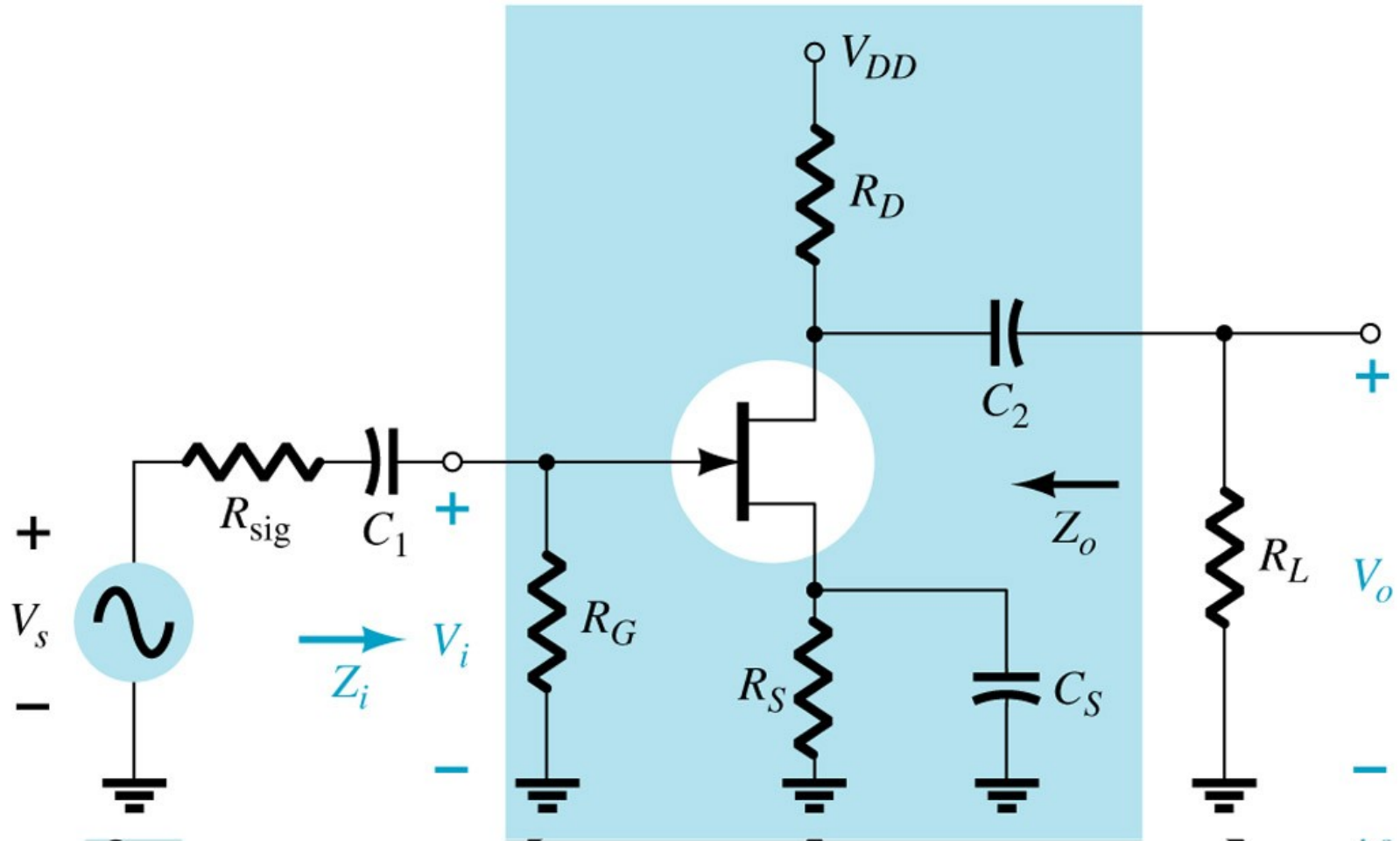
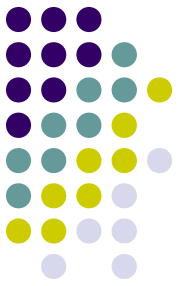
$$A_v^0 = - R_c / r_e$$
$$\Rightarrow A_v = - (R_L // R_c) / r_e$$

Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng FET

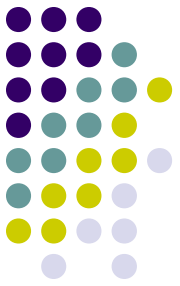


- FET: vì các cực G and D, S được cách ly
 - R_L không ảnh hưởng đến trở kháng vào Z_i
 - R_s không ảnh hưởng đến trở kháng ra Z_o

Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng FET



Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng FET

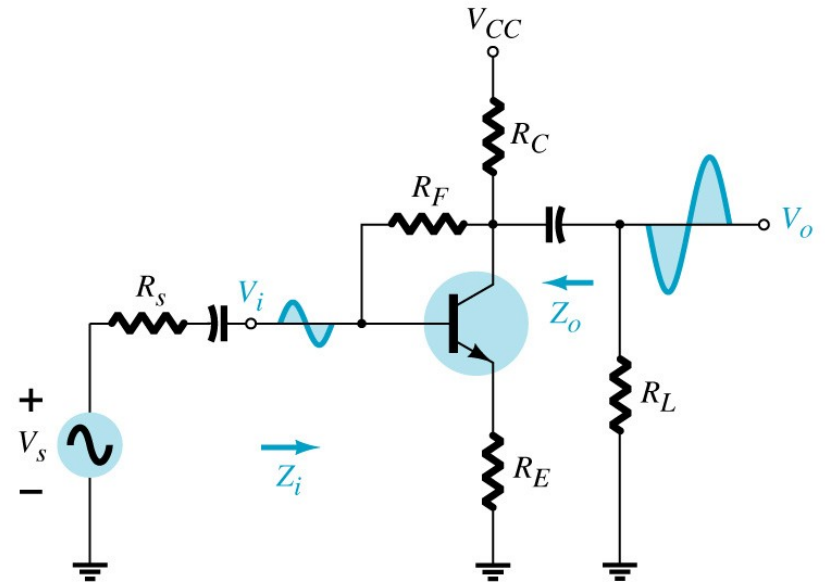
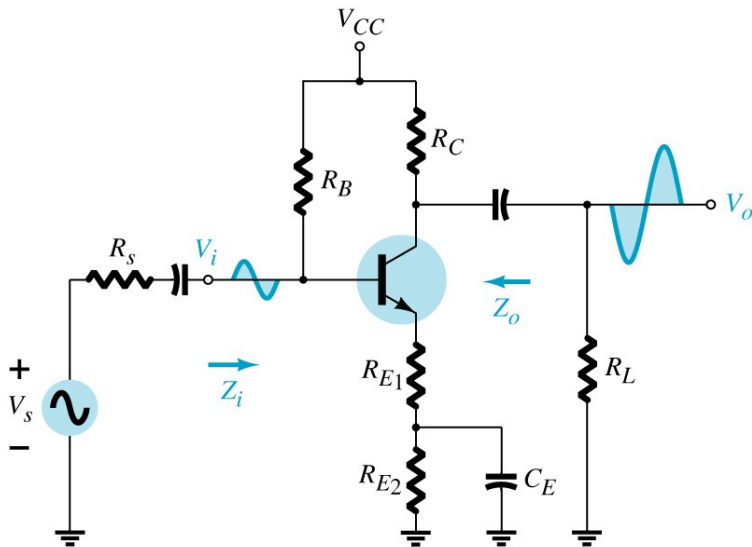
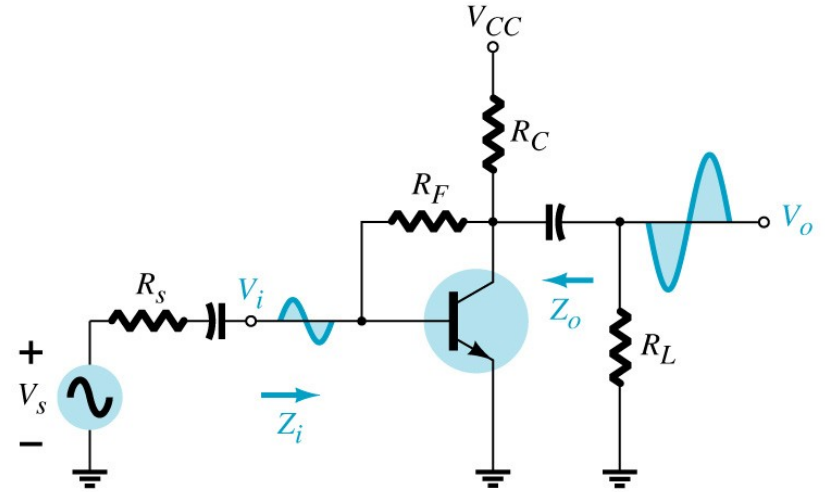
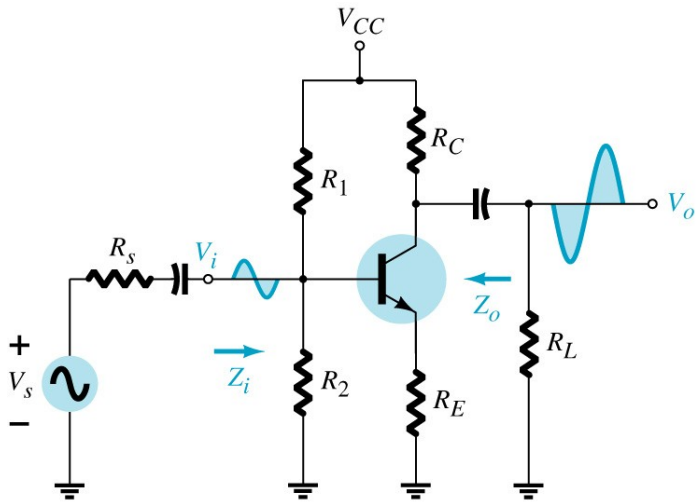


- Trở kháng vào: $Z_i = R_G$
- Trở kháng ra: $Z_o = R_D$
- Hệ số khuếch đại điện áp

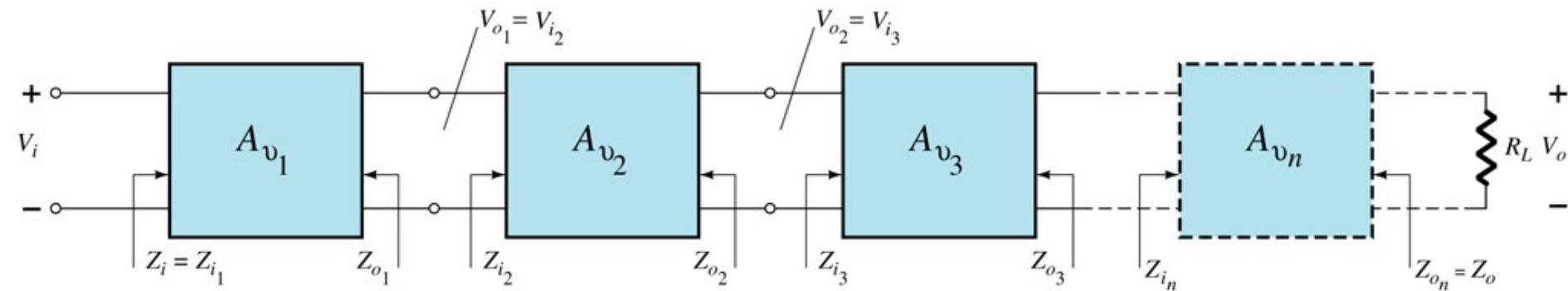
$$A_v^0 = - R_D / r_e$$

$$\Rightarrow A_v = - (R_L // R_D) / r_e$$

Tổng kết



Ghép tầng nối tiếp



- Tầng sau là tải của tầng trước
- Tầng trước là nguồn của tầng sau
- Hệ số khuếch đại điện áp tổng

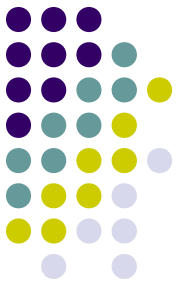
$$A_V^T = A_{V1} * A_{V2} * \dots$$

- Hệ số khuếch đại dòng điện tổng

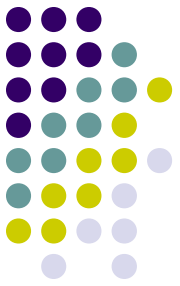
$$A_i^T = A_V^T * Z_{i1} / R_L$$

Bài tập

Chương 10: 1, 2, 4, 5, 10, 15, 17



Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng FET



- FET: vì các cực G and D, S được cách ly
 - R_L không ảnh hưởng đến trở kháng vào Z_i
 - R_s không ảnh hưởng đến trở kháng ra Z_o

- Bài tập:
 - Chapter 10: 1, 2, 4, 5, 10,15, 17