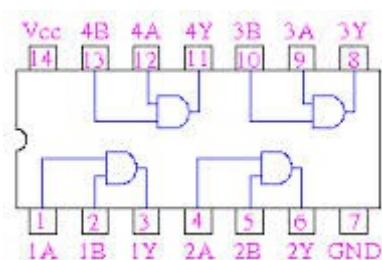


BỘ LAO ĐỘNG - THƯƠNG BINH VÀ XÃ HỘI
TỔNG CỤC DẠY NGHỀ

-----□□ □ □-----

GIÁO TRÌNH
KỸ THUẬT XUNG SỐ
NGHỀ: KỸ THUẬT SỬA CHỮA, LẮP
RÁP MÁY TÍNH
TRÌNH ĐỘ: CAO ĐẲNG

*(Ban hành theo Quyết định số: 120/QĐ-TCDN ngày 25 tháng 02 năm 2013
của Tổng cục trưởng Tổng cục dạy nghề)*



NĂM 2013

TUYÊN BỐ BẢN QUYỀN:

Tài liệu này thuộc loại sách giáo trình nên các nguồn thông tin có thể được phép dùng nguyên bản hoặc trích dùng cho các mục đích về đào tạo và tham khảo.

Mọi mục đích khác mang tính lệch lạc hoặc sử dụng với mục đích kinh doanh thiếu lành mạnh sẽ bị nghiêm cấm.

LỜI GIỚI THIỆU

Cùng với sự tiến bộ của khoa học và công nghệ, Các thiết bị điện tử đang và sẽ tiếp tục được ứng dụng ngày càng rộng rãi và mang lại hiệu quả cao trong hầu hết các lĩnh vực kinh tế kỹ thuật cũng như đời sống xã hội.

Việc gia công xử lý tín hiệu trong thiết bị điện tử hiện đại đều dựa trên các cơ sở nguyên lý số vì các thiết bị làm việc dựa trên cơ sở nguyên lý số có những ưu điểm hơn hẳn các thiết bị điện tử làm việc theo nguyên lý tương tự, đặc biệt là trong lĩnh vực tính toán. Bởi vậy hiểu biết sâu sắc về Kỹ thuật xung - số là không thể thiếu được đối với các công nhân, cán bộ kỹ thuật điện tử hiện nay. Nhu cầu hiểu biết về kỹ thuật xung - số không chỉ phải riêng đối với các công nhân, cán bộ kỹ thuật điện tử mà còn đối với nhiều cán bộ kỹ thuật các ngành khác có sử dụng các thiết bị điện tử. Để đáp ứng nhu cầu này Trường Cao Đẳng Nghề Kỹ Thuật Công Nghệ đã biên soạn giáo trình này nhằm mục đích hỗ trợ cho việc dạy và học môn kỹ thuật xung số trong các trường đồng thời giúp cho cán bộ kỹ thuật, công nhân kỹ thuật có điều kiện củng cố và nâng cao kiến thức ngành nghề.

Hà Nội, 2013

Tham gia biên soạn

Khoa Công Nghệ Thông Tin

Trường Cao Đẳng Nghề Kỹ Thuật Công Nghệ

Địa Chỉ: Tổ 59 Thị trấn Đông Anh – Hà Nội

Tel: 04. 38821300

Chủ biên: Lê Văn Dũng

Mọi góp ý liên hệ: Phùng Sỹ Tiến – Trưởng Khoa Công Nghệ Thông Tin

Mobile: 0983393834

Email: tienphungktn@gmail.com – tienphungktn@yahoo.com

MỤC LỤC

Bài mở đầu: Các khái niệm cơ bản về kỹ thuật xung số	7
1. Khái niệm chung	7
2. Các phương pháp biến đổi dạng xung	17
3. Các mạch xén-mạch ghim	28
Bài 1: Các mạch tạo xung cơ bản	33
1. Mạch dao động đa hài không trạng thái bền	34
2. Mạch dao động đa hài một trạng thái bền	38
3. Mạch dao động đa hài hai trạng thái bền	42
4. Mạch dao động blocking	44
5. Mạch tạo xung dùng Op-amp	45
6. Mạch dao động tích thoát dùng UJT	49
7. Vi mạch định thời IC 555	51
Bài 2: Kỹ thuật số - hệ thống số đếm	61
1. Tổng quan về logic số	61
2. Mã hoá - giải mã	66
3. Mạch logic tổ hợp - đại số boole	69
4. Các cổng logic và IC số	79
Bài 3: Mạch Flip – Flop và ứng dụng	101
1. Các loại mạch flip – flop	101
2. Mạch ghi dịch	109
3. Mạch đếm	112
Bài 4: Chuyển đổi tương tự số	134
1. Mạch chuyển đổi tương tự - số	134
2. Mạch chuyển đổi số - tương tự	136
3. Sơ lược về bộ nhớ	138
TÀI LIỆU THAM KHẢO	141

MÔ ĐƠN: KỸ THUẬT XUNG SỐ

Mã mô Đơn:MD19

Vị trí, ý nghĩa, vai trò môn học:

- Vị trí:

Mô đơn được bố trí sau các môn học chung.

Học trước các môn học/ mô đơn đào tạo chuyên ngành.

- Tính chất:

Là mô đơn tiền đề cho các môn học chuyên ngành.

+ Là mô đơn bắt buộc.

- Ý nghĩa, vai trò của mô đơn:

Là mô đơn không thể thiếu của nghề Sửa chữa, lắp ráp máy tính

Mục tiêu của mô đơn:

- Hiểu được các dạng tín hiệu xung và các phương pháp biến đổi dạng xung
- Hiểu được hệ thống mạch tương tự, mạch số
- Thực hiện chuyển đổi tương tự - số
- Thực hiện chuyển đổi số - tương tự
- Thực hiện được các mạch ứng dụng của kỹ thuật xung số
- Lắp ráp, sửa chữa được các mạch tạo xung cơ bản.
- Tự tin trong việc tiếp xúc, sửa chữa các thiết bị điện tử máy tính sử dụng kỹ thuật xung số.
- Tạo tính cẩn thận cho sinh viên khi tiếp cận thiết bị sử dụng kỹ thuật xung số.

Mã bài	Tên chương mục/bài	Thời lượng			
		Tổng số	Lý thuyết	Thực hành	Kiểm tra
MD19 - 01	Các khái niệm cơ bản về kỹ thuật xung số	8	4	4	0
MD19 - 02	Các mạch tạo xung cơ bản	32	15	15	2
MD19 - 03	Kỹ thuật số - hệ thống số đếm	32	15	14	3
MD19 - 04	Mạch Flip-Flop và ứng dụng	28	12	13	3

MĐ19 - 05	Chuyển đổi tương tự số	20	8	10	2
-----------	------------------------	----	---	----	---

BÀI MỞ ĐẦU

CÁC KHÁI NIỆM CƠ BẢN VỀ KỸ THUẬT XUNG SỐ

MÃ BÀI : MĐ19-01

Mục tiêu:

- Hiểu được các khái niệm cơ bản về kỹ thuật xung số.
- Trình bày được các phương pháp biến đổi dạng xung
- Rèn luyện tính cẩn thận, tỉ mỉ.

Nội dung chính :

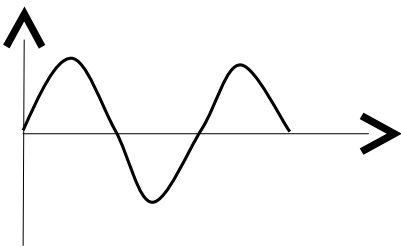
1. Khái niệm chung

Mục tiêu:

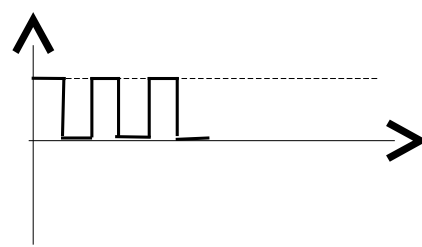
- Trình bày được các khái niệm cơ bản về kỹ thuật xung số.

Tín hiệu là sự biến đổi của các đại lượng điện (dòng điện hay điện áp) theo thời gian, chứa đựng một thông tin nào đó.

Tín hiệu được chia làm 2 loại: tín hiệu liên tục (tín hiệu tuyến tính) và tín hiệu gián đoạn (tín hiệu xung). Trong đó tín hiệu hình sin được xem là tín hiệu tiêu biểu cho loại tín hiệu liên tục, có đường biểu diễn như hình 1-1. Ngược lại tín hiệu hình vuông được xem là tín hiệu tiêu biểu cho loại tín hiệu không liên tục như hình 1-2



**Hình 1.1: Tín hiệu hình sin
vuông**

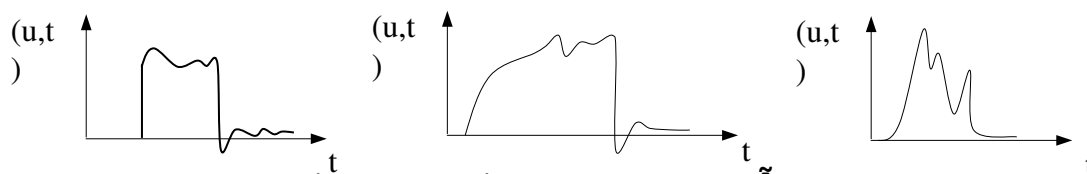


**Hình 1.2: Tín hiệu hình
vuông**

* Định nghĩa:

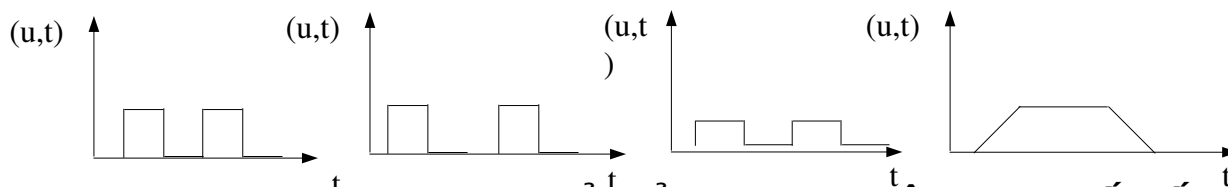
Xung điện là tín hiệu điện có giá trị biến đổi gián đoạn trong một khoảng thời gian rất ngắn có thể so sánh với quá trình quá độ của mạch điện.

Xung điện trong kỹ thuật được chia làm 2 loại: loại xung xuất hiện ngẫu nhiên trong mạch điện, ngoài mong muốn, được gọi là xung nhiễu, xung nhiễu thường có hình dạng bất kỳ (Hình 1.3).



Hình 1.3: Các dạng xung nhiễu

Các dạng xung tạo ra từ các mạch điện được thiết kế thường có một số dạng cơ bản:

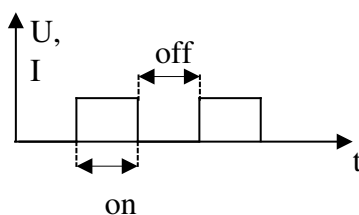


Hình 1.4: Các dạng xung cơ bản của các mạch điện được thiết kế

1.1. Các thông số cơ bản

a. Các tham số của xung điện:

Dạng xung vuông lý tưởng được trình bày trên



Hình 1.5: Các thông số cơ bản của xung

+ **Độ rộng xung:** là thời gian xuất hiện của xung trên mạch điện, thời gian này thường được gọi là thời gian mở t_{on} . Thời gian không có sự xuất hiện của xung gọi là thời gian nghỉ t_{off} .

+ **Chu kỳ xung:** là khoảng thời gian giữa 2 lần xuất hiện của 2 xung liên tiếp, được tính theo công thức:

$$T = t_{on} + t_{off} \quad (1.1)$$

Tần số xung được tính theo công thức:

$$f = \frac{1}{T} \quad (1.2)$$

+ **Độ rộng và hệ số đầy của xung:**

- Độ rộng của xung là tỷ số giữa chu kỳ và độ rộng xung, được tính theo công thức:

$$Q = \frac{T}{T_{on}} \quad (1.3)$$

- Hệ số đầy của xung là nghịch đảo của độ rộng, được tính theo công thức:

$$n = \frac{T_{on}}{T} \quad (1.4)$$

Trong thực tế, người ta ít quan tâm đến tham số này, người ta chỉ quan tâm trong khi thiết kế các bộ nguồn kiểu xung, để đảm bảo điện áp một chiều được tạo ra sau mạch chỉnh lưu, mạch lọc và mạch điều chỉnh sao cho mạch điện cấp đủ dòng, đủ công suất, cung cấp cho tải.

+ Độ rộng sườn trước, độ rộng sườn sau:

Trong thực tế, các xung vuông, xung chữ nhật không có cấu trúc một cách lí tưởng. Khi các đại lượng điện tăng hay giảm để tạo một xung, thường có thời gian tăng trưởng (thời gian quá độ) nhất là các mạch có tổng trở vào ra nhỏ hoặc có thành phần điện kháng nên 2 sườn trước và sau không thẳng đứng một cách lí tưởng.

Do đó thời gian xung được tính theo công thức:

$$t_{on} = t_t + t_d + t_s \quad (1.5)$$

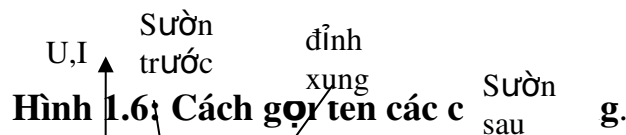
Trong đó:

t_{on} : Độ rộng xung

t_t : Độ rộng sườn trước

t_d : Độ rộng đỉnh xung

t_s : Độ rộng sườn sau



Hình 1.6: Cách gọi tên các c

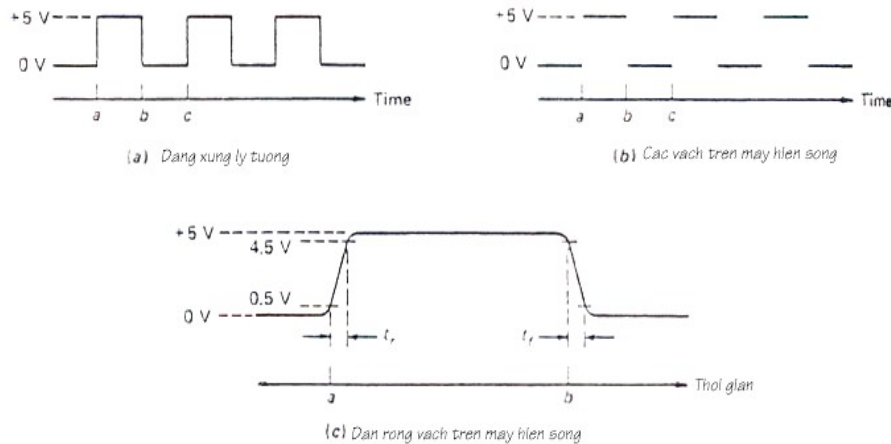
Độ rộng sườn trước t_1 được tính từ thời điểm điện áp xung tăng lên từ 10% đến 90% trị số biên độ xung và độ rộng sườn sau t_2 được tính từ thời điểm điện áp xung giảm từ 90% đến 10% trị số biên độ xung. Trong khi xét trạng thái ngưng dẫn hay bão hòa của các mạch điện điều khiển

Ví dụ, xung nhịp điều khiển mạch logic có mức cao H tương ứng với điện áp +5V. Sườn trước xung nhịp được tính từ khi xung nhịp tăng từ +0,5V lên đến +4,5V và sườn sau xung nhịp được tính từ khi xung nhịp giảm từ mức điện áp +4,5V xuống đến +0,5V. 10% giá trị điện áp ở đáy và đỉnh xung được dùng cho việc chuyển chế độ phân cực của mạch điện. Do đó đối với các mạch tạo xung nguồn cung cấp cho mạch đòi hỏi độ chính xác và tính ổn định rất cao.

+ Biên độ xung và cực tính của xung:

Biên độ xung là giá trị lớn nhất của xung với mức thêm 0V (U, I)_{Max} (Hình 1.7)

Hình dưới đây mô tả dạng xung khi tăng thời gian quét của máy hiện sóng. Lúc đó ta chỉ thấy các vạch nằm song song (Hình 1.7b) và không thấy được các vạch hình thành các sườn trước và sườn sau xung nhịp. Khi giảm thời gian quét ta có thể thấy rõ dạng xung với sườn trước và sườn sau xung (Hình 1.7c)

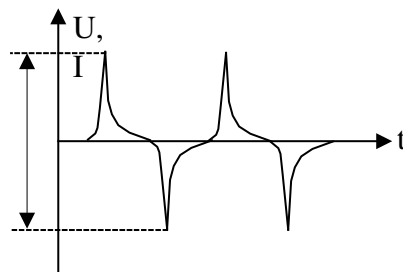


Hình 1.7: Xung vuông trên màn hình máy hiện sóng

Xung vuông lý tưởng

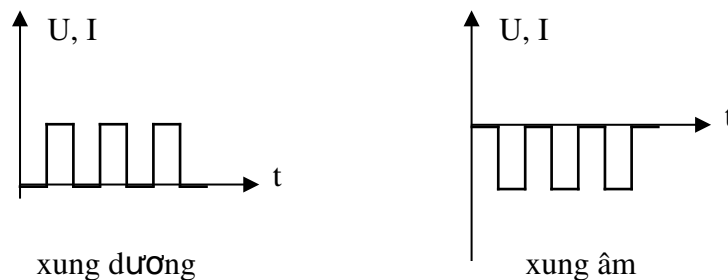
xung vuông khi tăng thời gian quét c) xung vuông khi giảm thời gian quét

Giá trị đỉnh của xung là giá trị được tính từ 2 đỉnh xung liền kề nhau (Hình 1.7)



Hình 1.8: Giá trị đỉnh xung

Cực tính của xung là giá trị của xung so với điện áp thêm phân cực của xung. Hình 1.9:



Hình 1.9: Các dạng xung dương và xung âm

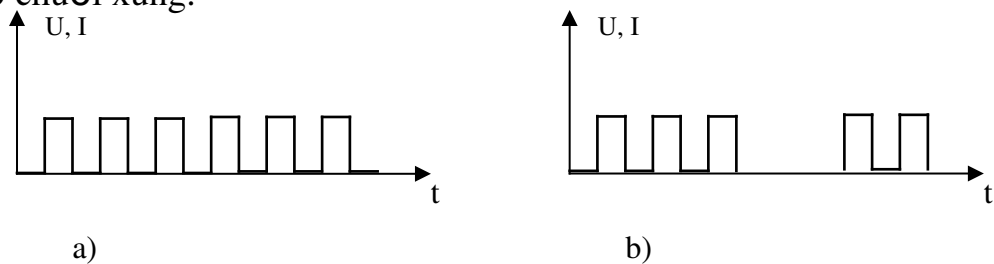
b. Chuỗi xung:

Trong thực tế xung điện là nền tảng của kỹ thuật điều khiển. Các thiết bị điều khiển đầu tiên ra đời điều khiển các mạch điện có chức năng đơn giản thường chỉ cần điều khiển bằng một xung. Trong một chuỗi xung, các xung có hình dạng giống nhau và biên độ bằng nhau.

Nếu chuỗi xung được tạo ra liên tục trong quá trình làm việc thì gọi là chuỗi xung liên tục.

Nếu chuỗi xung được tạo ra trong từng khoảng thời gian nhất định gọi là chuỗi xung gián đoạn. Đối với chuỗi xung gián đoạn, ngoài các thông số cơ bản của xung còn có thêm các thông số:

- Số lượng xung trong chuỗi,
- Độ rộng chuỗi xung,
- Tần số chuỗi xung.

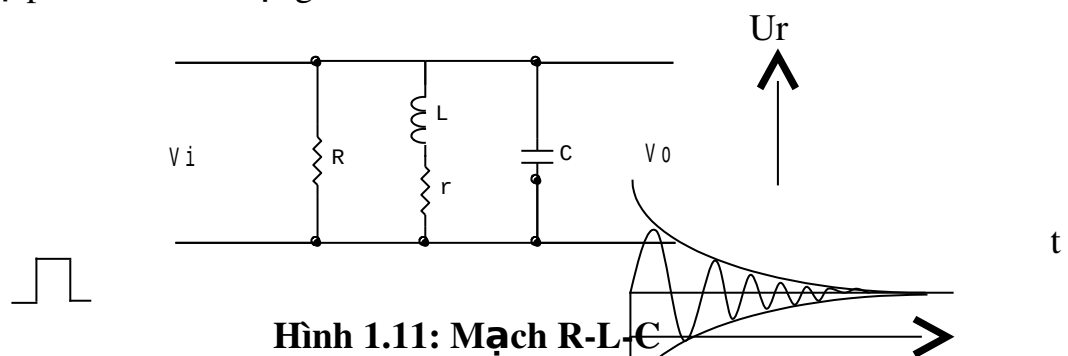


Hình 1.10: Chuỗi xung liên tục (a) và chuỗi xung gián đoạn (b)

1.2. Các hàm cơ bản

1.2.1. Hàm R – L – C

Trong thực tế, mạch điện không dùng mạch mắc theo RLC trong các mạch xử lý dạng xung, thường sau khi đã xử lý xong thì mạch RLC thường dùng để lọc tín hiệu hoặc xử lý bù pha dòng điện, do dòng điện hay điện áp qua L, C đều bị lệch pha một góc 90° nhưng ngược nhau, nên cùng một lúc qua L và C sẽ dẫn đến chúng lệch nhau một góc 180° . Nên dễ sinh ra hiện tượng cộng hưởng, tự phát sinh dao động.



Hình 1.11: Mạch R-L-C

Khi tác động vào mạch một đột biến dòng điện, trong mạch sẽ phát sinh dao động có biên độ suy giảm và dao động quanh trị số không đổi I_r . Nguyên nhân của sự suy giảm là do do điện trở song song với mạch điện R và r làm rẽ nhánh dòng điện ngõ ra. Nếu tần số của cộng hưởng riêng của mạch trùng với tần số của xung ngõ vào làm cho mạch cộng hưởng, biên độ ngõ ra tăng cao. Nếu ngõ vào là chuỗi xung thì:

- Nếu thời gian lặp lại của xung ngắn hơn chu kỳ cộng hưởng biên độ ngõ ra sẽ tăng dần theo thời gian dễ gây quá áp ở ngõ vào của tầng kế tiếp.
- Nếu thời gian lặp lại của xung bằng với chu kỳ cộng hưởng thì biên độ tín hiệu ngõ ra gần bằng với tín hiệu ngõ vào, có dạng hình sin và thêm điện áp là hình sin tắt dần, không có lợi cho các mạch xung số. Trong thực tế mạch này được dùng để lọc nhiễu xung có biên độ cao và tần số lớn với điện áp ngõ vào có dạng hình sin.

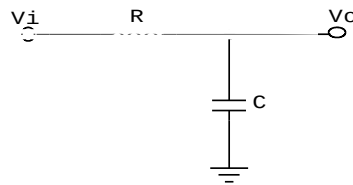
1.2.2 Hàm tích phân:

Hàm tích phân là mạch mà điện áp ra $v_o(t)$ tỉ lệ với tích phân theo thời gian của điện áp vào $v_i(t)$.

Ta có:
$$v_o(t) = K \int v_i(t) dt \quad (1.6)$$

Trong đó K là hệ số tỉ lệ.

Mạch tích phân RC:



Hình 1.12: Mạch tích phân RC

Mạch tích phân RC chính là mạch lọc thấp qua dùng RC. Tần số cắt của mạch lọc là:

$$f_c = \frac{1}{2RC} \quad (1.7)$$

Do vậy điện áp vào V_i là hàm biến thiên theo thời gian nên điện áp trên điện trở R và tụ điện C cũng là hàm biến thiên theo thời gian. Ta có:

$$V_i(t) = V_R(t) + V_C(t) \quad (1.8)$$

Xét mạch điện ở trường hợp nguồn điện áp vào V_i có tần số f_i rất cao so với tần số cắt f_c . Lúc đó dung kháng X_C sẽ có trị số rất nhỏ do.

$$X_C = \frac{1}{2f_i C} \quad (1.9)$$

Như vậy: Nếu $f \gg f_c = \frac{1}{2RC}$ thì $R \gg X_C = \frac{1}{2f_i C}$

Suy ra: $V_R(t) \gg V_C(t)$ vì dòng $i(t)$ qua R và C bằng nhau.

Điện áp đối với tụ C được tính theo công thức:

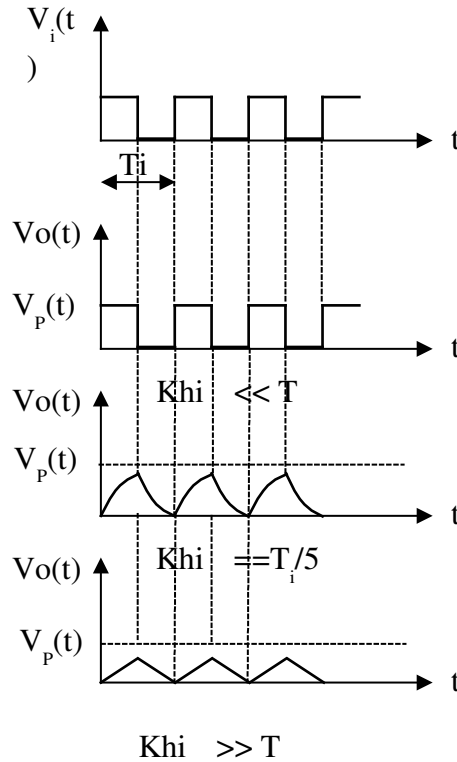
$$V_C = \frac{1}{C} \int i(t) dt \quad (1.10)$$

Như vậy điện áp trên tụ C cũng là điện áp ra từ đó ta có điện ra $V_o(t)$

$$V_o = \frac{1}{RC} \int V_i(t) dt \quad (1.11)$$

b. Điện áp vào là tín hiệu xung vuông:

Khi điện áp vào là tín hiệu xung vuông có chu kỳ là T_i thì có thể xét tỷ lệ hằng số thời gian RC so với T_i để giải thích các dạng sóng ra theo hiện tượng nạp xả của tụ.



Hình 1.13: Dạng sóng vào và ra của mạch tích phân nhận xung vuông

Giả thiết điện áp ngõ vào là tín hiệu xung vuông đối xứng chu kỳ T_i .

Nếu mạch tích phân có hằng số thời gian RC rất nhỏ so với T_i thì tụ nạp và xả rất nhanh nên điện áp ngõ ra $V_o(t)$ có dạng giống như dạng điện áp vào $V_i(t)$.

Nếu mạch tích phân có hằng số thời gian $\frac{T_i}{5}$ thì tụ nạp và xả điện áp theo dạng hàm số mũ, biên độ đỉnh của điện áp ra thấp hơn V_p .

Nếu mạch tích phân có hằng số thời gian rất lớn so với T_i thì tụ C nạp rất chậm nên điện áp ra có biên độ rất thấp như đường tăng giảm điện áp gần như đường thẳng.

Như vậy, mạch tích phân nếu chọn trị số RC thích hợp thì có thể sửa dạng xung vuông ở ngõ vào thành dạng xung tam giác ở ngõ ra. Nếu xung vuông đối xứng thì xung tam giác ra là tam giác cân.

1.2.3. Hàm vi phân:

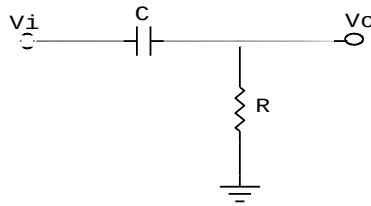
Là hàm có điện ra có điện áp ngõ ra $V_o(t)$ tỉ lệ với đạo hàm theo thời gian của điện áp ngõ vào $V_i(t)$.

$$\text{Ta có: } V_o(t) = K \frac{d}{dt} V_i(t) \quad (1.12)$$

Trong đó K là hệ số tỉ lệ.

Trong kỹ thuật xung, mạch vi phân có tác dụng thu hẹp độ rộng xung tạo ra các xung nhọn để kích các linh kiện điều khiển hay linh kiện công suất khác như SCR, Triac..

a. Mạch vi phân dung RC:



Hình 1.14: Mạch vi phân RC

Mạch vi phân dung RC chính là mạch lọc cao qua dung RC. Tần số cắt của mạch lọc là:

$$f_c = \frac{1}{2 RC} \quad (1.13)$$

Vì vậy dòng điện $i(t)$ qua mạch cho ra sự phân áp như sau:

$$V_i(t) = V_C(t) + V_R(t) \quad (1.14)$$

Xét mạch điện ở trường hợp nguồn điện áp vào $V_i(t)$ có tần số f_i rất thấp so với tần số cắt f_c . Lúc đó $f_i \ll f_c = \frac{1}{2 RC}$ và ở tần số này thì dung kháng X_C có trị số rất lớn.

$$\text{Như vậy: } R \ll X_C = \frac{1}{2 f_i C}$$

Suy ra: $V_R(t) \ll V_C(t)$ vì dòng điện qua R và C bằng nhau

Hay: $V_i(t) \approx V_C(t)$

Điện áp trên tụ điện C được tính theo công thức:

$$V_C(t) = \frac{q(t)}{C}$$

(1.15)

Trong đó q là điện tích nạp cho tụ:

$$i(t) = C \frac{dV_i(t)}{dt} \quad (1.16)$$

Vậy điện áp trên điện trở chính là điện áp ra:

$$V_o(t) = RC \frac{dV_i(t)}{dt} \quad (1.17)$$

Ta có hằng số thời gian RC

b. Điện áp vào là tín hiệu xung vuông:

Khi điện áp vào là tín hiệu xung vuông có chu kỳ T_i thì xét tỉ lệ hằng số thời gian RC so với T_i để giải thích dạng sóng ra theo hiện tượng nạp, xả của tụ điện.

Giả thiết điện áp ngõ vào là tín hiệu xung vuông đối xứng có chu kỳ T_i . Nếu mạch vi phân có hằng số thời gian $\tau = RC < \frac{T_i}{5}$ thì dạng sóng ngõ ra là dòng $i(t)$ qua điện trở R tạo ra điện áp giảm theo hàm số mũ. Khi điện áp ngõ vào bằng $0V$ thì đầu dương của tụ nối mass và tụ sẽ xả điện âm trên điện trở R . Ở ngõ ra sẽ có hai xung ngược dấu nhau và có biên độ giảm dần.

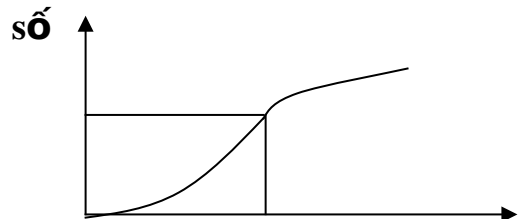
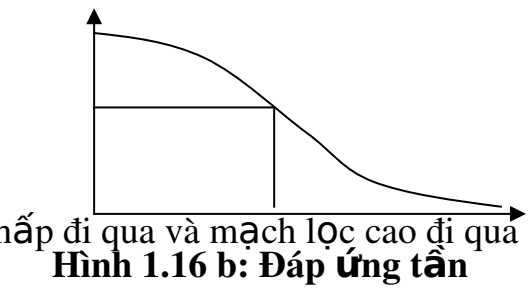
Nếu mạch vi phân có hằng số thời gian τ rất nhỏ so với T_i thì tụ sẽ nạp xả điện rất nhanh cho ra 2 xung ngược dấu nhưng có độ rộng xung rất hẹp được gọi là xung nhọn.

Như vậy nếu thỏa mãn điều kiện của mạch vi phân thì mạch RC sẽ đổi tín hiệu từ xung vuông đơn cực ra 2 xung nhọn lưỡng cực như ở hình c.

1.3. Hàm RC và hàm RL

1.3.1. Hàm RC

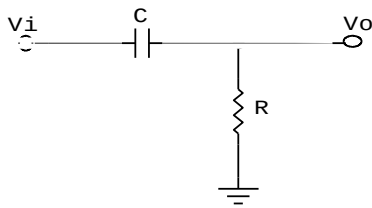
Có hai mạch lọc RC cơ bản là mạch lọc thấp đi qua và mạch lọc cao đi qua



Hình 1.16 b: Đáp ứng tần số

Hình 1.17 b: Đáp ứng tần số

Hình 1.16 a: Mạch lọc thấp đi qua



Hình 1.17 a: Mạch lọc cao qua

Trong cả hai mạch lọc thấp qua và mạch lọc cao qua dùng RC tần số được tính theo công thức:

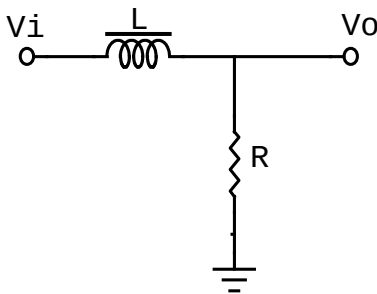
$$f_c = \frac{1}{2RC} \quad (1.18)$$

Ở tần số cắt điện áp ra V_o có biên độ là:

$$V_o = \frac{V_i}{\sqrt{2}} \quad (1.19)$$

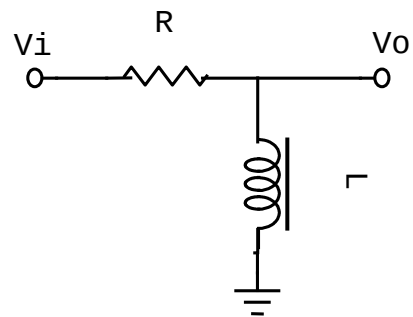
1.3.2. Hàm R-L

Người ta có thể dùng điện trở R kết hợp với cuộn cảm L để tạo thành các mạch lọc thay cho tụ C. Do tính chất của L và C ngược nhau đối với tần số nên mạch lọc thấp qua và cao qua khi dùng RL có cách mắc ngược lại với mạch RC.



Hình 1.18a:

Mạch lọc thấp dùng RL



Hình 1.18 b:

Mạch lọc cao dùng RL

Hai mạch lọc thấp qua và mạch lọc cao qua dùng RL cũng có đáp ứng tần số và có dạng giống như trong mạch lọc RC

$$f_c = \frac{R}{2L} \quad (1.20)$$

2. Các phương pháp biến đổi dạng xung

- Biến đổi xung Sin thành xung vuông
- Biến đổi xung Sin thành xung tam giác
- Biến đổi xung vuông thành xung Sin

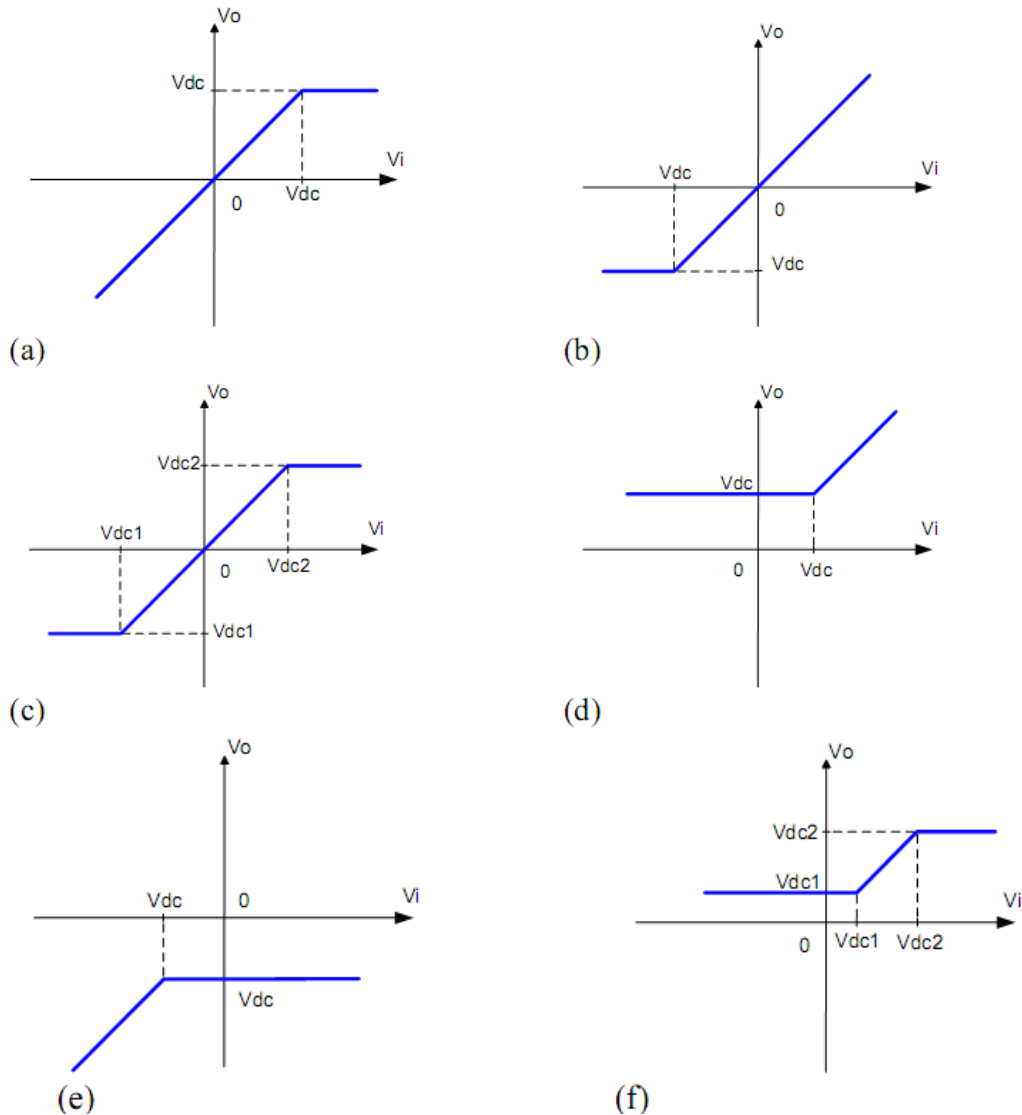
3. Các mạch xén-mạch ghim

Mục tiêu:

- Trình bày được nguyên lý của các mạch xén, mạch ghim.

3.1. Mạch xén

Mạch xén là mạch cắt đi một phần của dạng điện áp vào ở trên hay ở dưới một mức chuẩn nào đó. Mối liên hệ giữa ngõ vào và ngõ ra của mạch xén thường có các dạng sau:



Hình 1.19. Đặc tuyến truyền đạt của một số mạch xén cơ bản

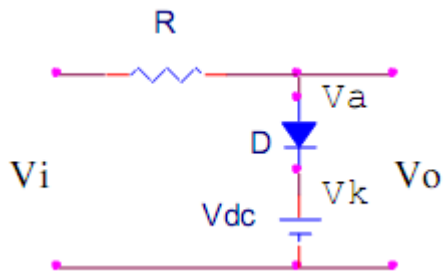
Dựa vào cấu trúc mạch xén gồm mạch xén song song và mạch xén nối tiếp.

- Mạch xén song song là mạch xén có phần tử xén nối song song với ngõ ra.

- Mạch xén nối tiếp là mạch xén có phần tử xén nối nối tiếp với ngõ ra.

3.1.1 Mạch xén song song

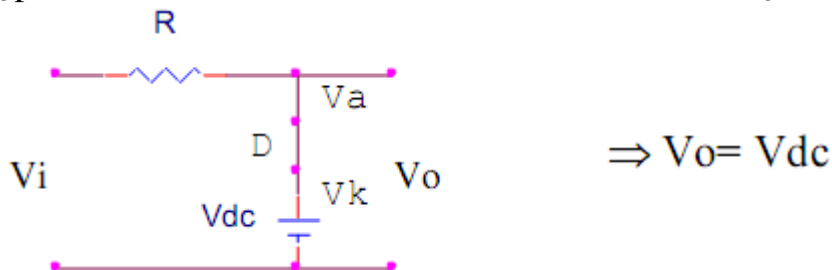
Xét mạch sau:



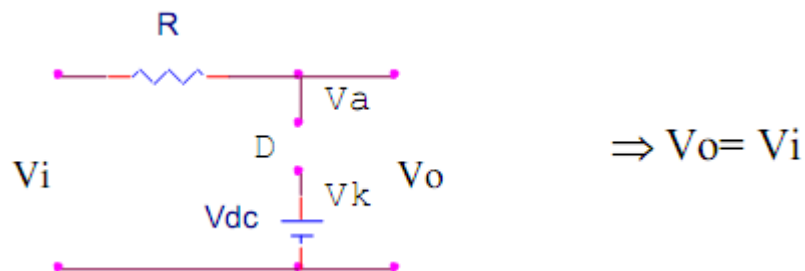
Hình 1.20. Mạch xén song song

Gọi V_a là điện thế tại anode, V_k là điện thế tại cathode. Mạch trên có hai trường hợp xảy ra:

- Trường hợp 1: Khi $V_a > V_k$ $V_i > V_{dc}$, diode dẫn, sơ đồ mạch trở thành:

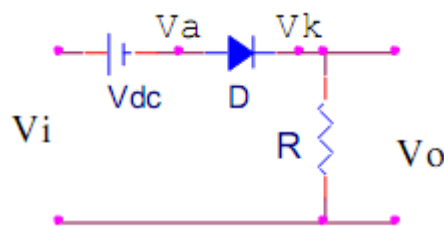


Trường hợp 2: Khi $V_a < V_k$ $V_i < V_{dc}$, diode ngưng dẫn, sơ đồ mạch trở thành:



3.1.2 Mạch xén nối tiếp

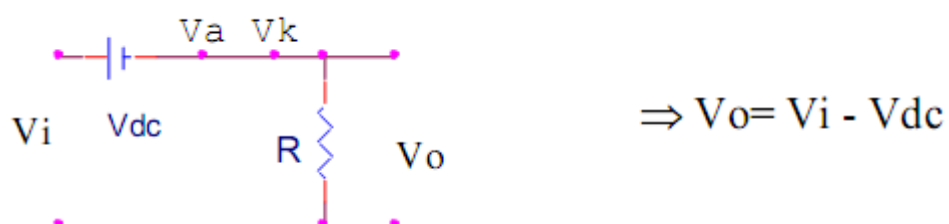
Xét mạch sau:



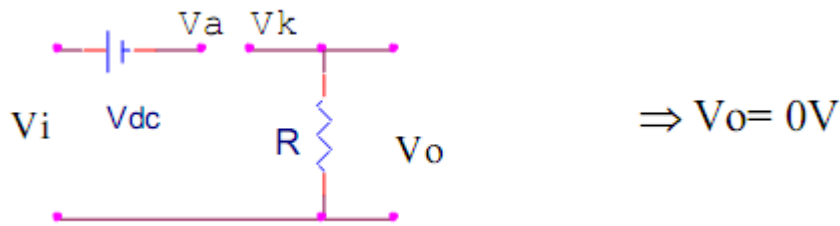
Hình 1.21. Mạch xén nối tiếp

Gọi V_a là điện thế tại anode, V_k là điện thế tại cathode. Mạch trên có hai trường hợp xảy ra:

- Trường hợp 1: Khi $V_a > V_k$ $V_i > V_{dc}$, diode dẫn, sơ đồ mạch trở thành:



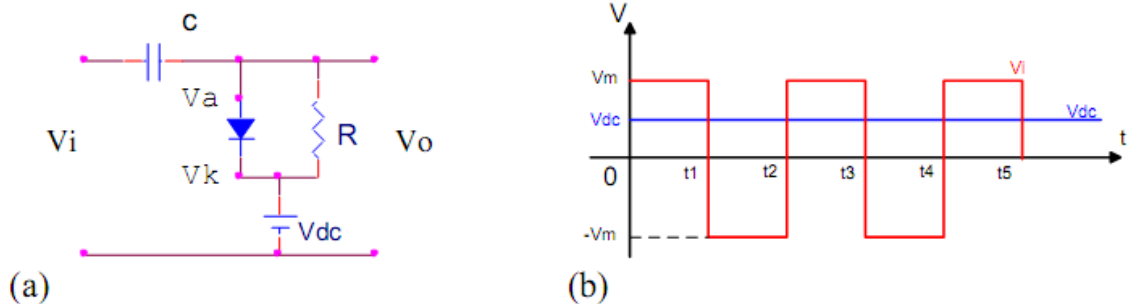
Trường hợp 2: Khi $V_a < V_k$ $V_i < V_{dc}$, diode ngưng dẫn, sơ đồ mạch trở thành:



3.2. Mạch ghim

3.2.1. Mạch ghim đỉnh trên

* Cho mạch hình 1.22a, điện áp V_i và V_{dc} như hình 1.22b.

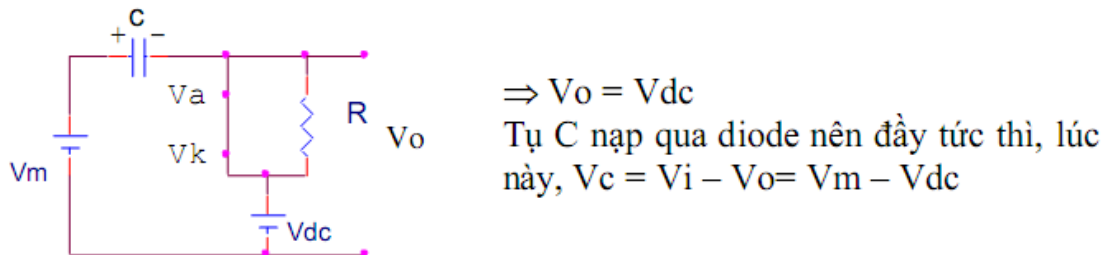


Hình 1.22. Mạch ghim đỉnh trên và điện áp V_i , V_{dc}

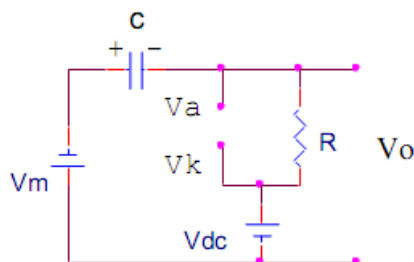
Gọi V_a là điện thế tại anode, V_k là điện thế tại cathode và V_c là điện áp trên tụ.

Giả sử, ban đầu điện áp trên tụ V_c bằng không.

* Trong khoảng thời gian $0 < t < t_1$, ta thấy $V_a > V_k$ làm diode dẫn, mạch hình 1.22a trở thành:



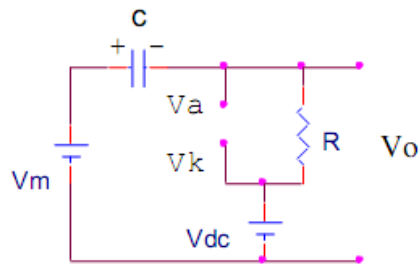
* Trong khoảng thời gian $t_1 < t < t_2$, ta thấy $V_a < V_k$ làm diode ngưng dẫn, mạch hình 1.22a trở thành:



Tụ C xả qua R. Do R rất lớn nên tụ xả không đáng kể nên V_c là hằng số trong suốt khoảng thời gian từ t_1 đến t_2 đến $V_c = V_m - V_{dc}$

Mà: $V_o = V_i - V_c = -V_m - (V_m - V_{dc}) = -2V_m + V_{dc}$

* Trong khoảng thời gian $t_2 < t < t_3$:



Ta có: $-V_i + V_c + V_{ak} + V_{dc} = 0$ suy ra $V_{ak} = V_i - V_c - V_{dc}$

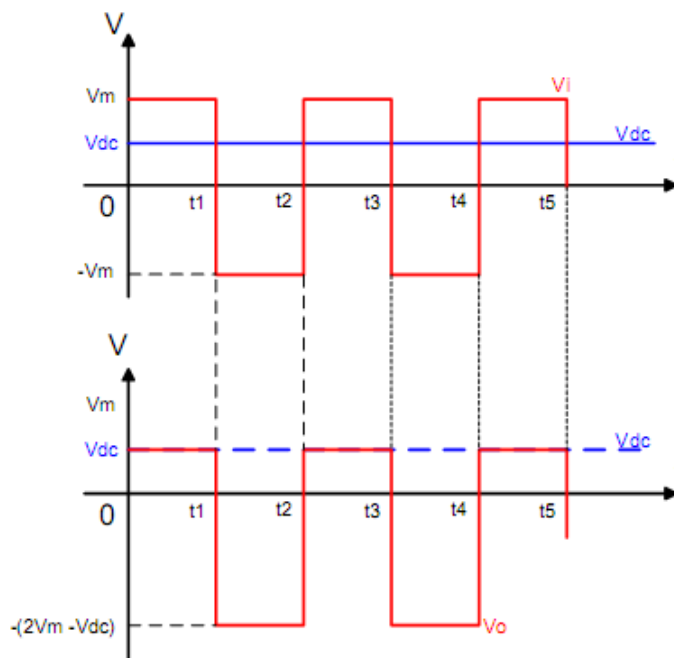
Do trong thời gian trước tụ xả không đáng kể nên tại thời điểm t_2 điện áp trên tụ $V_c = V_m - V_{dc}$.

Suy ra $V_{ak} = V_i - (V_m - V_{dc}) - V_{dc} = V_m - V_m + V_{dc} - V_{dc} = 0$

Lúc này, diode vẫn ngưỡng dẫn, $V_o = V_i - V_c = V_m - (V_m - V_{dc}) = V_{dc}$

* Ta làm tương tự cho các khoảng thời gian khác.

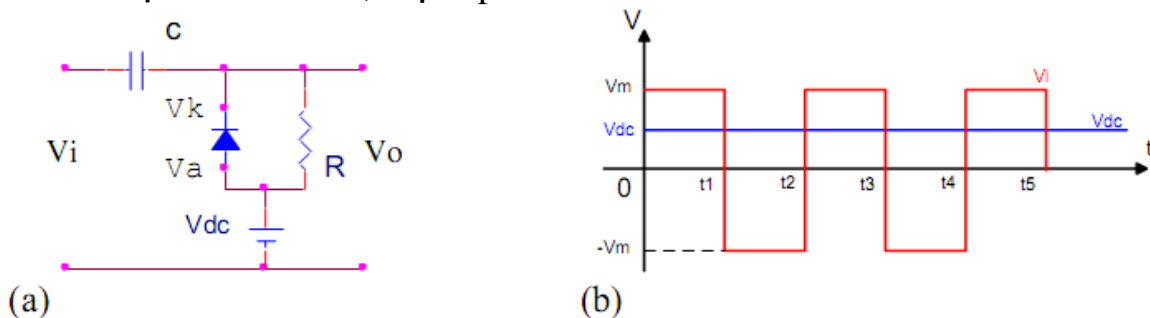
Từ những trình bày trên điện áp ra có dạng như hình 1.23:



Hình 1.23. Giải đồ xung

3.2.2 Mạch ghim đỉnh dưới

* Cho mạch hình 1.24a, điện áp V_i và V_{dc} như hình 1.24b.

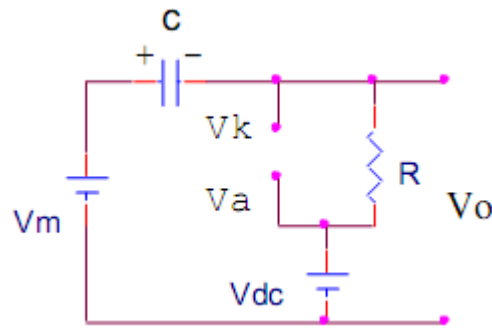


Hình 1.24. Mạch ghim đỉnh dưới và điện áp V_i, V_{dc}

Gọi V_a là điện thế tại anode, V_k là điện thế tại cathode và V_c là điện áp trên tụ.

Giả sử, ban đầu điện áp trên tụ V_c bằng không.

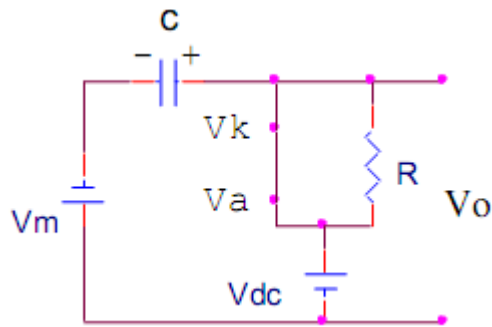
* Trong khoảng thời gian $0 < t < t_1$, ta thấy $V_k > V_a$ làm diode ngưng dẫn, mạch hình 1.24a trở thành:



Tụ C nạp qua điện trở R có giá trị rất lớn nên nạp không đáng kể.

Suy ra $V_c = 0V$ và $V_o = V_i - V_c = V_i$

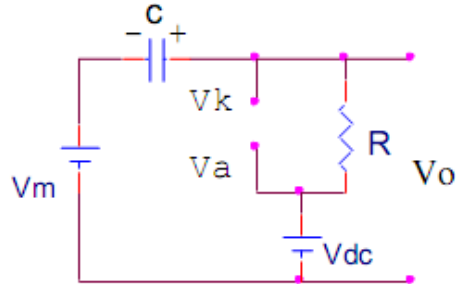
* Trong khoảng thời gian $t_1 < t < t_2$, ta thấy $V_a > V_k$ làm diode dẫn, mạch hình 1.24a trở thành:



Do đó $V_o = V_{dc}$ Tụ C nạp qua diode nên đầy tức thì

lúc này $V_c = V_i - V_o = -V_m - V_{dc}$

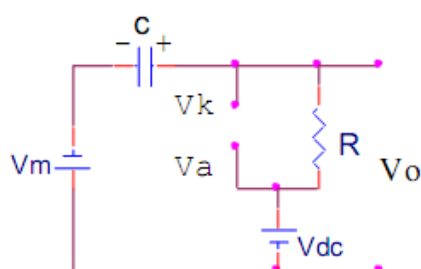
* Trong khoảng thời gian $t_2 < t < t_3$:



Diode ngưng dẫn, tụ xả qua R nên không đáng kể. Do đó V_c là hằng số trong khoảng thời gian từ t_2 đến t_3 và $V_c = -V_m - V_{dc}$

Mà: $V_o = V_i - V_c$ nên $V_o = V_m + (V_m + V_{dc}) = 2V_m + V_{dc}$

* Trong khoảng thời gian $t_3 < t < t_4$:



Ta có: $-V_i + V_c + V_{ka} + V_{dc} = 0$ suy ra $V_{ka} = V_i - V_c - V_{dc}$

Do trong thời gian trước tụ xả không đáng kể nên tại thời điểm t_3 điện áp trên tụ $V_c = -V_m - V_{dc}$.

Suy ra $V_{ka} = V_i + (V_m + V_{dc}) - V_{dc} = -V_m + V_m + V_{dc} - V_{dc} = 0$

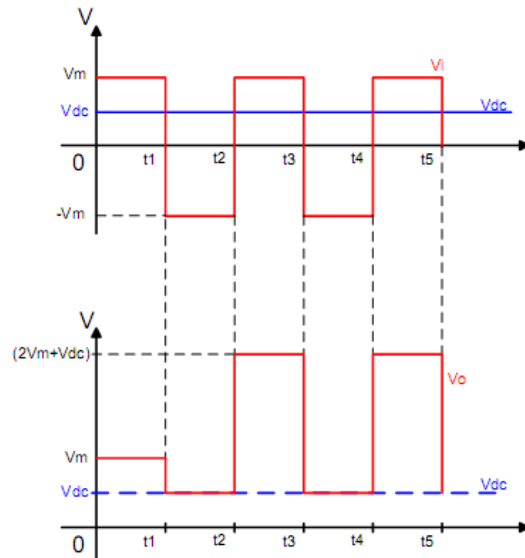
Do đó diode vẫn ngưng dẫn.

Nên $V_o = V_i - V_c = -V_m + (V_m + V_{dc})$

và $V_o = V_{dc}$

* Ta làm tương tự cho các khoảng thời gian khác.

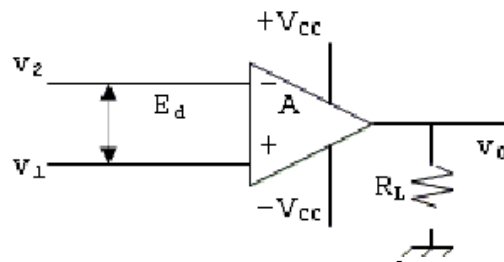
Từ những trình bày trên điện áp ra có dạng:



Hình 1.25. Điện áp ra của mạch ghim đỉnh dưới

3.3. Mạch so sánh

a/ Điện thế ngõ ra bảo hòa:



Hình 1.26. Mạch so sánh điện thế ngõ ra bảo hòa

Ta xem mạch hình 1.26

Ta có $V_o = A(V_1 - V_2) = A.E_d$ với $E_d = V_1 - V_2$

E_d là điện thế khác nhau giữa hai ngõ vào và được định nghĩa:

$E_d = (\text{điện thế ngõ vào } +) - (\text{điện thế ngõ vào } -)$

Do mạch không có hồi tiếp âm nên: $V_o = A.E_d$

Trong đó A là độ lợi vòng hở của op-amp. Vì A rất lớn nên theo công thức trên v_0 rất lớn.

Khi E_d nhỏ, v_0 được xác định. Khi E_d vượt quá một trị số nào đó thì v_0 đạt đến trị số

bảo hòa và được gọi là V_{Sat} . Trị số của E_d tùy thuộc vào mỗi op-amp và có trị số vào

khoảng vài chục μV .

- Khi E_d âm, mạch đảo pha nên $v_0 = -V_{Sat}$

- Khi E_d dương, tức $v_1 > v_2$ thì $v_0 = +V_{Sat}$.

Điện thế ngõ ra bảo hòa thường nhỏ hơn điện thế nguồn từ 1 volt đến 2 volt.

Để ý là

$|+V_{Sat}|$ có thể khác $|-V_{Sat}|$.

Như vậy ta thấy điện thế E_d tối đa là:

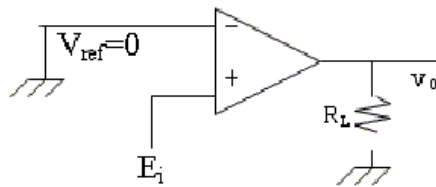
$$+E_{dmax} = \frac{+V_{Sat}}{A}$$

$$-E_{dmax} = \frac{-V_{Sat}}{A}$$

b/ Mạch so sánh mức 0: (tách mức zero)

* So sánh mức zero không đảo

Dạng mạch



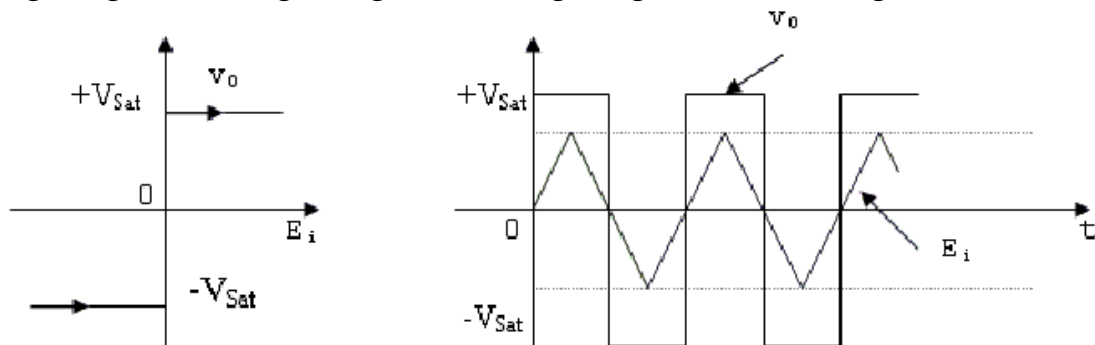
Hình 1.27. Mạch so sánh mức 0

Điện thế ngõ vào (-) được dùng làm điện thế chuẩn và E_i là điện thế muốn đem so sánh với điện thế chuẩn được đưa vào ngõ vào (+)

Khi $E_i > V_{ref} = 0$ thì $V_0 = +V_{sat}$

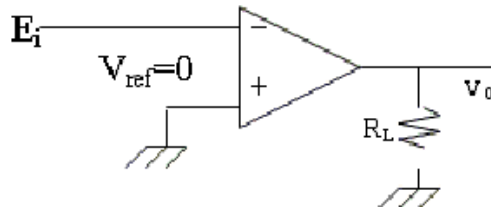
Khi $E_i < V_{ref} = 0$ thì $V_0 = -V_{sat}$

Dạng sóng E_i có dạng tam giác thì dạng sóng đầu ra có dạng



Hình 1.27. Dạng sóng mạch so sánh mức 0

* Mạch so sánh mức zero đảo:

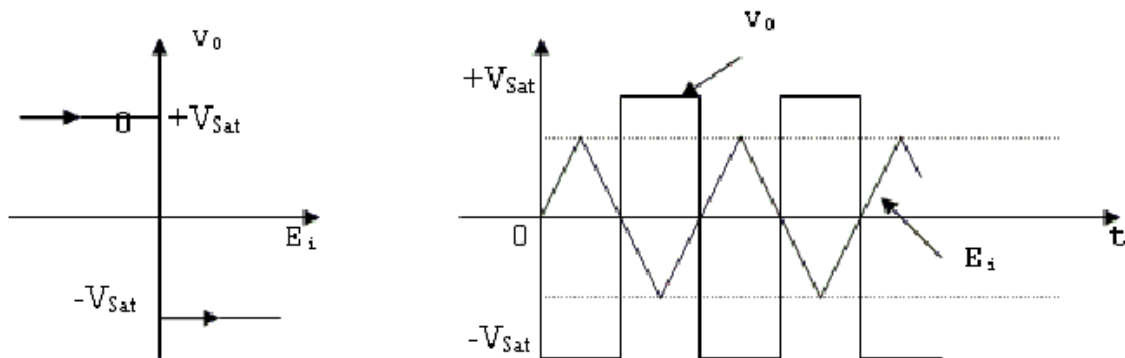


Hình 1.28. Mạch so sánh mức zero đảo

Điện thế chuẩn $V_{ref} = 0V$ đặt ở ngõ vào (+). Điện thế so sánh E_i đưa vào ngõ vào (-).

Khi $E_i > V_{ref} = 0$ thì $V_0 = +V_{sat}$

Khi $E_i < V_{ref} = 0$ thì $V_0 = -V_{sat}$

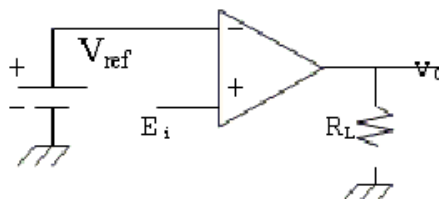


Hình 1.28. Dạng sóng mạch so sánh mức zero đảo

c/ Mạch so sánh với 2 ngõ vào có điện thế bất kỳ:

* So sánh mức dương đảo và không đảo:

- So sánh mức dương không đảo:

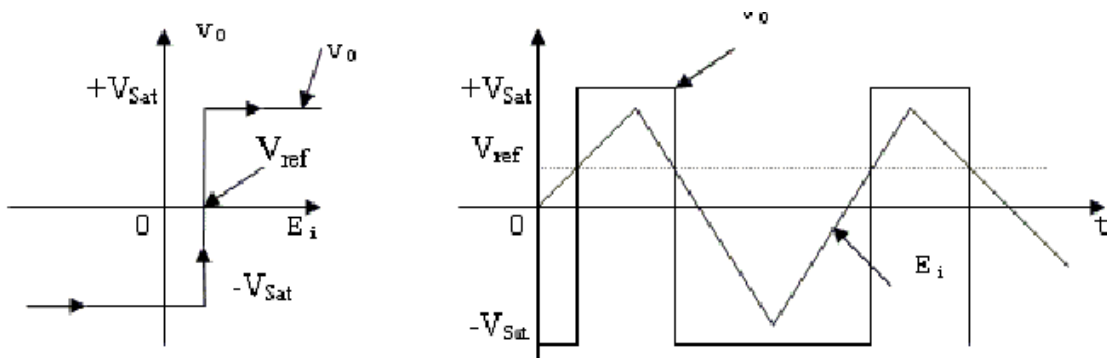


Hình 1.29. Mạch mức dương không đảo

Điện thế chuẩn $V_{ref} > 0$ đặt ở ngõ vào (-). Điện thế so sánh E_i đưa vào ngõ vào (+).

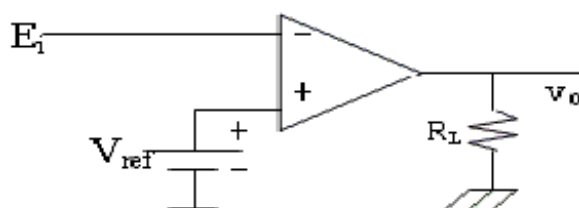
Khi $E_i > V_{ref} = 0$ thì $V_0 = +V_{sat}$

Khi $E_i < V_{ref} = 0$ thì $V_0 = -V_{sat}$



Hình 1.30. Dạng sóng mạch so sánh mức dương không đảo

- So sánh mức dương đảo

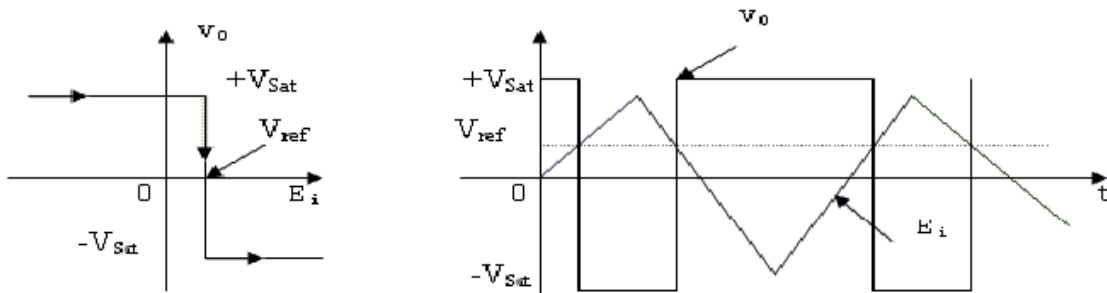


Hình 1.31. Mạch so sánh mức dương đảo

Điện thế chuẩn $V_{ref} > 0V$ đặt ở ngõ vào (+). Điện thế so sánh E_i đưa vào ngõ vào (-).

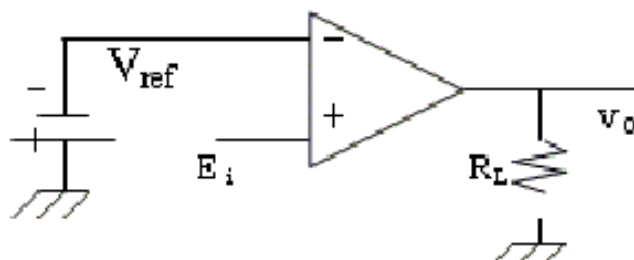
Khi $E_i > V_{ref} = 0$ thì $V_0 = +V_{sat}$

Khi $E_i < V_{ref} = 0$ thì $V_0 = -V_{sat}$



Hình 1.32. Dạng sóng mạch so sánh mức dương đảo

* So sánh mức âm đảo và không đảo:

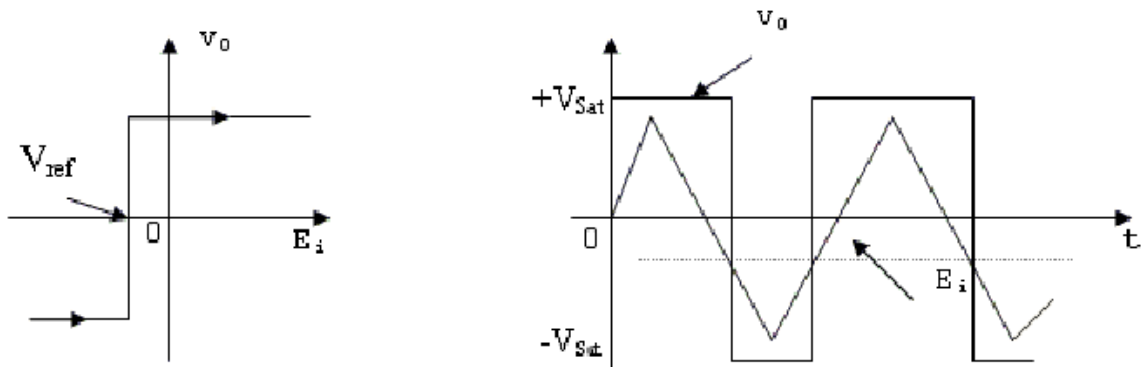


Hình 1.33. Mạch So sánh mức âm không đảo

Điện thế chuẩn $V_{ref} < 0V$ đặt ở ngõ vào (-). Điện thế so sánh E_i đưa vào ngõ vào (+).

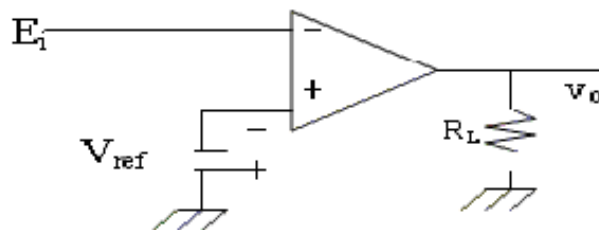
Khi $E_i > V_{ref} = 0$ thì $V_0 = +V_{sat}$

Khi $E_i < V_{ref} = 0$ thì $V_0 = -V_{sat}$



Hình 1.34. Dạng sóng mạch So sánh mức âm không đảo

- So sánh mức âm đảo

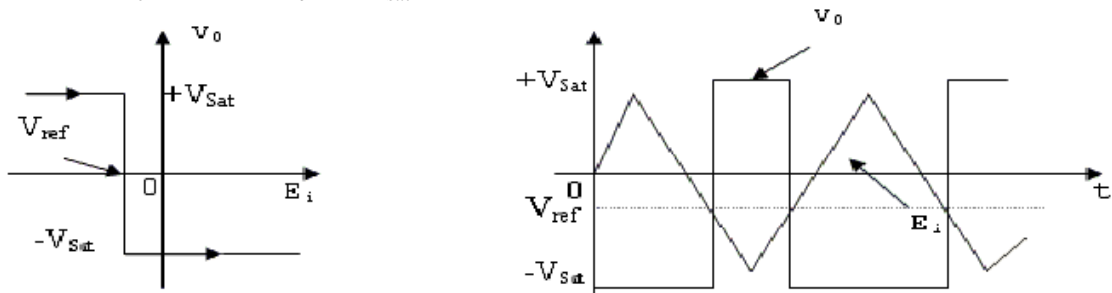


Hình 1.35. Mạch So sánh mức âm đảo

Điện thế chuẩn $V_{ref} < 0V$ đặt ở ngõ vào (+). Điện thế so sánh E_i đưa vào ngõ vào (-).

Khi $E_i > V_{ref} = 0$ thì $V_0 = +V_{sat}$

Khi $E_i < V_{ref} = 0$ thì $V_0 = -V_{sat}$



Hình 1.36. Dạng sóng mạch So sánh mức âm đảo

BÀI TẬP

1. Nêu điểm khác nhau về dạng mạch giữa các mạch vi phân và mạch tích phân.
2. Cần phải biết cung cấp những yếu tố dữ liệu nào khi thiết kế mạch vi phân hay mạch tích phân?
3. Khi tần số xung thay đổi, phải làm gì để dạng xung ra không đổi?
4. Nêu ý nghĩa của các sườn trước và sườn sau xung vuông

Thực hành:

I. Lắp ráp mạch xén song song

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Diode	20
2	Điện trở các loại	100

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

II. Lắp ráp mạch xen nối tiếp

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM

- Máy hiện sóng

- Nguồn 12V

- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	diode	20
2	Điện trở các loại	100

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

III. Lắp ráp mạch ghim đỉnh trên

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	Diode	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

IV. Lắp ráp mạch ghim dính dưới

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM

- Máy hiện sóng

- Nguồn 12V

- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	Diode	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

V. Lắp ráp mạch so sánh

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM

- Máy hiện sóng

- Nguồn 12V

- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	IC 741	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

BÀI 1

CÁC MẠCH TẠO XUNG CƠ BẢN

MÃ BÀI: MĐ19-02

Mục tiêu:

- Hiểu được nguyên tắc hoạt động các mạch tạo xung
- Lắp ráp được các mạch tạo xung.
- Rèn luyện tính cẩn thận, tỉ mỉ.

Nội dung chính :

Khái niệm chung

Mục tiêu:

- Trình bày được khái niệm chung về các mạch tạo xung.

Các mạch tạo xung cơ bản nhất là các mạch tạo xung vuông được gọi chung là mạch dao động đa hài. Có ba loại mạch dao động đa hài là:

- Dao động đa hài lưỡng ổn (bistable – multivibrator) (còn gọi là mạch Flip-Flop, mạch lật hay bấp bênh): mạch có hai trạng thái và hai trạng thái đều ổn định.

- Dao động đa hài đơn ổn (Monostable Multivibrator) (còn gọi là mạch định thì): mạch có hai trạng thái, trong đó một trạng thái ổn định và một trạng thái không ổn định gọi là trạng thái tạo xung

- Dao động đa hài phi ổn (astable Multivibrator): mạch có hai trạng thái và cả hai trạng thái đều không ổn định còn gọi là mạch tự dao động.

Mạch dao động đa hài dùng BJT dựa vào sự nạp điện và sự xả điện của tụ điện kết hợp với đặc tính chuyển mạch của Transistor.

Ngoài ra mạch dao động đa hài được tạo ra từ các linh kiện như op-amp, IC555, các cổng logic,

Trong kỹ thuật xung, để tạo ra các dao động không sin người ta thường dùng các bộ dao động tích thoát. Về nguyên tắc, bất kỳ một bộ dao động không điều hoà nào cũng được coi là một dao động không sin. Trong các bộ dao động sin ngoài các linh kiện điện tử, trong mạch còn có mạch dao động gồm hai phần tử phản kháng là cuộn dây (L) và tụ điện (C) Trong các bộ dao động tích thoát phần tử tích trữ năng lượng được nạp điện và sau đó nhờ thiết bị chuyển mạch nó phóng điện đến một mức xác định nào đó rồi lại được nạp điện. Nếu việc phóng điện được thực hiện qua điện trở thì gần như toàn bộ năng lượng được tích lũy đều được tiêu hao dưới dạng nhiệt. Như vậy mạch dao động tích thoát thường gồm hai phần tử chính đó là: Cuộn dây (L) và điện trở (R) hoặc tụ điện (C) và điện trở (R). Thông thường mạch dùng R, C là chủ yếu.

Mạch dao động đa hài là mạch dao động tích thoát tạo ra các xung vuông. Mạch có thể công tác ở ba chế độ:

- Chế độ tự dao động gọi là trạng thái tự kích (Không ổn).
- Chế độ đồng bộ (Đơn ổn).
- Chế độ đợi (Lưỡng ổn).

1. Mạch dao động đa hài không trạng thái bền

Mục tiêu:

- Trình bày được nguyên tắc hoạt động của mạch dao động đa hài không trạng thái bền.

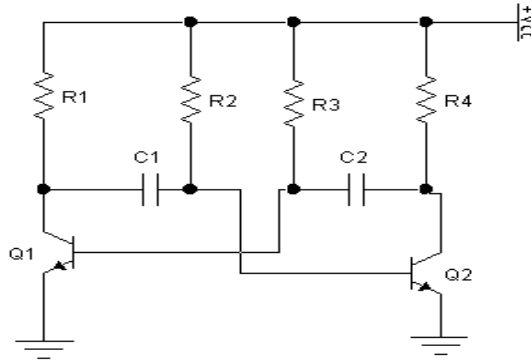
1.1.Mạch cơ bản

Mạch dao động đa hài không trạng thái bền là mạch dao động tích thoát dùng R, C tạo ra các xung vuông hoạt động ở chế độ tự dao động.

a. Sơ đồ mạch:

Trong mạch dao động đa hài không trạng thái bền người ta thường dùng các tranzito Q_1 , Q_2 loại NPN. Các linh kiện trong mạch có những chức năng riêng, góp phần làm cho mạch dao động. Các trị số của các linh kiện R

cà C có tác dụng quyết định đến tần số dao động của mạch. Các điện trở R_1 , R_3 làm giảm áp và cũng là điện trở tải cấp nguồn cho Q_1 , Q_4 . Các điện trở R_2 , R_3 có tác dụng phân cực cho các tranzito Q_1 , Q_2 . Các tụ C_1 , C_2 có tác dụng liên lạc, đưa tín hiệu xung từ tranzito Q_1 sang tranzito Q_2 và ngược lại. Hình 2.1 minh họa cấu tạo của mạch dao động đa hài không ổn dùng tranzito và các linh kiện R và C.



Hình 2.1: Mạch dao động đa hài không trạng thái bền

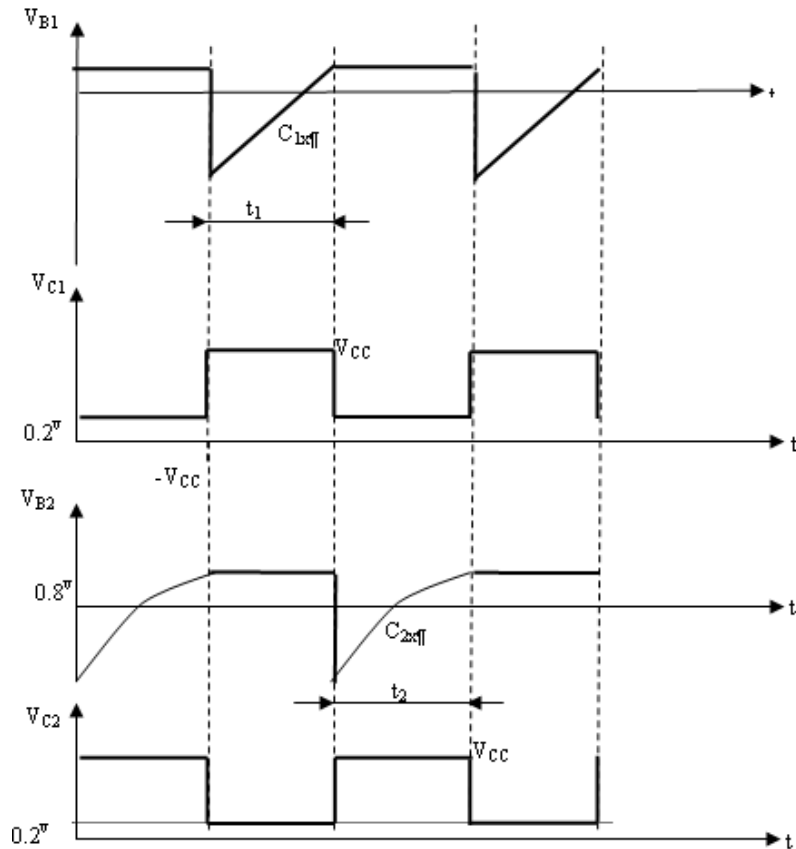
Mạch trên Hình 2.1 có cấu trúc đối xứng: các tranzito cùng thông số và cùng loại (hoặc NPN hoặc PNP), các linh kiện R và C có cùng trị số như nhau.

b. Nguyên lý hoạt động

Như đã nêu trên, trong mạch trên Hình 2.1, các nhánh mạch có tranzito Q_1 và Q_2 đối xứng nhau: 2 tranzito cùng thông số và cùng loại NPN, các linh kiện điện trở và tụ điện tương ứng có cùng trị số: $R_1 = R_4$, $R_2 = R_3$, $C_1 = C_2$. Tuy vậy, trong thực tế, không thể có các tranzito và linh kiện điện trở và tụ điện giống nhau tuyệt đối, vì chúng đều có sai số, cho nên khi cấp nguồn Vcc cho mạch điện, sẽ có một trong hai tranzito dẫn trước hoặc dẫn mạnh hơn.

Giả sử phân cực cho tranzito Q_1 cao hơn, cực B của tranzito Q_1 có điện áp dương hơn điện áp cực B của tranzito Q_2 , Q_1 dẫn trước Q_2 , làm cho điện áp tại chân C của Q_1 giảm, tụ C_1 nạp điện từ nguồn qua R_2 , C_1 đến Q_1 về âm nguồn, làm cho cực B của Q_2 giảm xuống, Q_2 nhanh chóng ngưng dẫn. Trong khi đó, dòng I_{B1} tăng cao dẫn đến Q_1 dẫn bão hòa. Đến khi tụ C_1 nạp đầy, điện áp dương trên chân tụ tăng điện áp cho cực B của Q_2 , Q_2 chuyển từ trạng thái ngưng dẫn sang trạng thái dẫn điện, trong khi đó, tụ C_2 được nạp điện từ nguồn qua R_3 đến Q_2 về âm nguồn, làm điện áp tại chân B của Q_1 giảm thấp, Q_1 từ trạng thái dẫn sang trạng thái ngưng dẫn. Tụ C_1 xả điện qua mối nối B-E của Q_2 làm cho dòng I_{B2} tăng cao làm cho tranzito Q_2 dẫn bão hòa. Đến khi tụ C_2 nạp đầy, quá trình diễn ra ngược lại.

c. Dạng sóng ở các chân:



Hình 2.2: Dạng tín hiệu tại các chân

Xét tại cực B_1 khi T_1 dẫn bão hòa $V_B = 0.8V$. Khi T_1 ngưng dẫn thì tụ C xả điện làm cho điện áp tại cực B_1 có điện áp âm và điện áp âm này giảm dần theo hàm số mũ.

Xét tại cực C_1 khi T_1 dẫn bão hòa $V_{C1} = 0.2V$ còn khi T_1 ngưng dẫn thì điện áp tại $V_{C1} = V_{cc}$. Dạng sóng ra ở cực C là dạng sóng vuông.

Tương tự khi ta xét ở cực B_2 và cực C_2 thì dạng sóng ở hai cực này cùng dạng với dạng sóng ở cực B_1 và C_1 nhưng đảo pha nhau:

Vì trên cực C của 2 tranzito Q_1 và Q_2 xuất hiện các xung hình vuông, nên chu kỳ T được tính bằng thời gian tụ nạp điện và xả điện trên mạch.

$$T = (t_1 + t_2) = 0,69 (R_2 \cdot C_1 + R_3 \cdot C_2) \quad (2.1)$$

Do mạch có tính chất đối xứng, ta có:

$$T = 2 \times 0,69 \cdot R_2 \cdot C_1 = 1,4 \cdot R_3 \cdot C_2 \quad (2.2)$$

Trong đó:

t_1, t_2 : thời gian nạp và xả điện trên mạch

R_1, R_3 : điện trở phân cực B cho tranzito Q_1 và Q_2

C_1, C_2 : tụ liên lạc, còn gọi là tụ hồi tiếp xung dao động

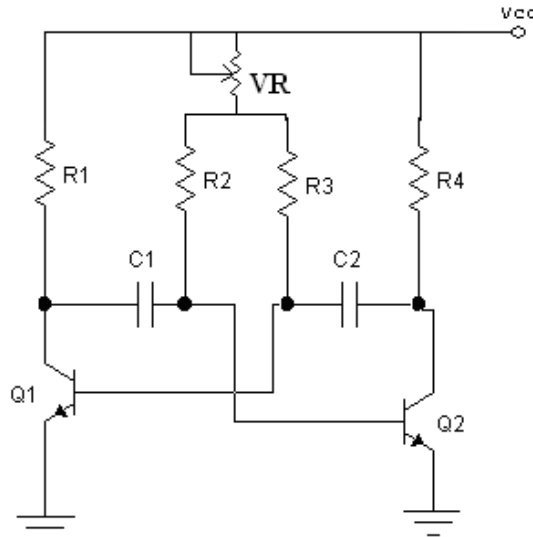
Từ đó, ta có công thức tính tần số xung như sau:

$$f = \frac{1}{T} = \frac{1}{0,69 (R_2 \cdot C_1 + R_3 \cdot C_2)} \quad (2.3)$$

$$f = \frac{1}{T} = \frac{1}{1,4(R_B \cdot C)}$$

1.2. Mạch đổi tần số

Mạch dao động đa hài không trạng thái bền có thể thay đổi tần số là mạch dao động tích thoát dùng R, C tạo ra các xung vuông hoạt động ở chế độ tự dao động và thay đổi tần số bằng biến trở VR.



Hình 2.2: Mạch dao động đa hài không trạng thái bền đổi tần số

Trong mạch trên Hình 2.2, các nhánh mạch có tranzito Q_1 và Q_2 đối xứng nhau: 2 tranzito cùng thông số và cùng loại NPN, các linh kiện điện trở và tụ điện tương ứng có cùng trị số: $R_1 = R_4$, $R_2 = R_3$, $C_1 = C_2$. Tuy vậy, trong thực tế, không thể có các tranzito và linh kiện điện trở và tụ điện giống nhau tuyệt đối, vì chúng đều có sai số, cho nên khi cấp nguồn Vcc cho mạch điện, sẽ có một trong hai tranzito dẫn trước hoặc dẫn mạnh hơn.

Giả sử phân cực cho tranzito Q_1 cao hơn, cực B của tranzito Q_1 có điện áp dương hơn điện áp cực B của tranzito Q_2 , Q_1 dẫn trước Q_2 , làm cho điện áp tại chân C của Q_1 giảm, tụ C_1 nạp điện từ nguồn qua R_2 , C_1 đến Q_1 về âm nguồn, làm cho cực B của Q_2 giảm xuống, Q_2 nhanh chóng ngưng dẫn. Trong khi đó, dòng I_{B1} tăng cao dẫn đến Q_1 dẫn bão hòa. Đến khi tụ C_1 nạp đầy, điện áp dương trên chân tụ tăng điện áp cho cực B của Q_2 , Q_2 chuyển từ trạng thái ngưng dẫn sang trạng thái dẫn điện, trong khi đó, tụ C_2 được nạp điện từ nguồn qua R_3 đến Q_2 về âm nguồn, làm điện áp tại chân B của Q_1 giảm thấp, Q_1 từ trạng thái dẫn sang trạng thái ngưng dẫn. Tụ C_1 xả điện qua mối nối B-E của Q_2 làm cho dòng I_{B2} tăng cao làm cho tranzito Q_2 dẫn bão hòa. Đến khi tụ C_2 nạp đầy, quá trình diễn ra ngược lại.

Khi thay đổi biến trở VR thì tần số sẽ thay đổi.

Xét tại cực B_1 khi T1 dẫn bão hòa $V_B = 0,8V$. Khi T1 ngưng dẫn thì tụ C xả điện làm cho điện áp tại cực B_1 có điện áp âm và điện áp âm này giảm dần theo hàm số mũ.

Xét tại cực C_1 khi T_1 dẫn bão hòa $V_{C1} = 0.2V$ còn khi T_1 ngưng dẫn thì điện áp tại $V_{C1} = V_{cc}$. Dạng sóng ra ở cực C là dạng sóng vuông.

Tương tự khi ta xét ở cực B_2 và cực C_2 thì dạng sóng ở hai cực này cùng dạng với dạng sóng ở cực B_1 và C_1 nhưng đảo pha nhau:

Vì trên cực C của 2 tranzito Q_1 và Q_2 xuất hiện các xung hình vuông, nên chu kỳ T được tính bằng thời gian tụ nạp điện và xả điện trên mạch.

$$T = (t_1 + t_2) = 0,69 ((VR+R_2). C_1 + (VR+ R_3). C_2) \quad (2.1)$$

Do mạch có tính chất đối xứng, ta có:

$$T = 2 \times 0,69 \cdot (VR+R_2).C_1 = 1,4.(VR+R_3). C_2 \quad (2.2)$$

Trong đó:

t_1, t_2 : thời gian nạp và xả điện trên mạch

R_1, R_3 : điện trở phân cực B cho tranzito Q_1 và Q_2

C_1, C_2 : tụ liên lạc, còn gọi là tụ hồi tiếp xung dao động

Từ đó, ta có công thức tính tần số xung như sau:

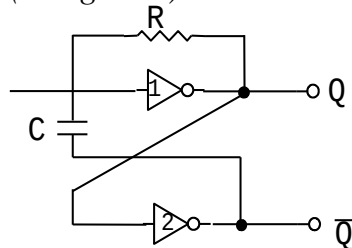
$$f = \frac{1}{T} = \frac{1}{0,69 ((VR - R_2).C_1 + (VR - R_3).C_2)} \quad (2.4)$$

$$f = \frac{1}{T} = \frac{1}{1,4((VR - R_2).C)}$$

1.3. Mạch đổi chu trình

Để thực hiện mạch dao động đa hài không ổn dùng cổng logic, người ta có thể thực hiện bằng nhiều cách khác nhau trên cơ sở 2 mạch đảo.

a. Mạch dùng cổng NOT (cổng đảo):



Hình 2.3: Mạch dao động dùng hai cổng đảo

Trong Hình 2.3, ngõ ra của cổng đảo 1 được nối đến ngõ vào của cổng đảo 2 và ngõ ra của cổng đảo 2 được nối trở lại ngõ vào của cổng đảo 1 qua tụ liên lạc C . Việc chuyển đổi trạng thái của mạch được thực hiện nhờ quá trình nạp xả của tụ C qua điện trở R tạo thành đường vòng hồi tiếp dương kín.

Giả sử, cổng đảo 1 có $Q = 1$ thì cổng đảo 2 có $\bar{Q} = 0$, do đó, lúc này tụ nạp điện qua R đến khi tụ C nạp đầy điện áp ngõ vào cổng đảo 1 tăng lên mức cao, ngõ ra $Q = 0$ tác động đến ngõ vào cổng đảo 2 làm ngõ ra $\bar{Q} = 1$,

điện áp trên tụ tăng, tụ xả điện qua R đến khi hết điện, điện áp ngõ vào cổng đảo 1 lúc này giảm thấp, Q chuyển sang trạng thái $Q=1$ tác động ngõ vào cổng đảo 2 làm cho $\bar{Q}=0$.

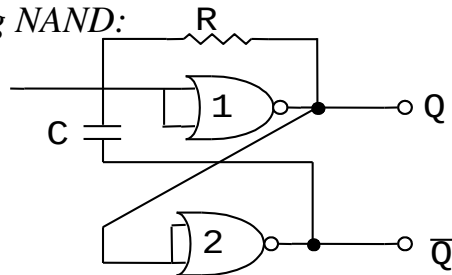
Quá trình cứ thế tiếp tục diễn ra, mạch thực hiện chức năng tự dao động.

$$\text{Chu kỳ xung ra } T = 2,3RC \quad (2.5)$$

$$\text{Tần số xung } f = \frac{1}{T} = \frac{1}{2,3RC}$$

(2.6)

b. Mạch dùng cổng NAND:



Hình 2.4: Mạch dao động đa hài dùng hai cổng NAND

Mạch trong sơ đồ Hình 2.4 có 2 ngõ vào nối tắt nên thực chất cũng giống như cổng đảo.

Ngõ ra của cổng NAND 1 có Q được nối với ngõ vào cổng NAND 2 và ngược lại ngõ ra của cổng NAND 2 có \bar{Q} được nối đến ngõ vào của cổng NAND 1, tạo thành một mạch vòng kín hồi tiếp dương. Tụ C và điện trở R dùng để xác lập tần số của mạch.

Trong thực tế còn có nhiều cách tạo mạch dao động đa hài không ổn dùng IC, các linh kiện R, C và thạch anh để có tần số dao động ổn định. Chúng ta có thể tham khảo trong các tài liệu về mạch điện tử cơ bản và về mạch IC số khác.

2. Mạch dao động đa hài một trạng thái bền

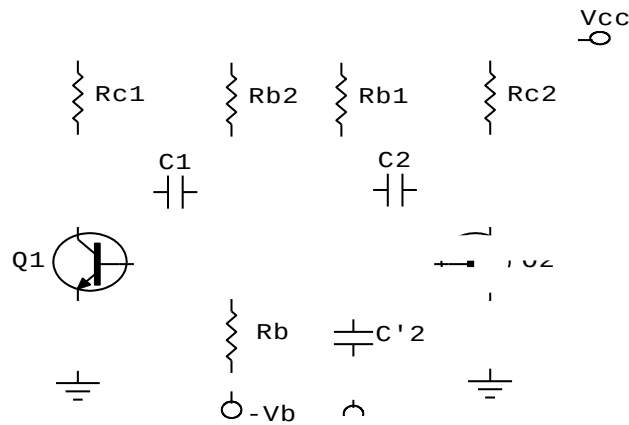
Mục tiêu:

- Trình bày được nguyên tắc hoạt động của mạch dao động đa hài một trạng thái bền.

2.1. Mạch cơ bản

a. Sơ đồ mạch:

Để dễ dàng phân biệt giữa mạch dao động đa hài không ổn và dao động đa hài đơn ổn, người học cần chú ý cách mắc các linh kiện trên mạch.



Hình 2.5: Mạch dao động đa hài đơn ổn

+ Mạch dao động đa hài đơn ổn cũng có 2 trạng thái dẫn bão hòa và trạng thái ngưng dẫn nhưng có một trạng thái ổn định và một trạng thái không ổn định.

+ Ở trạng thái bình thường, khi điện áp cấp nguồn, mạch sẽ giữ trạng thái này nếu không có sự tác động từ bên ngoài. Khi ngõ vào nhận một xung kích thích thì ngõ ra sẽ nhận được một xung có độ rộng tùy thuộc vào tham số của mạch và tham số này có thể định trước, nên mạch còn được gọi là mạch định thời, sau thời gian xung ra mạch sẽ tự trở về trạng thái ban đầu.

b. Nguyên lí hoạt động của mạch

- Khi cấp nguồn cho mạch:

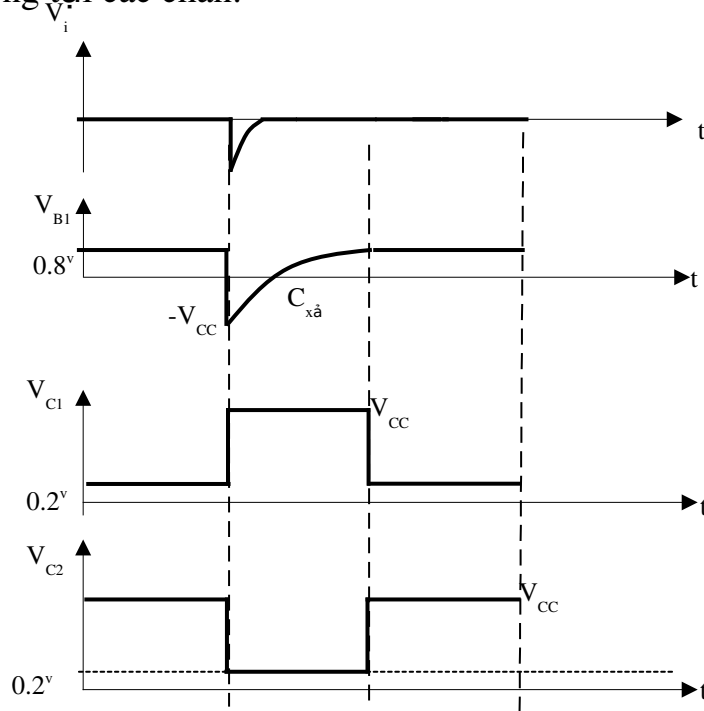
Vcc cấp dòng qua điện trở R_{b2} làm cho điện áp tại cực B của Q_2 tăng cao hơn 0,6V dẫn điện bão hòa điện áp trên cực C của $Q_2 = 0V$. Đồng thời điện trở R_b nhận điện áp âm $-V_B$ đặt vào cực B tranzito Q_1 cùng với điện áp Vcc lấy từ điện trở R_{b1} làm cho cực B tranzito Q_1 có giá trị nhỏ hơn 0,3v tranzito Q_1 ngưng dẫn, điện áp trên cực C của Q_1 tăng cao V_{cc} . tụ C_1 được nạp điện từ nguồn qua điện trở R_{c1} qua mối nối BE của Q_2 . Mạch giữ nguyên trạng thái này nếu không có xung âm tác động từ bên ngoài vào cực B Tranzito Q_2 qua tụ C_2 .

- Khi có xung âm tác động vào cực B của Tranzito Q_2 làm cho Q_2 từ trạng thái dẫn bão hoà chuyển sang trạng thái ngưng dẫn, điện áp tại cực C Q_2 tăng cao, qua tụ liên lạc C_2 làm cho điện áp phân cực B, Q_1 tăng cao làm cho Q_1 từ trạng thái ngưng dẫn sang trạng thái, lúc này tụ C_1 xả điện qua Q_1 làm cho điện áp phân cực B của Q_2 càng giảm, tranzito Q_2 chuyển từ trạng thái dẫn sang trạng thái ngưng dẫn, lúc này điện thế tại cực C của Q_2 tăng cao qua tụ C_2 làm cho điện áp tại cực B của Q_1 tăng, tranzito Q_1 dẫn bão hoà. Mạch được chuyển trạng thái Q_1 dẫn bão hoà.

- Khi chấm dứt xung kích vào cực B của Q_2 , tụ C_1 nạp điện nhanh từ R_{c1} qua tiếp giáp BE_{Q2} , làm cho điện áp tại cực B Q_2 tăng cao Q_2 nhanh chóng

chuyển trạng thái từ ngưng dẫn sang trạng thái dẫn bão hoà, còn Q_1 chuyển từ trạng thái dẫn sang trạng thái ngưng dẫn trở về trạng thái ban đầu.

Dạng sóng tại các chân:



Hình 2.6: Dạng sóng ở các chân ra

c. Điều kiện làm việc của mạch đơn ổn:

+ Chế độ phân cực: Đảm bảo sao cho tranzito dẫn phải dẫn bão hòa và trong sơ đồ Hình 2.5 Q_2 phải dẫn bão hòa nên:

$$I_{C2} = \frac{V_{cc} - V_{cesat}}{R_{c2}} = \frac{V_{cc}}{R_{c2}} \quad \text{với } (V_{CE\ sat} = 0,2V) \quad (2.7)$$

$$I_{B2} = \frac{V_{cc} - V_{besat}}{R_{b2}} = \frac{V_{cc}}{R_{b2}} \quad \text{với } (V_{be\ sat} = 0,7V)$$

(2.8)

$$I_{B2} > \frac{I_{c2}}{sat} = \frac{I_{c2}}{sat} \quad \text{thường chọn } I_{B2} = k \frac{I_{c2}}{sat} .$$

(k là hệ số bão hòa sâu và $k = 2 \text{ - } 4$)

+ Thời gian phân cách: là khoảng thời gian nhỏ nhất cho phép giữa 2 xung kích mở. Mạch dao động đa hài đơn ổn có thể làm việc được. Nếu các xung kích thích liên tiếp có thời gian quá ngắn sẽ làm cho mạch dao động không làm việc được trong trường hợp này người ta nói mạch bị nghẽn.

Nếu gọi: T_i : là thời gian lặp lại xung kích

T_x : là thời gian xung

T_h : là thời gian phục hồi

$$\text{Ta có: } T_i > T_x + T_h \quad (2.9)$$

d. Các thông số kỹ thuật cơ bản của mạch:

- *Độ rộng xung* là thời gian tạo xung ở ngõ ra mạch có xung kích thích, phụ thuộc chủ yếu vào tụ hồi tiếp và điện trở phân cực R_{b2} .

Ta có công thức sau:

$$t_x = 0,69 R_{b2} \cdot C_1$$

(2.10)

- *Thời gian hồi phục* là thời gian mạch chuyển từ trạng thái xung trở về trạng thái ban đầu, phụ thuộc chủ yếu vào thời gian nạp điện qua tụ.

Vì trong thực tế sau khi hết thời gian xung mạch không trở về trạng thái ban đầu ngay do tụ C_1 nạp điện qua R_{c1} tăng theo công thức

$$q_{\text{nạp}} = R_{c1} \cdot C_1$$

Tụ nạp đầy trong thời gian t_h , nhưng thường chỉ tính $T_h = 4 \cdot R_{c1}$

(2.11)

Độ rộng xung: $t = t_x + t_h$

(2.12)

- *Biên độ xung ra:*

Ở trạng thái ổn định, Q_1 ngưng dẫn, Q_2 bão hòa nên ta có:

$$\begin{aligned} V_{c1} &= V_{cc} \\ V_{c2} &= V_{ce \text{ sat}} = 0,2 \text{ v} \\ V_{c2} &= V_{cc} \frac{R_{b2}}{R_{c1} + R_{b2}} = V_x \end{aligned}$$

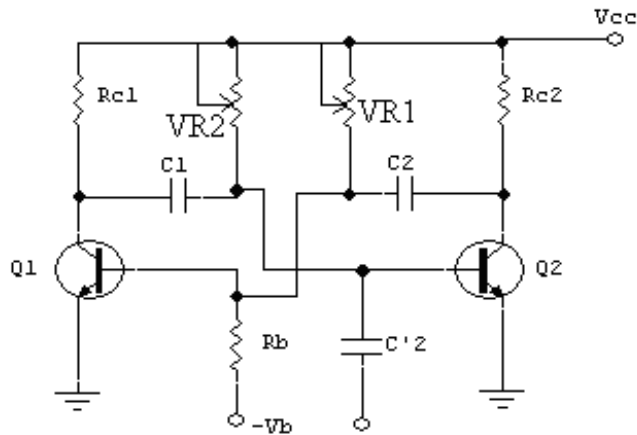
Như vậy, biên độ xung vuông âm do Q_1 tạo ra:

$$V_1 = V_{cc} - 0,2 \text{ v} \quad V_{cc}$$

và biên độ xung vuông dương do Q_2 tạo ra:

$$V_2 = V_x - 0,2 \text{ v} \quad V_x$$

2.2. Mạch cải tiến



Hình 2.7: Mạch dao động đa hài đơn ổn sử dụng biến trở điều chỉnh
 Mạch điện sử dụng 2 biến trở VR1 và VR2 với mục đích là điều chỉnh được tần số và chu kỳ.

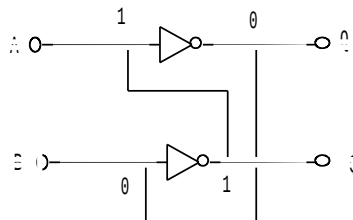
3. Mạch dao động đa hài hai trạng thái bền

Mục tiêu:

- Trình bày được nguyên tắc hoạt động của mạch dao động đa hài hai trạng thái bền.

3.1. Mạch lưỡng ổn (flip-flop) cơ bản

Để tạo mạch flip - flop chỉ cần mắc 2 cổng NOT chéo nhau như hình 4.7



Hình 2.8: Mạch Flip Flop cơ bản

Khi được cấp điện, nếu ngõ ra $Q = 0$ thì ngõ vào $B = 0$ qua mạch đảo làm $\bar{Q} = 1$ và mạch ổn định ở trạng thái này. Mạch cũng có thể ở trạng thái ngược lại là $Q = 1$ và $\bar{Q} = 0$ cũng được ổn định

Như vậy mạch có hai trạng thái ổn định theo nguyên lý mạch đa hài lưỡng ổn

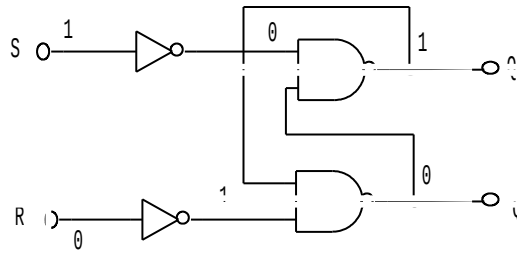
Để có thể chọn trạng thái cho mạch, người ta có thể dùng các cổng NAND hay NOR và gọi là RS Flip -Flop

3.2. Các phương pháp kích đổi trạng thái

a. Mạch RS Flip Flop:

Để điều khiển chọn trạng thái người ta dùng cổng NAND có hai ngõ vào. Một ngõ vào nhận hồi tiếp và một ngõ vào còn lại để điều khiển

Mạch FF hình 2.14 dùng hai cổng NAND và hai cổng NOT



Hình 2.9: RS Flip-Flop dùng cổng NAND

Hai ngõ được gọi là set (S) và reset (R)

Hai ngõ ra được gọi là không đảo (Q) đảo \bar{Q}

Nếu $S = 1, R = 0$, thì ngõ ra $Q = 1, \bar{Q} = 0$ (như hình vẽ)

Nếu $S = 0, R = 1$, thì ngõ ra $Q = 0, \bar{Q} = 1$ (như hình vẽ)

Giả sử ở trạng thái như hình vẽ ta cho $S = 0$, mạch vẫn giữ nguyên trạng thái

Tóm lại ngõ ra Q và \bar{Q} chỉ đổi trạng thái hai ngõ vào cùng đổi trạng thái

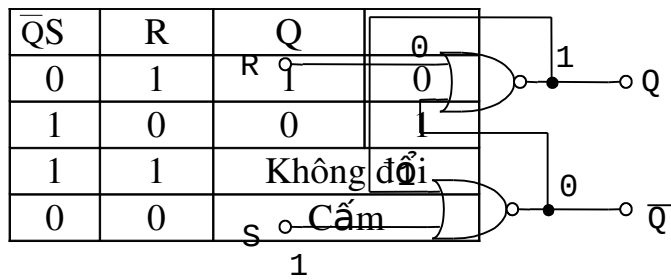
Q cùng trạng thái với S và \bar{Q} cùng trạng thái với R

S	R	Q	\bar{Q}
0	1	1	0
1	0	0	1
0	1	Không đổi	
1	0	Cấm	

Hình 2.10: Ký hiệu và bảng sự thật Rs Flip Flop

b. Mạch \overline{RS} FLIP - FLOP:

Trong mạch RS flip-flop (Hình 2.14) Nếu bỏ đi NOT ở ngõ vào thì mạch vẫn có nguyên lí như mạch flip-flop nhưng hoạt động ngược lại



Hình 2.11: Ký hiệu và bảng sự thật

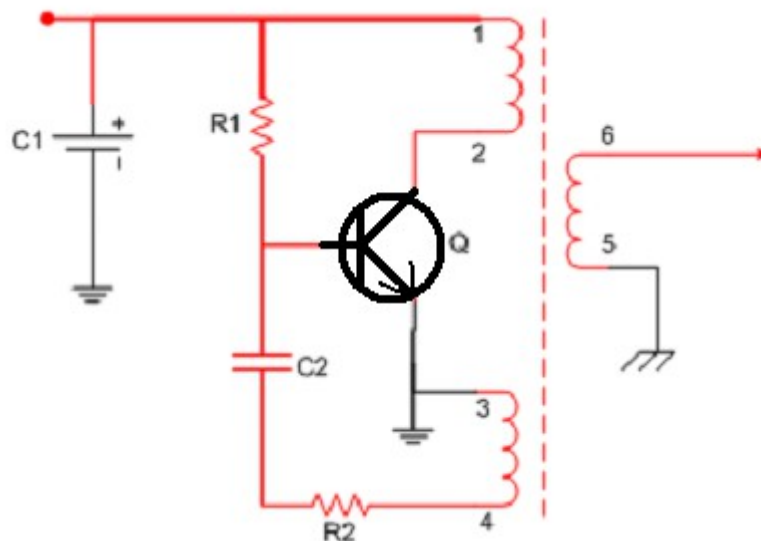
Trạng thái cấm trong \overline{RS} flip-flop là $\overline{S} = 0, \overline{R} = 0$ vì theo lí luận lúc này ở ngõ ra $Q = 0$ và $\overline{Q} = 1$ ngược lại với nguyên lí mạch lưỡng ổn nên gọi là trạng thái cấm

4. Mạch dao động blocking

Mục tiêu:

- Trình bày được nguyên tắc hoạt động của mạch dao động blocking.

Mạch dao động blocking có nguyên tắc hoạt động khá đơn giản, mạch được sử dụng rộng rãi trong các bộ nguồn xung (switching), mạch có cấu tạo như sau :



Hình 2.12: Mạch dao động blocking

Mạch dao động blocking bao gồm :

- Biến áp : Gồm cuộn sơ cấp 1-2 và cuộn hồi tiếp 3-4, cuộn thứ cấp 5-6
- Transistor Q tham gia dao động và đóng vai trò là đèn công suất ngắt mở tạo ra dòng

điện biến thiên qua cuộn sơ cấp.

- Trở định thiên R1 (là điện trở môi)
- R2, C2 là điện trở và tụ điện hồi tiếp

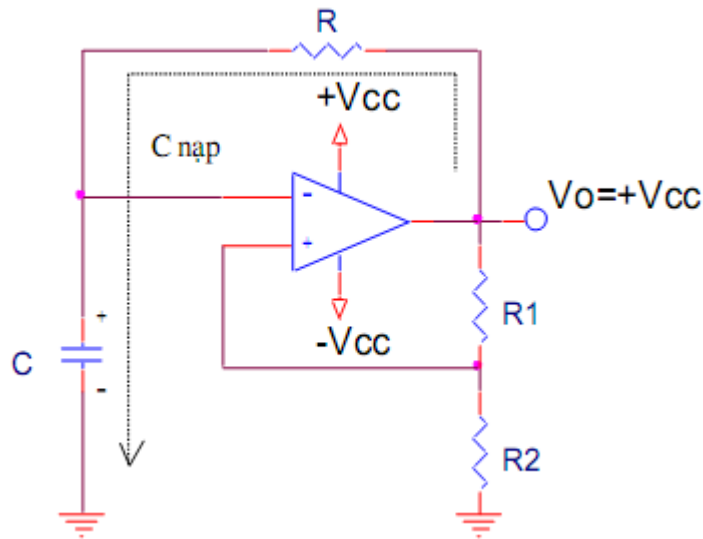
Có hai kiểu mắc hồi tiếp là hồi tiếp dương và hồi tiếp âm, ta xét cấu tạo và nguyên tắc hoạt động của từng mạch.

5. Mạch tạo xung dùng Op-amp

Mục tiêu:

- Trình bày được nguyên tắc hoạt động của mạch tạo xung dùng Op-amp.

5.1. Mạch dao động 2 trạng thái bền



Mạch dao động 2 trạng thái bền dùng Op-amp để cho ra tín hiệu vuông.

Sơ đồ có hai mạch hồi tiếp từ ngõ ra về hai ngõ vào. Cầu phân áp RC hồi tiếp về ngõ In-, cầu phân áp R1 – R2 hồi tiếp về ngõ In+.

Để giải thích nguyên lý mạch ta giả sử tụ C chưa nạp điện và Op-amp đang ở trạng thái bão hòa dương. Lúc này, cầu phân áp R1 – R2 đưa điện áp dương về ngõ In+ với mức điện áp là: $V_0 = +V_{CC}$

$$V_{in}^+ = +V_{CC} \cdot \frac{R_2}{R_1 + R_2} = V_A (V_{in}^+ > 0V)$$

Trong khi đó, ở ngõ In- có điện áp tăng dần lên từ 0V, điện áp tăng do tụ C nạp qua R theo quy luật hàm số mũ với hằng số thời gian là $\tau = RC$

Khi tụ C nạp có $V_{IN} > V_{IN}^+$ thì Op-amp vẫn ở trạng thái bão hòa dương. Khi tụ C nạp đến mức điện áp $V_{IN} = V_{IN}^+$ thì OP-AMP đổi thành trạng thái bão hòa âm, ngõ ra có $V_0 = -V_{CC}$. Lúc này cầu phân áp R1 – R2 đưa điện áp âm về ngõ In+ với mức điện áp là:

$$V_{in}^+ = -V_{CC} \cdot \frac{R_2}{R_1 + R_2} = V_B (V_{in}^+ < 0V)$$

Trong khi đó ở ngõ In- vẫn còn đang ở mức điện áp dương với trị số:

$$V_{in}^- = +V_{CC} \cdot \frac{R_2}{R_1 + R_2}$$

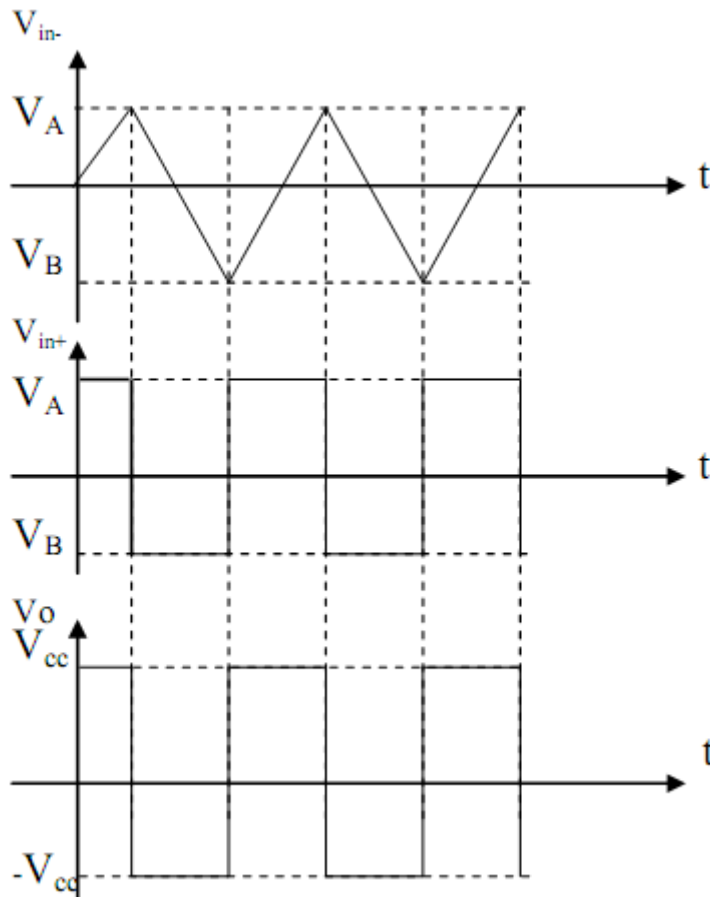
do tụ C đang còn nạp điện. Như vậy Op-amp sẽ chuyển sang trạng thái bão hòa âm nhanh cho cạnh xung vuông thẳng đứng. Tụ C bây giờ sẽ xả điện áp dương đang nạp trên tụ qua R1 và tải ở ngõ ra xuống mass. Khi tụ C xả điện áp dương đang có thì V_{IN}^- vẫn ở mức điện áp âm nên Op-amp vẫn ở trạng thái bão hòa âm.

Khi tụ C xả hết điện áp dương sẽ nạp điện qua R để có điện áp âm đang có do ngõ ra đang ở trạng thái bão hòa âm chiều nạp bây giờ ngược với chiều dòng điện nạp trên hình vẽ.

Khi tụ C nạp điện áp âm đến mức $V_{in-} = V_{in+}$ (ngõ In- nhỏ hơn ngõ In+) thì Op-amp lại đổi thành trạng thái bão hòa dương về ngõ ra có $V_O = +V_{CC}$.

Mạch đã trở lại trạng thái giả thiết ban đầu và hiện tượng trên cứ tiếp diễn liên tục tuần hoàn.

b. Dạng sóng ở các chân:



Mức giới hạn điện áp ngõ ra là:

$$V_{0max} \approx +V_{CC}$$

$$V_{0min} \approx -V_{CC}$$

Mức giới hạn điện áp ở hai ngõ vào là:

$$V_A = +V_{CC} \cdot \frac{R_2}{R_1 + R_2}$$

$$V_B = -V_{CC} \cdot \frac{R_2}{R_1 + R_2}$$

Dạng điện ở ngõ vào In⁻ là dạng tam giác. Thời gian điện áp ở ngõ vào In⁻ tăng từ V_B lên V_A là Op-amp ở trạng thái bão hòa dương, Thời gian điện áp ở ngõ vào In⁻ giảm từ V_A xuống V_B là Op-amp ở trạng thái bão hòa âm. Dạng điện áp ở ngõ In⁺ và ngõ ra là trạng thái xung vuông đối xứng. Chu kỳ của tín hiệu được tính theo công thức

$$T = 2R.C \ln \frac{R_1 + 2R_2}{R_1}$$

Suy ra tần số của tín hiệu xung được tính theo công thức

$$f = \frac{1}{T}$$

Trường hợp đặc biệt:

$$R_1 = 2R_2 \Rightarrow T = 2.R.C \ln 2$$

$$= 2.R.C.0,69$$

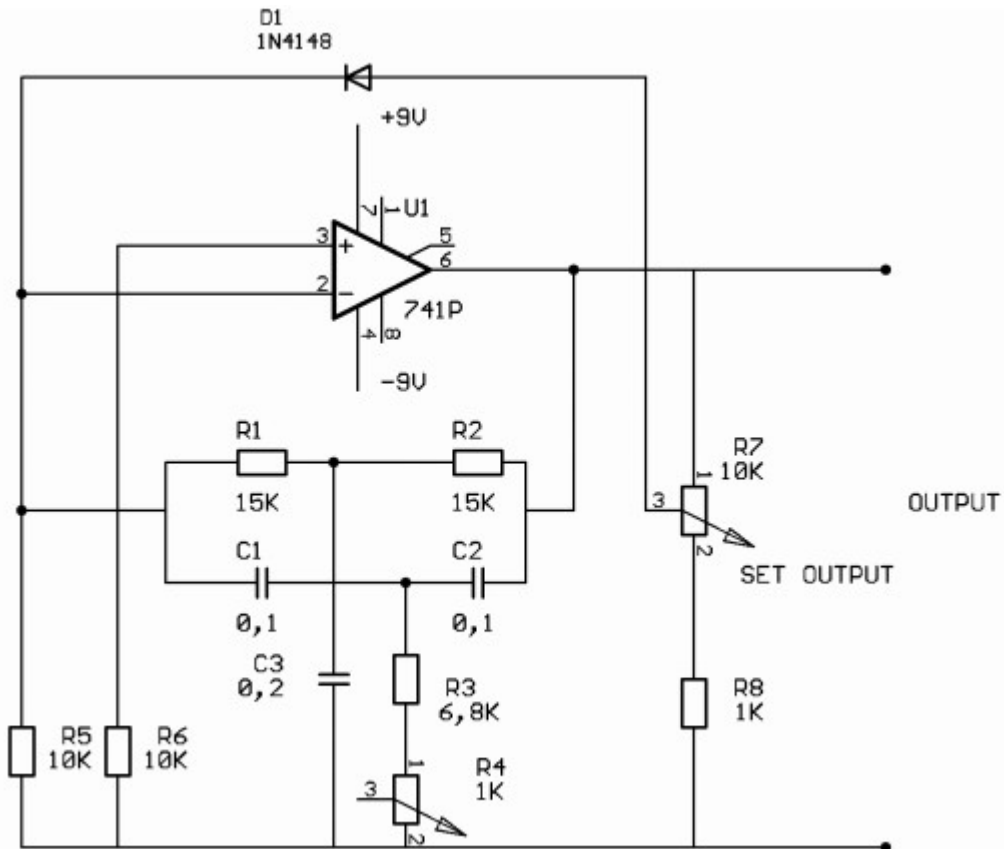
$$\Rightarrow f = \frac{1}{2.0,69.R.C} \approx \frac{1}{1,4.R.C}$$

$$R_1 = R_2 \Rightarrow T = 2.R.C \ln 3$$

$$= 2.R.C.1,1$$

$$\Rightarrow f = \frac{1}{2,2.R.C}$$

5.2. Mạch hồi tiếp bằng diode



Để chỉnh mạch trước tiên đặt con trượt của R7 tại điểm nối với đầu ra KĐTT, bây giờ chỉnh R4 để không có dao động, sau đó thay đổi R4 thật chậm cho đến khi

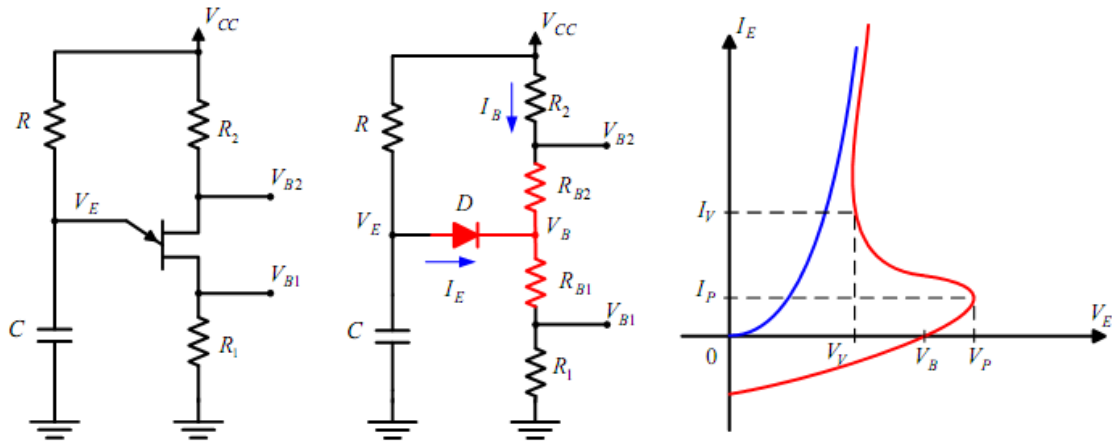
bắt đầu xuất hiện dao động. Lúc này tín hiệu sin ra có biên độ khoảng 500 mVP-P hay 170 mV hiệu dụng và quá trình cân chỉnh đã hoàn tất. Khi đó R7 có thể dùng để thay đổi tín hiệu ra từ 170 mV đến 3 V hiệu dụng với độ méo không đáng kể.

Các mạch trong 2 sơ đồ trên dùng làm bộ dao động tần số cố định rất tốt nhưng

không thể tạo ra nhiều tần số khác nhau do khó thay đổi cùng lúc ba hay bốn thành phần của cầu T kép. Tuy nhiên, bằng cách ghép mạch lọc Wien với KĐTT có thể tạo ra mạch dao động nhiều tần số khác nhau.

Tần số ra của các mạch này có thể thay đổi mười lần nhờ bộ biến trở đôi R2 và R3, các mạch này chỉ khác nhau ở cách tự động điều chỉnh biên độ. Trong các sơ đồ, mạch lọc Wien gồm R1-R2-R3-R4 và C1-C2 nối giữa đầu ra với đầu vào không đảo của KĐTT và một cầu phân áp tự động điều chỉnh biên độ nối giữa đầu ra với đầu vào đảo. Cầu Wien thực chất là một mạch suy giảm phụ thuộc tần số có hệ số suy giảm là 1/3 tại tần số trung tâm. Do đó để có được sóng sin ít méo thì phần điều chỉnh biên độ của mạch luôn tự động thay đổi để bảo đảm duy trì độ lợi toàn phần của mạch gần bằng 1.

6. Mạch dao động tích thoát dùng UJT



6.1. Nguyên lý

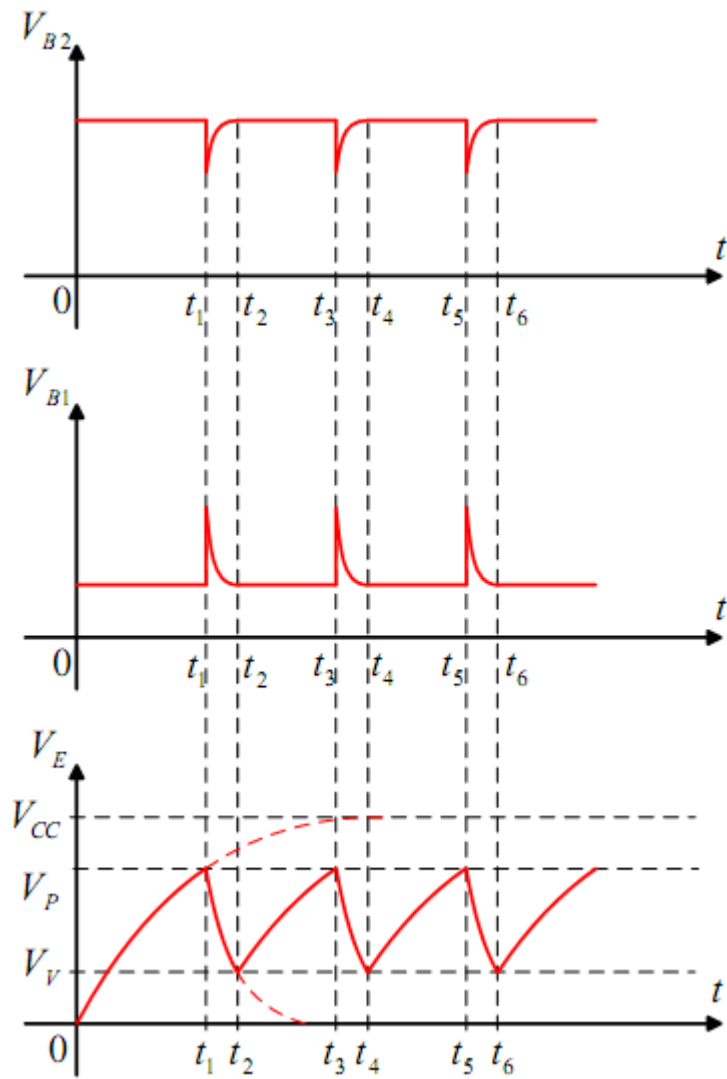
Giả sử, điện áp trên tụ tại thời điểm ban đầu bằng không. Khi này, ta cấp nguồn V_{CC} , điện thế $V_E = 0V$

$$V_B = \frac{(R_{B1} + R_1)}{R_{B1} + R_1 + R_{B2} + R_2} V_{CC}$$

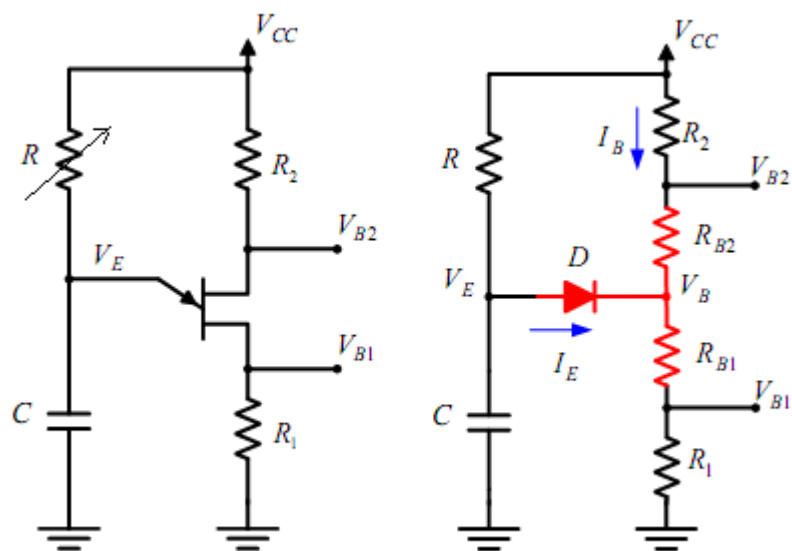
$$\Rightarrow V_E < V_B$$

Suy ra, diode D bị phân cực nghịch nên dòng I_B nhỏ suy ra điện áp $V_{B1} = I_B \cdot R_1$ nhỏ, điện áp $V_{B2} = V_{CC} - I_B \cdot R_2$ lớn. Đồng thời tụ C nạp qua R làm điện áp V_E tăng dần. Tới một lúc nào đó V_E đủ lớn làm diode phân cực thuận.

Diode dẫn làm cho R_{B1} giảm nên dòng I_B tăng lớn làm cho V_{B1} tăng, V_{B2} giảm. Đồng thời do R_{B1} giảm do đó điện thế tại V_B giảm. Lúc này, tụ xả qua diode, qua R_{B1} và qua R_1 xuống mass làm điện thế V_E giảm. Tới một lúc nào đó điện thế V_E đủ nhỏ làm cho diode tắt. Lúc đó, I_B lại giảm và quá trình cứ lặp đi lặp lại. Sau đây là dạng điện áp V_{B1} , V_{B2} và V_E của mạch.



6.2. Mạch đổi tần số



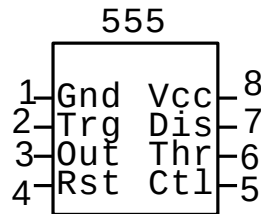
7. Vi mạch định thời IC 555

7.1. Sơ đồ nguyên lý của IC 555

IC 555 trong thực tế còn gọi là IC định thời. Họ IC được ứng dụng rất rộng rãi, nhất là trong lĩnh vực điều khiển, vì nó có thể thực hiện nhiều chức năng như định thời, tạo xung chuẩn, tạo tín hiệu kích thích điều khiển các linh kiện bán dẫn công suất.

a. Cấu tạo của IC 555:

- IC 555 vỏ plastic có cấu tạo các chân như trình bày trên Hình 2.3.



Hình 2.3: Sơ đồ chân IC 555

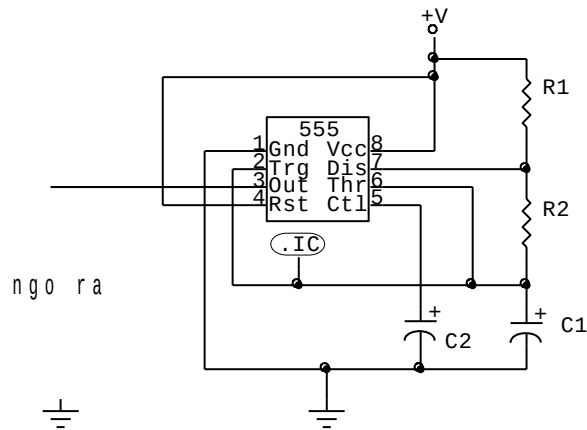
Họ IC 555 được ký hiệu dưới nhiều dạng ký hiệu khác nhau: MN555, LM555, C555, NE555, HA17555, A555...

Chức năng của các chân IC 555 được nêu trong bảng dưới đây:

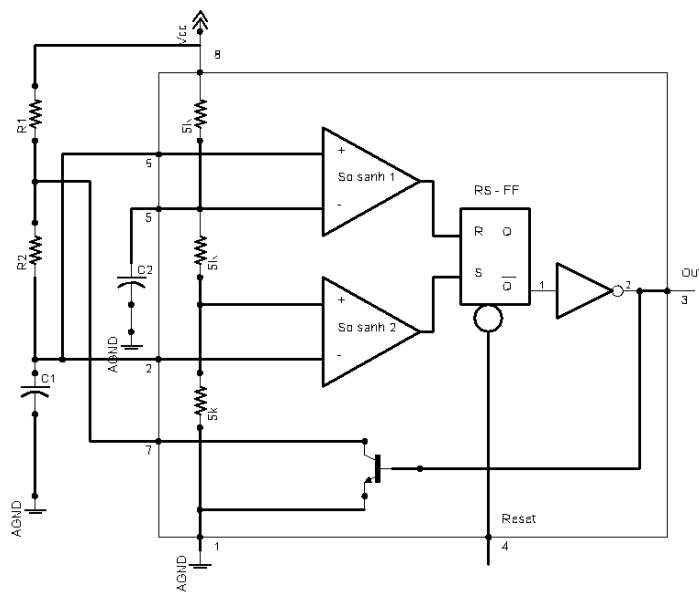
Bảng 2.1: Chân IC 555 và các chức năng của các chân

THỨ TỰ CHÂN	TÊN CHÂN	CHỨC NĂNG CÁC CHÂN
1	GND	Chân nối đất hay nguồn âm
2	TRIGGER INPUT	Ngõ vào của xung
3	TRIGGER OUTPUT	Ngõ ra của xung
4	RESET	Phục hồi
5	CONTROL VOLTAGE	Điện áp điều khiển
6	THRESHOLD	Ngưỡng
7	DISCHARGE	Xả điện
8	+Vcc	Nguồn cung cấp

b. Sơ đồ mạch điện của mạch dao động đa hài dùng IC 555:



Hình 2.4 . Mạch điện căn bản



Hình 2.5: Mạch dao động đa hài cơ bản dùng IC 555

Chân 2 được nối với chân 6 để cho chân ngõ vào và chân giữ mức thêm (mức ngưỡng) có chung điện áp phân cực.

Chân 5 được nối với tụ C_2 xuống GND để lọc nhiễu tần số cao. Vì vậy, tụ này thường có trị số không lớn lắm, được chọn vào khoảng từ 1 đến 0,001 F.

Chân 4 nối nguồn Vcc vì không dùng chức năng Reset

Chân 7 là chân xả điện, nên được nối giữa 2 điện trở R_1 và R_2 làm đường nạp và xả điện cho tụ C_1 .

7.2.Thiết kế các mạch dao động dùng IC 555

Khi được cấp nguồn Vcc, tụ C_1 được nạp điện qua R_1 , R_2 với hằng số thời gian nạp:

$$t_{\text{nạp}} = 0,69 (R_1 + R_2)C_1 \quad (2.5)$$

Trong thời gian C_1 nạp thì tại đầu ra \bar{Q} của FF có mức 1. Lúc đó đầu ra tại chân 3 có mức 0V. Vì vậy không có tín hiệu xung.

Khi C_1 được nạp đầy không nạp tiếp được nữa mà phải xả điện qua R_2 qua tranzistor xuống mass với hằng số thời gian xả là:

$$t_{xả} = 0,69R_2C_1 \quad (2.6)$$

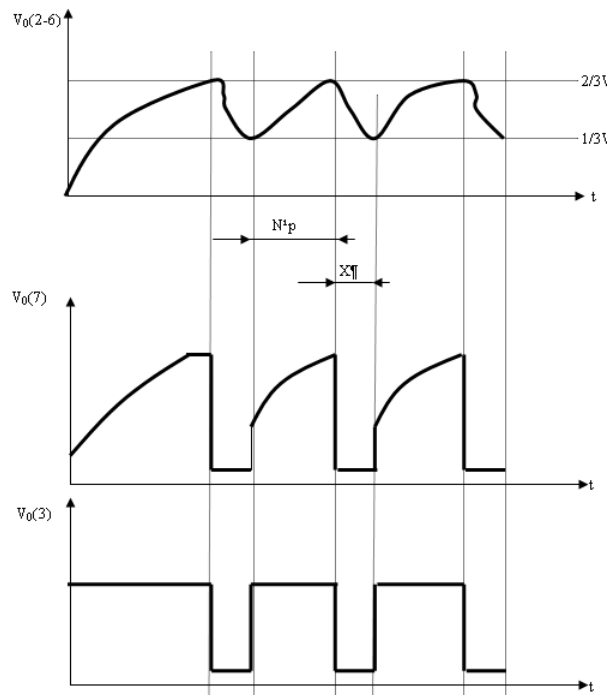
Khi đó đầu ra \bar{Q} của FF có mức 0. Vậy điện áp ngõ ra ở chân 3 có mức 1 có dạng tín hiệu hình vuông với chu kỳ là:

$$T = 0,69 (R_1 + 2R_2)C_1 \quad (2.7)$$

Do thời gian nạp vào và thời gian xả ra không bằng nhau ($t_{nạp} > t_{xả}$) nên tần số của tín hiệu xung là:

$$f = \frac{1}{T} = \frac{1}{0,69 (R_1 + 2R_2)C_1} \quad (2.8)$$

Dạng xung ngõ ra ở các chân :



Hình 2.6: Dạng tín hiệu ra tại các chân

Dạng điện áp tại các chân 2-6, chân 7 và chân 3 trong đó khoảng thời gian điện áp tăng là thời gian tụ nạp, khoảng thời gian điện áp giảm là thời gian tụ xả.

Khi khảo sát dạng điện áp tại các chân thì cần lưu ý khi mới cấp nguồn cho mạch thì tụ C sử nạp điện từ 0V lên đến $2/3 V_{cc}$ nhưng khi xả chỉ xả đến $1/3 V_{cc}$ vì vậy những lần nạp sau tụ chỉ nạp từ $1/3 V_{cc}$ đến $2/3 V_{cc}$.

Khi tụ nạp thì tại chân 7 có điện áp cao hơn chân 2 và 6, nhưng khi tụ xả thì điện áp tại chân 7 giảm nhanh xuống 0V chứ không giảm theo hàm số mũ trên tụ C .

Thực hành:

I. Lắp ráp mạch dao động đa hài không trạng thái bền

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	Transistor các loại	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

II. Lắp ráp mạch dao động đa hài một trạng thái bền.

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	Transistor các loại	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

III. Lắp ráp mạch dao động đa hài hai trạng thái bền.

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	Transistor các loại	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

IV. Lắp ráp mạch dao động blocking.

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	Transistor các loại	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

V. Lắp ráp mạch tạo xung dùng Op-amp

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	IC 741	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

VI. Lắp ráp mạch dao động tích thoát dùng UJT

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	Transistor UJT	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

VII. Lắp ráp mạch định thời IC 555

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	Tụ điện các loại	20
2	Điện trở các loại	100
3	IC NE555	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

BÀI 2 KỸ THUẬT SỐ - HỆ THỐNG SỐ ĐẾM

MÃ BÀI: MĐ19-03

Mục tiêu:

- Hiểu được nguyên tắc hoạt động các mạch kỹ thuật số
- Lắp ráp được các mạch mạch kỹ thuật số.
- Rèn luyện tính thần ham học hỏi.

Nội dung chính :

1. Tổng quan về logic số

Mục tiêu:

- Trình bày được tổng quan về logic số.

1.1. Các hệ thống số

1.1.1. Hệ thống số thập phân:

Hệ thập phân là hệ thống số rất quen thuộc, gồm 10 số mã như nói trên. Dưới đây là vài ví dụ số thập phân:

$$N = (1998)_{10} = 1 \cdot 10^3 + 9 \cdot 10^2 + 9 \cdot 10^1 + 8 \cdot 10^0 = 1 \cdot 1000 + 9 \cdot 100 + 9 \cdot 10 + 8 \cdot 1$$

$$N = (3,14)_{10} = 3 \cdot 10^0 + 1 \cdot 10^{-1} + 4 \cdot 10^{-2} = 3 \cdot 1 + 1 \cdot 1/10 + 4 \cdot 1/100$$

1.1.2. Hệ thống số nhị phân:

Hệ nhị phân gồm hai số mã trong tập hợp

$$S_2 = \{0, 1\}$$

Mỗi số mã trong một số nhị phân được gọi là một **bit** (viết tắt của binary digit).

Số N trong hệ nhị phân:

$$N = (a_n a_{n-1} a_{n-2} \dots a_i \dots a_0, a_{-1} a_{-2} \dots a_{-m})_2 \quad (\text{với } a_i \in S_2) \text{ Có giá trị là:}$$

$$N = a_n \cdot 2^n + a_{n-1} \cdot 2^{n-1} + \dots + a_i \cdot 2^i + \dots + a_0 \cdot 2^0 + a_{-1} \cdot 2^{-1} + a_{-2} \cdot 2^{-2} + \dots + a_{-m} \cdot 2^{-m}$$

a_n là bit có **trọng số lớn nhất**, được gọi là bit **MSB** (Most significant bit) và

a_{-m} là bit có **trọng số nhỏ nhất**, gọi là bit **LSB** (Least significant bit).

$$\begin{aligned} \text{Thí dụ: } N &= (1010,1)_2 = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 + 1 \cdot 2^{-1} \\ &= (10,5)_{10} \end{aligned}$$

1.1.3. Hệ thống số bát phân:

Hệ bát phân gồm tám số trong tập hợp

$$S_8 = \{0, 1, 2, 3, 4, 5, 6, 7\}.$$

Số N trong hệ bát phân:

$$N = (a_n a_{n-1} a_{n-2} \dots a_i \dots a_0, a_{-1} a_{-2} \dots a_{-m})_8 \quad (\text{với } a_i \in S_8)$$

Có giá trị là:

$$N = a_n 8^n + a_{n-1} 8^{n-1} + a_{n-2} 8^{n-2} + \dots + a_i 8^i + \dots + a_0 8^0 + a_{-1} 8^{-1} + a_{-2} 8^{-2} + \dots + a_{-m} 8^{-m}$$

$$\text{Thí dụ: } N = (1307,1)_8 = 1x8^3 + 3x8^2 + 0x8^1 + 7x8^0 + 1x8^{-1} \\ = (711,125)_{10}$$

1.1.4 Hệ thống số thập lục phân:

Hệ thập lục phân được dùng rất thuận tiện để con người giao tiếp với máy tính, hệ này gồm mười sáu số trong tập hợp

$$S_{16} = \{0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F\}$$

(A tương đương với 10_{10} , B = 11_{10} , ..., F = 15_{10}).

Số N trong hệ thập lục phân:

$$N = (a_n a_{n-1} a_{n-2} \dots a_i \dots a_0, a_{-1} a_{-2} \dots a_{-m})_{16}$$

(với $a_i \in S_{16}$) Có giá trị là:

$$N = a_n 16^n + a_{n-1} 16^{n-1} + a_{n-2} 16^{n-2} + \dots + a_i 16^i + \dots + a_0 16^0 + a_{-1} 16^{-1} + a_{-2} 16^{-2} + \dots + a_{-m} 16^{-m}$$

Người ta thường dùng chữ H (hay h) sau con số để chỉ số thập lục phân.

$$\text{Thí dụ: } N = (20EA8H)_{16} = 2x16^3 + 0x16^2 + 14x16^1 + 10x16^0 + 8x16^{-1} \\ = (4330,5)_{10}$$

1.2. Biến đổi qua lại giữa các hệ thống số

a. Chuyển đổi từ các hệ thống số đếm khác sang hệ thập phân

nếu có con số a trong hệ thống đếm b thì ta có thể chuyển đổi sang hệ thập phân theo công thức sau:

$$(A)_B = a_{n-1} B^{n-1} + a_{n-2} B^{n-2} + \dots + a_0 B^0 + a_{-1} B^{-1} + \dots + a_{-m} B^{-m}$$

trong đó:

a là một con số, $a = a_{n-1} a_{n-2} \dots a_0, a_{-1} a_{-2} \dots a_{-m}$

b là cơ số của hệ đếm; $0 < a_k < b-1$

n là số chữ số trong phần nguyên

m là số chữ số trong phần thập phân

a_{n-1} là chữ số có ý nghĩa nhất

a_{-m} là chữ số ít ý nghĩa nhất

B^k là trọng số của chữ số ở vị trí k; với $k = -m \dots n-1$.

ví dụ:

$$(1101,01)_2 = 1.2^3 + 1.2^2 + 0.2^1 + 1.2^0 + 0.2^{-1} + 1.2^{-2} = (13,25)_{10}$$

$$(12,4)_8 = 1.8^1 + 2.8^0 + 4.8^{-1}$$

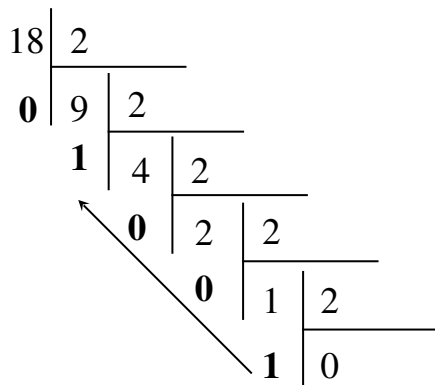
$$(13,8)_{16} = 1.16^1 + 3.16^0 + 8.16^{-1}$$

b. Chuyển đổi từ hệ thập phân sang các hệ thống số đếm khác:

Với phần nguyên, ta thực hiện chia liên tiếp số thập phân cho cơ số của hệ đếm cho đến khi thương bằng 0 và thực hiện lấy số dư theo thứ tự số dư cuối cùng là chữ số có ý nghĩa nhất và số dư đầu tiên là chữ số ít ý nghĩa nhất.

Với phần lẻ sau dấu phẩy, sự chuyển đổi được thực hiện bằng cách nhân liên tiếp cơ số của hệ đếm và giữ lại phần nguyên được sinh ra từ trái qua phải.

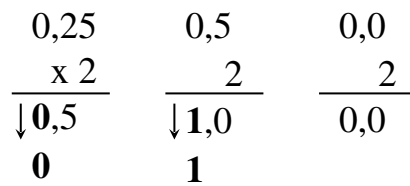
ví dụ 1: Chuyển $(18,25)_{10}$ sang hệ nhị phân



Phần nguyên thực hiện chia liên tiếp cho 2 cho đến khi thương bằng 0:

vậy $(18)_{10} = (10010)_2$

Với phần lẻ thực hiện nhân liên tiếp cho 2:

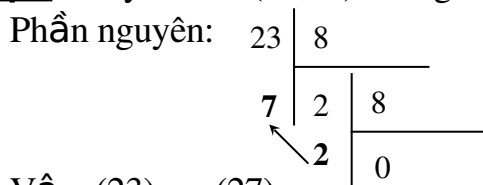


vậy: $(0,25)_{10} = (0,01)_2$

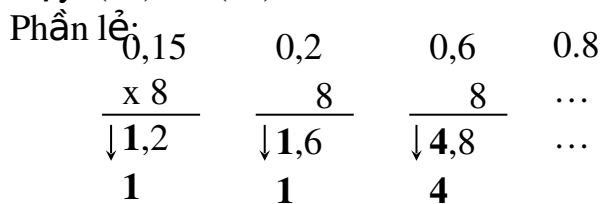
Ta có: $(18,25)_{10} = (10010,01)_2$ (kiểm tra lại kết quả bằng cách chuyển từ hệ nhị phân sang hệ thập phân như đã học ở mục trước).

Lưu ý, sự chuyển đổi không phải luôn luôn chính xác, nói chung một lượng gần tương đương có thể được xác định bằng sự kết thúc quá trình nhân tại điểm mong muốn.

Ví dụ 2: chuyển đổi $(23,15)_{10}$ sang hệ bát phân



Vậy: $(23)_{10} = (272)_8$



Vậy: $(0,15)_{10} = (0,1146)_8$

Ta có: $(23,15)_{10} \quad (27,114)_8$
 (kiểm tra lại kết quả bằng cách chuyển từ hệ bát phân sang hệ thập phân như đã học ở mục trước). Tương tự, lấy ví dụ chuyển từ hệ thập phân sang thập lục phân.

c. Chuyển đổi từ hệ nhị phân sang hệ bát phân và ngược lại:

Với 3 bit nhị phân có thể tạo ra được $(2^3 - 8)$ 8 tổ hợp số nhị phân 3 bit khác nhau. như vậy, mỗi ký số bát phân có thể được biểu diễn bằng nhóm mã nhị phân ba bit khác nhau. khi nhập dữ liệu vào máy tính thì ba bit nhị phân có thể được biểu diễn bằng một ký số bát phân là rất thuận tiện. trước khi dữ liệu được xử lý thì nó được tái tạo thành dạng nhị phân bằng các mạch chuyển đổi.

Để chuyển từ hệ nhị phân sang hệ bát phân ta thực hiện nhóm số nhị phân thành từng nhóm ba bit và chuyển sang ký số bát phân tương ứng.

Đối với phần nguyên thực hiện nhóm từ phải sang trái, đối với phần lẻ thực hiện nhóm từ trái sang phải. nếu nhóm cuối cùng không đủ 3 bit thì thêm bit 0 vào.

Ngược lại, chuyển từ bát phân sang nhị phân đổi từng ký số bát phân thành từng nhóm nhị phân 3 bit.

Bảng chuyển đổi:

số hệ 8	0	1	2	3	4	5	6	7
số hệ 2	000	001	010	011	100	101	110	111

Từ bảng chuyển đổi trên ta có thể đổi bất kỳ số hệ hai nào sang hệ tám hoặc ngược lại.

Ví dụ: $(001\ 011\ 001\ 010\ 101,101\ 010\ 100)_2 = (13125,524)_8$

$(713,26)_8 = (111\ 001\ 011,010\ 110)_2$

d. Chuyển từ hệ nhị phân sang hệ thập lục phân và ngược lại:

Có bốn bit nhị phân có thể tạo được (2^4) 16 tổ hợp số nhị phân 4 bit khác nhau. mỗi tổ hợp của bốn bit nhị phân có thể biểu diễn bằng một ký số thập lục phân. như vậy, khi nhập dữ liệu vào máy tính thì bốn bit nhị phân được biểu diễn dưới dạng các ký số hexa rất thuận tiện. số hexa được biến đổi thành dạng nhị phân trước khi chúng được xử lý bởi mạch số.

tương tự như mục (c) ở đây ta nhóm từng nhóm 4 bit. bảng chuyển đổi:

Số hexa	0	1	2	3	4	5	6	7
Số nhị phân	0000	0001	0010	0011	0100	0101	0110	0111
Số hexa	8	9	a	b	c	d	e	f
Số nhị phân	1000	1001	1010	1011	1100	1101	1110	1111

Ví dụ: $(0101\ 0010\ 0111\ 1011\ 1001,1001\ 1011)_2 = (527b9,9b)_{16}$

$$(5ac,9e)_{16} = (10110101100,1001111)_2$$

e. Chuyển từ hệ bát phân sang hệ thập lục phân và ngược lại

Do chuyển đổi qua lại giữa hệ 2 và hệ 8, giữa hệ 2 và hệ 16 rất nhanh chóng nên khi chuyển từ hệ 8 sang hệ 16 hoặc ngược lại ta dùng hệ 2 làm trung gian.

Ví dụ: $(723)_8 = (111010011)_2 = (1D3)_{16}$
 $(C4)_{16} = (11000100)_2 = (304)_8$

1.3. Các phép tính trong hệ nhị phân

1.3.1 Phép cộng

Là phép tính làm cơ sở cho các phép tính khác. Khi thực hiện phép cộng cần lưu ý:

$$0 + 0 = 0 ;$$

$$0 + 1 = 1 ;$$

$$1 + 1 = 0 \text{ nhớ } 1 \text{ (đem qua bit cao hơn).}$$

Ngoài ra nếu cộng nhiều số nhị phân cùng một lúc ta nên nhớ :

- Nếu số bit 1 chẵn, kết quả là 0;

- Nếu số bit 1 lẻ kết quả là 1

- Và cứ 1 cặp số 1 cho 1 số nhớ (bỏ qua số 1 dư, thí dụ với 5 số 1 ta kể là 2 cặp)

Thí dụ: Tính $011 + 101 + 011 + 011$

$$\begin{array}{r} 11 \leftarrow \text{số nhớ} \\ 111 \leftarrow \text{số nhớ} \\ 011 \\ + 101 \\ 011 \\ 011 \\ \hline 1110 \end{array}$$

1.3.2 Phép trừ

Cần lưu ý:

$$0 - 0 = 0 ;$$

$$1 - 1 = 0 ;$$

$$1 - 0 = 1 ;$$

$$0 - 1 = 1 \text{ nhớ } 1 \text{ cho bit cao hơn}$$

Thí dụ: Tính $1011 - 0101$

$$\begin{array}{r} 1 \leftarrow \text{số nhớ} \\ 1011 \\ - 0101 \end{array}$$

0 1 1 0

1.3.3 Phép nhân

Cần lưu ý:

$0 \times 0 = 0$;

$0 \times 1 = 0$;

$1 \times 1 = 1$

Thí dụ: Tính 1101×101

```
  1 1 0 1
x   1 0 1
-----
  1 1 0 1
 0 0 0 0
1 1 0 1
-----
0 0 0 0 1
```

1.3.4 Phép chia

Thí dụ: Chia 1001100100 cho 11000

Lần chia đầu tiên, 5 bit của số bị chia nhỏ hơn số chia nên ta được kết quả là 0, sau đó ta lấy 6 bit của số bị chia để chia tiếp (tương ứng với việc dịch phải số chia 1 bit trước khi thực hiện phép trừ)

$$\begin{array}{r}
 1001100100 \overline{) 11000} \\
 \underline{-11000} \\
 0011100 \\
 \underline{-11000} \\
 00100100 \\
 \underline{-11000} \\
 011000 \leftarrow \text{Thêm vào để chia} \\
 \underline{-11000} \text{ tiếp lấy phần lẻ} \\
 00000
 \end{array}$$

Kết quả : $(11001.1)_2 = (25.5)_{10}$

2. Mã hoá - giải mã

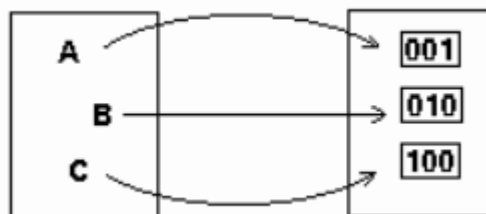
Mục tiêu:

- Trình bày được nguyên tắc nguyên tắc giải mã, mã hóa.

2.1. Tổng quát

Mã hóa là gán một ký hiệu cho một đối tượng để thuận tiện cho việc thực hiện một yêu cầu cụ thể nào đó.

Một cách toán học, mã hóa là một phép ánh xạ một đối tượng từ một tập hợp nguồn vào một tập hợp khác gọi là tập hợp đích.



(H 1.1)

Tập hợp nguồn có thể là tập hợp các số, các ký tự, dấu, các lệnh dùng trong truyền dữ liệu . . . và tập hợp đích thường là tập hợp chứa các tổ hợp thứ tự của các số nhị phân.

Một tổ hợp các số nhị phân tương ứng với một số được gọi là từ mã. Tập hợp các từ mã được tạo ra theo một qui luật cho ta một bộ mã. Việc chọn một bộ mã tùy vào mục đích sử dụng.

Thí dụ để biểu diễn các chữ và số, người ta có mã ASCII (American Standard Code for Information Interchange), mã Baudot, EBCDIC . . . Trong truyền dữ liệu ta có mã dò lỗi, dò và sửa lỗi, mật mã . . . Vấn đề ngược lại mã hóa gọi là giải mã.

Cách biểu diễn các số trong các hệ khác nhau cũng có thể được xem là một hình thức mã hóa, đó là các mã thập phân, nhị phân, thập lục phân . . . và việc chuyển từ mã này sang mã khác cũng thuộc loại bài toán mã hóa.

Trong kỹ thuật số ta thường dùng các mã sau đây:

2.2. Mã BCD (Binary Coded Decimal)

Mã BCD dùng số nhị phân 4 bit có giá trị tương đương thay thế cho từng số hạng trong số thập phân.

Thí dụ:

Số 62510 có mã BCD là 0110 0010 0101.

Mã BCD dùng rất thuận lợi : mạch điện tử đọc các số BCD và hiển thị ra bằng đèn bảy đoạn (led hoặc LCD) hoàn toàn giống như con người đọc và viết ra số thập phân.

2.3. Mã Gray

Mã Gray hay còn gọi là mã cách khoảng đơn vị. Nếu quan sát thông tin ra từ một máy đếm đang đếm các sự kiện tăng dần từng đơn vị, ta sẽ được các số nhị phân dần dần thay đổi. Tại thời điểm đang quan sát có thể có những lỗi rất quan trọng.

Thí dụ giữa số 7(0111) và 8 (1000), các phần tử nhị phân đều phải thay đổi trong quá trình đếm, nhưng sự giao hoán này không bắt buộc xảy ra đồng thời, ta có thể có các trạng thái liên tiếp sau:

0111 → 0110 → 0100 → 0000 → 1000

Trong một quan sát ngắn các kết quả thấy được khác nhau. Để tránh hiện tượng này, người ta cần mã hóa mỗi số hạng sao cho hai số liên tiếp chỉ khác nhau một phần tử nhị phân (1 bit) gọi là mã cách khoảng đơn vị hay mã Gray.

Tính kề nhau của các tổ hợp mã Gray (tức các mã liên tiếp chỉ khác nhau một bit) được dùng rất có hiệu quả để rút gọn hàm logic tới mức tối giản.

Ngoài ra, mã Gray còn được gọi là mã phản chiếu (do tính đối xứng của các số hạng trong tập hợp mã, giống như phản chiếu qua gương)

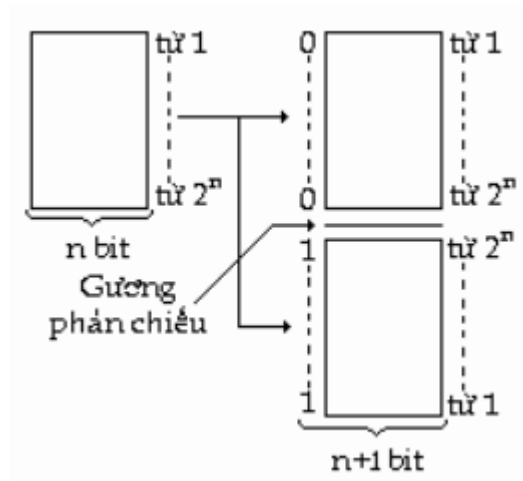
Người ta có thể thiết lập mã Gray bằng cách dựa vào tính đối xứng này:

- Giả sử ta đã có tập hợp 2^n từ mã của số n bit thì có thể suy ra tập hợp 2^{n+1} từ mã của số $(n+1)$ bit bằng cách:

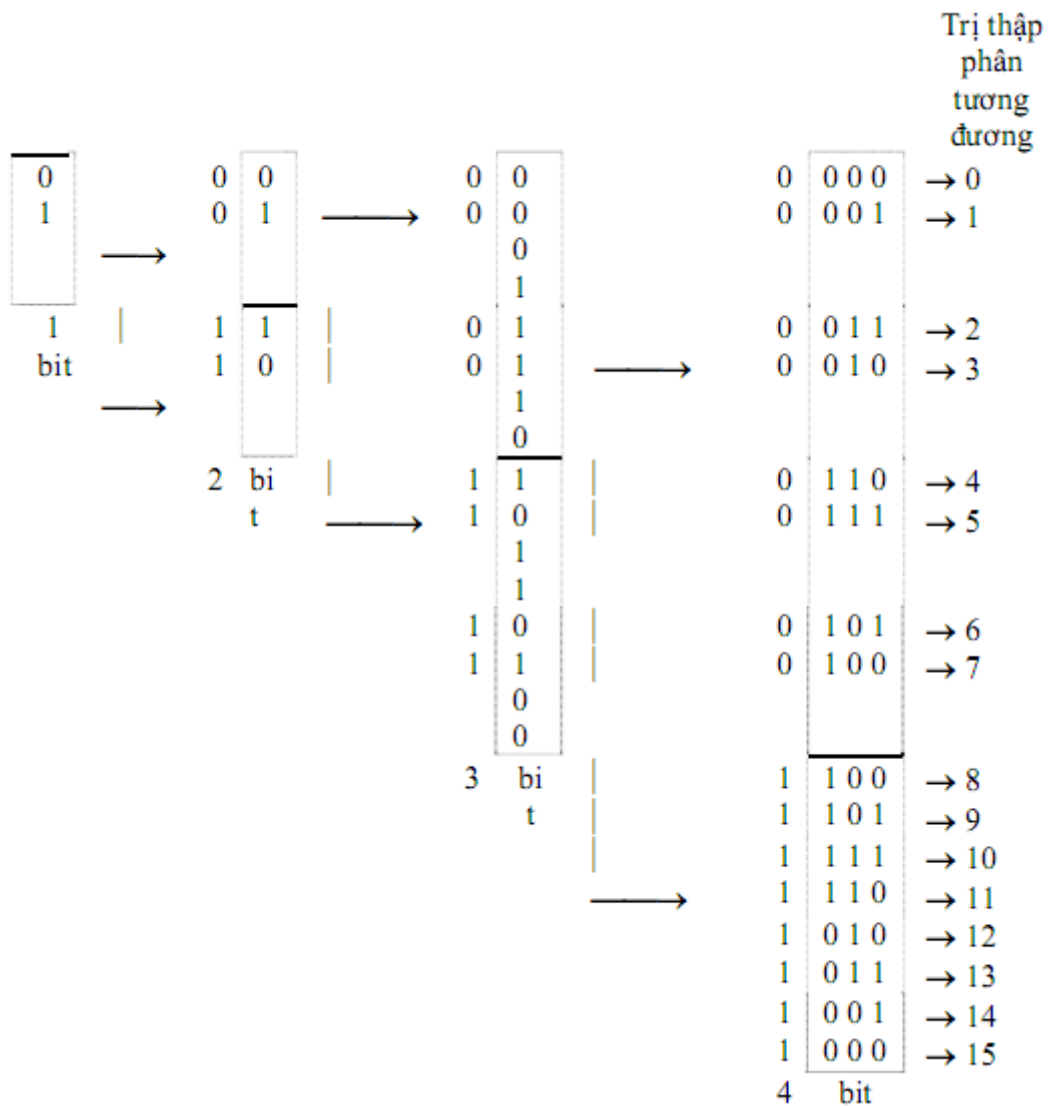
- Viết ra 2^n từ mã theo thứ tự từ nhỏ đến lớn

- Thêm số 0 vào trước tất cả các từ mã đã có để được một phần của tập hợp từ mã mới

- Phần thứ hai của tập hợp gồm các từ mã giống như phần thứ nhất nhưng trình bày theo thứ tự ngược lại (giống như phản chiếu qua gương) và phía trước thêm vào số 1 thay vì số 0 .



Để thiết lập mã Gray của số nhiều bit ta có thể thực hiện các bước liên tiếp từ tập hợp đầu tiên của số một bit (gồm hai bit 0, 1). Dưới đây là các bước tạo mã Gray của số 4 bit. Cột bên phải của bảng mã 4 bit cho giá trị tương đương trong hệ thập phân của mã Gray tương ứng.



Nhận xét các bảng mã của các số Gray (1 bit, 2 bit, 3 bit và 4 bit) ta thấy các số gần nhau luôn luôn khác nhau một bit, ngoài ra, trong từng bộ mã, các số đối xứng nhau qua gương cũng khác nhau một bit.

3. Mạch logic tổ hợp - đại số boole

Mục tiêu:

- Trình bày được các mạch logic tổ hợp.

3.1. Một số định nghĩa về hàm logic

- Trạng thái logic: trạng thái của một thực thể. Xét về mặt logic thì một thực thể chỉ tồn tại ở một trong hai trạng thái. Thí dụ, đối với một bóng đèn ta chỉ quan tâm nó đang ở trạng thái nào: tắt hay cháy. Vậy tắt / cháy là 2 trạng thái logic của nó.

- Biến logic dùng đặc trưng cho các trạng thái logic của các thực thể. Người ta biểu diễn biến logic bởi một ký hiệu (chữ hay dấu) và nó chỉ nhận 1 trong 2 giá trị : 0 hoặc 1.

Thí dụ trạng thái logic của một công tắc là đóng hoặc mở, mà ta có thể đặc trưng bởi trị 1 hoặc 0.

- Hàm logic diễn tả bởi một nhóm biến logic liên hệ nhau bởi các phép toán logic.

Cũng như biến logic, hàm logic chỉ nhận 1 trong 2 giá trị: 0 hoặc 1 tùy theo các điều kiện liên quan đến các biến.

Thí dụ, một mạch gồm một nguồn hiệu thế cấp cho một bóng đèn qua hai công tắc mắc nối tiếp, bóng đèn chỉ cháy khi cả 2 công tắc đều đóng. Trạng thái của bóng đèn là một hàm theo 2 biến là trạng thái của 2 công tắc.

Gọi A và B là tên biến chỉ công tắc, công tắc đóng ứng với trị 1 và hở ứng với trị 0. Y là hàm chỉ trạng thái bóng đèn, 1 chỉ đèn cháy và 0 khi đèn tắt.

Quan hệ giữa hàm Y và các biến A, B được diễn tả nhờ bảng sau:

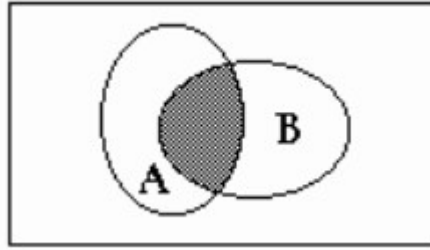
A	B	Y=f(A,B)
0 (hở)	0 (hở)	0 (tắt)
0 (hở)	1 (đóng)	0 (tắt)
1 (đóng)	0 (hở)	0 (tắt)
1 (đóng)	1 (đóng)	1 (cháy)

3.2. Biểu diễn biến và hàm logic

3.2.1. Giải đồ Venn

Còn gọi là giải đồ Euler, đặc biệt dùng trong lãnh vực tập hợp. Mỗi biến logic chia không gian ra 2 vùng không gian con, một vùng trong đó giá trị biến là đúng (hay=1), và vùng còn lại là vùng phụ trong đó giá trị biến là sai (hay=0).

Thí dụ: Phần giao nhau của hai tập hợp con A và B (gạch chéo) biểu diễn tập hợp trong đó A và B là đúng (A AND B)



3.2.2. Bảng sự thật

Nếu hàm có n biến, bảng sự thật có $n+1$ cột và $2^n + 1$ hàng. Hàng đầu tiên chỉ tên biến và hàm, các hàng còn lại trình bày các tổ hợp của n biến trong 2^n tổ hợp có thể có. Các cột đầu ghi giá trị của biến, cột cuối cùng ghi giá trị của hàm tương ứng với tổ hợp biến trên cùng hàng (gọi là trị riêng của hàm).

Thí dụ: Hàm OR của 2 biến A, B: $f(A,B) = (A \text{ OR } B)$ có bảng sự thật tương ứng.

A	B	$f(A,B) = A \text{ OR } B$
0	0	0
0	1	1
1	0	1
1	1	1

Đây là cách biểu diễn khác của bảng sự thật trong đó mỗi hàng của bảng sự thật được y thế bởi một ô mà tọa độ (gồm hàng và cột) xác định bởi tổ hợp đã cho của biến.

Bảng Karnaugh của n biến gồm 2^n ô. Giá trị của hàm được ghi tại mỗi ô của bảng. Bảng Karnaugh rất thuận tiện để đơn giản hàm logic bằng cách nhóm các ô lại với nhau.

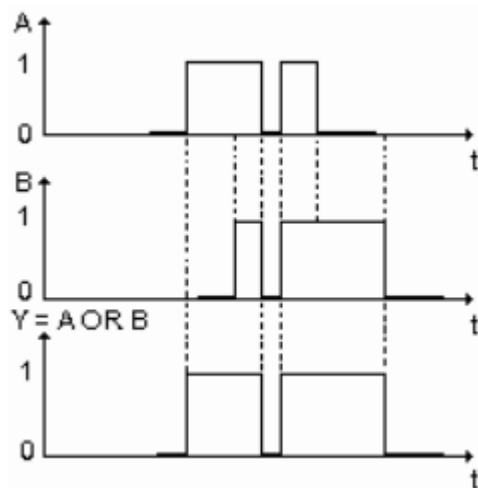
Thí dụ: Hàm OR ở trên được diễn tả bởi bảng Karnaugh sau đây

A \ B	0	1
0	0	1
1	1	1

3.2.4. Giản đồ thời gian

Dùng để diễn tả quan hệ giữa các hàm và biến theo thời gian, đồng thời với quan hệ logic.

Thí dụ: Giản đồ thời gian của hàm OR của 2 biến A và B, tại những thời điểm có một (hoặc 2) biến có giá trị 1 thì hàm có trị 1 và hàm chỉ có trị 0 tại những thời điểm mà cả 2 biến đều bằng 0.



3.3. Hàm logic cơ bản (Các phép toán logic)

3.3.1. Hàm NOT (đảo, bù) :

$$Y = \bar{A}$$

Bảng sự thật

A	$Y = \bar{A}$
0	1
1	0

3.3.2. Hàm AND [tích logic, toán tử (.)] :

$$Y = A.B$$

Bảng sự thật

A	B	$Y=A.B$
0	0	0
0	1	0
1	0	0
1	1	1

Nhận xét: Tính chất của hàm AND có thể được phát biểu như sau:

- Hàm AND của 2 (hay nhiều) biến chỉ có giá trị 1 khi tất cả các biến đều bằng 1 hoặc
- Hàm AND của 2 (hay nhiều) biến có giá trị 0 khi có một biến bằng 0.

3.3.3. Hàm OR [tổng logic, toán tử (+)] :

$$Y = A + B$$

Bảng sự thật

A	B	Y=A + B
0	0	0
0	1	1
1	0	1
1	1	1

Nhận xét: Tính chất của hàm OR có thể được phát biểu như sau:

- Hàm OR của 2 (hay nhiều) biến chỉ có giá trị 0 khi tất cả các biến đều bằng 0 hoặc
- Hàm OR của 2 (hay nhiều) biến có giá trị 1 khi có một biến bằng 1.

3.3.4. Hàm EX-OR (OR loại trừ)

$$Y = A \oplus B$$

Bảng sự thật

A	B	Y = A \oplus B
0	0	0
0	1	1
1	0	1
1	1	0

Nhận xét: Một số tính chất của hàm EX - OR:

- Hàm EX - OR của 2 biến chỉ có giá trị 1 khi hai biến khác nhau và ngược lại. Tính chất này được dùng để so sánh 2 biến.
- Hàm EX - OR của 2 biến cho phép thực hiện cộng hai số nhị phân 1 bit mà không quan tâm tới số nhớ.
- Từ kết quả của hàm EX-OR 2 biến ta suy ra bảng sự thật cho hàm 3 biến

A	B	C	Y = A \oplus B \oplus C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

- Trong trường hợp 3 biến (và suy rộng ra cho nhiều biến), hàm EX - OR có giá trị 1 khi số biến bằng 1 là số lẻ. Tính chất này được dùng để nhận dạng một chuỗi dữ liệu có số bit 1 là chẵn hay lẻ trong thiết kế mạch phát chẵn lẻ.

3.4. Rút gọn hàm logic

3.4.1. Phương pháp đại số

Phương pháp này bao gồm việc áp dụng các tính chất của hàm logic cơ bản. Một số đẳng thức thường được sử dụng được nhóm lại như sau:

$$(1) \quad AB + \bar{A}B = B \qquad (A+B).(\bar{A}+B) = B \qquad (1')$$

$$(2) \quad A + AB = A \qquad A.(A+B) = A \qquad (2')$$

$$(3) \quad A + \bar{A}B = A + B \quad A.(\bar{A}+B) = A.B \qquad (3')$$

Chứng minh các đẳng thức 1, 2, 3:

$$(1) \quad AB + \bar{A}B = B(A + \bar{A}) = B.1 = B$$

$$(2) \quad A + AB = A(1+B) = A$$

$$(3) \quad A + \bar{A}B = (A + \bar{A}).(A+B) = A+B$$

Các đẳng thức (1'), (2'), (3') là song đối của (1), (2), (3).

Các qui tắc rút gọn:

- Qui tắc 1: Nhờ các đẳng thức trên nhóm các số hạng lại.

Thí dụ: Rút gọn biểu thức

$$ABC + AB\bar{C} + A\bar{B}CD$$

Theo (1)

$$ABC + AB\bar{C} = AB$$

Vậy

$$ABC + AB\bar{C} + A\bar{B}CD = AB + A\bar{B}CD = A(B + \bar{B}CD)$$

Theo (3)

$$B + \bar{B}CD = B + CD$$

Và kết quả cuối cùng:

$$ABC + AB\bar{C} + A\bar{B}CD = A(B+CD)$$

- Qui tắc 2: Ta có thể thêm một số hạng đã có trong biểu thức logic vào biểu thức mà không làm thay đổi biểu thức.

Thí dụ: Rút gọn biểu thức:

$$ABC + \bar{A}BC + A\bar{B}C + AB\bar{C}$$

Thêm ABC vào để được:

$$(ABC + \bar{A}BC) + (ABC + A\bar{B}C) + (ABC + AB\bar{C})$$

Theo (1) các nhóm trong dấu ngoặc rút gọn thành: $BC + AC + AB$

Vậy:

$$ABC + \bar{A}BC + A\bar{B}C + AB\bar{C} = BC + AC + AB$$

- Qui tắc 3: Có thể bỏ số hạng chứa các biến đã có trong số hạng khác

Thí dụ 1: Rút gọn biểu thức

$$AB + \bar{B}C + AC$$

Biểu thức không đổi nếu ta nhân một số hạng trong biểu thức với 1,

ví dụ

$$(B + \bar{B})$$

$$AB + \bar{B}C + AC = \bar{A}B + \bar{B}C + AC(B + \bar{B})$$

Triển khai số hạng cuối cùng của vế phải, ta được:

$$AB + \bar{B}C + ABC + A\bar{B}C$$

$$\text{Thừa số chung: } AB(1+C) + \bar{B}C(1+A) = AB + \bar{B}C$$

$$\text{Tóm lại: } AB + \bar{B}C + AC = AB + \bar{B}C.$$

Trong bài toán này ta đã đơn giản được số hạng AC.

- Quy tắc 4: Có thể đơn giản bằng cách dùng hàm chuẩn tương đương có số hạng ít nhất.

Thí dụ: Hàm $f(A,B,C) = \Sigma(2,3,4,5,6,7)$ với trọng lượng $A=4, B=2, C=1$

$$\text{Hàm đảo của } f: \overline{f(A, B, C)} = \Sigma(0, 1) = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C = \overline{A} \cdot \overline{B} = \overline{A + B}$$

$$\text{Vậy } f(A,B,C) = A+B$$

3.4.2. Dùng bảng Karnaugh

3.4.2.1. Nguyên tắc

Xét hai tổ hợp biến AB và $A\overline{B}$, hai tổ hợp này chỉ khác nhau một bit, ta gọi chúng là hai tổ hợp kề nhau.

Ta có: $AB + A\overline{B} = A$, biến B đã được đơn giản.

Phương pháp của bảng Karnaugh dựa vào việc nhóm các tổ hợp kề nhau trên bảng để đơn giản biến có giá trị khác nhau trong các tổ hợp này.

Công việc rút gọn hàm được thực hiện theo bốn bước:

- Vẽ bảng Karnaugh theo số biến của hàm
- Chuyển hàm cần đơn giản vào bảng Karnaugh
- Gom các ô chứa các tổ hợp kề nhau lại thành các nhóm sao cho có thể rút gọn hàm tới mức tối giản
- Viết kết quả hàm rút gọn từ các nhóm đã gom được.

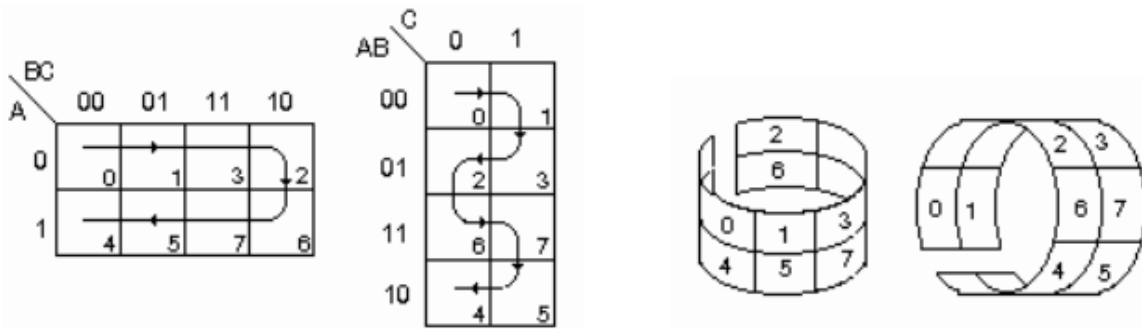
3.4.2.2 Vẽ bảng Karnaugh

- Bảng Karnaugh thực chất là một dạng khác của bảng sự thật, trong đó mỗi ô của bảng tương đương với một hàng trong bảng sự thật.

Để vẽ bảng Karnaugh cho n biến, người ta chia số biến ra làm đôi, phân nửa dùng để tạo $2^{n/2}$ cột, phân nửa còn lại tạo $2^{n/2}$ hàng (nếu n là số lẻ, người ta có thể cho số lượng biến trên cột lớn hơn số lượng biến cho hàng hay ngược lại cũng được). Như vậy, với một hàm có n biến, bảng Karnaugh gồm 2^n ô, mỗi ô tương ứng với tổ hợp biến này. Các ô trong bảng được sắp đặt sao cho hai ô kề nhau chỉ khác nhau một đơn vị nhị phân (khác nhau một bit), điều này cho thấy rất thuận tiện nếu chúng ta dùng mã Gray. Chính sự sắp đặt này cho phép ta đơn giản bằng cách nhóm các ô kề nhau lại.

Với 2 biến AB , sự sắp đặt sẽ theo thứ tự: $AB = 00, 01, 11, 10$ (đây là thứ tự mã Gray, nhưng để cho dễ ta dùng số nhị phân tương ứng để đọc thứ tự này: 0, 1, 3, 2)

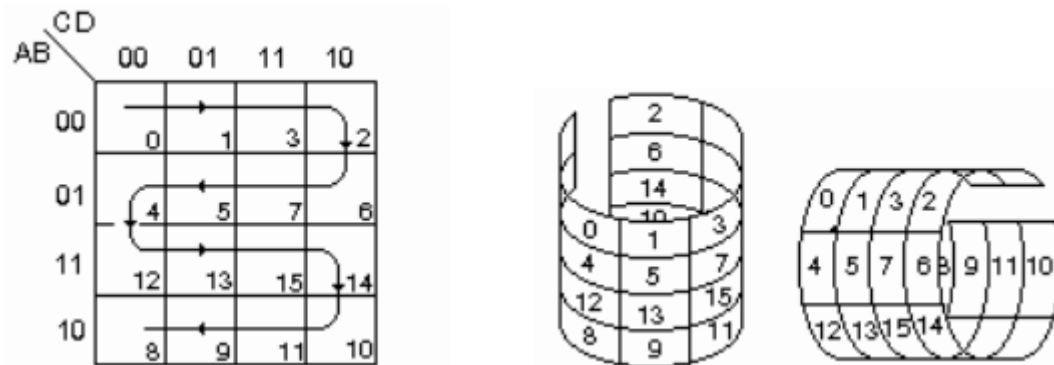
Thí dụ : Bảng Karnaugh cho hàm 3 biến ($A = \text{MSB}$, và $C = \text{LSB}$)



Với 3 biến ABC, ta được: ABC = 000, 001, 011, 010, 110, 111, 101, 100 (số nhị phân tương ứng: 0, 1, 3, 2, 6, 7, 5, 4)

Lưu ý là ta có thể thiết lập bảng Karnaugh theo chiều nằm ngang hay theo chiều đứng. Do các tổ hợp ở các bìa trái và phải kề nhau nên ta có thể coi bảng có dạng hình trụ thẳng đứng và các tổ hợp ở bìa trên và dưới cũng kề nhau nên ta có thể coi bảng có dạng hình trụ trục nằm ngang. Và 4 tổ hợp biến ở 4 góc cũng là các tổ hợp kề nhau.

bảng Karnaugh cho 4 biến

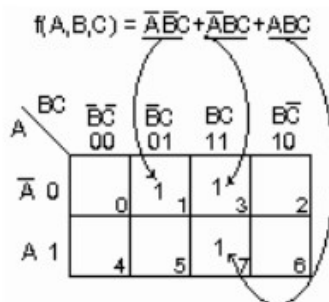


3.4.2.3. Chuyển hàm logic vào bảng Karnaugh.

Trong mỗi ô của bảng ta đưa vào giá trị của hàm tương ứng với tổ hợp biến, để đơn giản chúng ta có thể chỉ ghi các trị 1 mà bỏ qua các trị 0 của hàm. Ta có các trường hợp sau:

- ◆ Từ hàm viết dưới dạng tổng chuẩn:

Thí dụ 1 : $f(A,B,C) = \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C + A \cdot B \cdot C$



◆ Nếu hàm không phải là dạng chuẩn, ta phải đưa về dạng chuẩn bằng cách thêm vào các số hạng sao cho hàm vẫn không đổi nhưng các số hạng chứa đủ các biến.

Thí dụ 2 : $Y = \bar{A}BC + AB\bar{D} + A\bar{B}C + A\bar{C}D$

Hàm này gồm 4 biến, nên để đưa về dạng tổng chuẩn ta làm như sau:

$$Y = \bar{A}BC(D+\bar{D}) + AB\bar{D}(C+\bar{C}) + A\bar{B}C(D+\bar{D}) + A\bar{C}D(B+\bar{B})$$

$$Y = \bar{A}BCD + \bar{A}BC\bar{D} + ABC\bar{D} + ABC\bar{D} + A\bar{B}CD + A\bar{B}C\bar{D} + ABC\bar{D} + A\bar{B}C\bar{D}$$

Và Hàm Y được đưa vào bảng Karnaugh như sau:

	CD	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
AB		00	01	11	10
$\bar{A}\bar{B}$ 00					
$\bar{A}\bar{B}$ 01				1	1
AB 11	1	1		1	
$\bar{A}\bar{B}$ 10		1	1	1	

◆ Từ dạng số thứ nhất, với các trọng lượng tương ứng A=4, B=2, C=1

Thí dụ 3 : $f(A,B,C) = \Sigma(1,3,7)$. Hàm số sẽ lấy giá trị 1 trong các ô 1,3 và 7.

◆ Từ dạng tích chuẩn: Ta lấy hàm đảo để có dạng tổng chuẩn và ghi trị 0 vào các ô tương ứng với tổ hợp biến trong tổng chuẩn này. Các ô còn lại chứa số 1.

Thí dụ 4 : $Y = f(A,B,C) = (A+B+C).(A+\bar{B}+C).(\bar{A}+B+C).(\bar{A}+B+\bar{C}).(\bar{A}+\bar{B}+C)$

$$\bar{Y} = \bar{A}.\bar{B}.\bar{C} + \bar{A}.B.\bar{C} + A.\bar{B}.\bar{C} + A.\bar{B}.C + A.B.\bar{C}$$

Và bảng Karnaugh tương ứng (H 2.7).

	BC	$\bar{B}\bar{C}$	$\bar{B}C$	$B\bar{C}$	BC
A		00	01	11	10
\bar{A} 0	0	1	1	0	
A 1	0	0	1	0	

◆ Từ dạng số thứ hai:

Thí dụ 5 : $f(A,B,C) = \Pi(0,2,4,5,6)$

Hàm sẽ lấy các trị 0 ở các ô 0, 2, 4, 5, 6. Dĩ nhiên là ta phải ghi các giá trị 1 trong các ô còn lại.

◆ Từ bảng sự thật:

Thí dụ 6 : Hàm $f(A,B,C)$ cho bởi bảng sự thật

N	A	B	C	f(A,B,C)
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Ta ghi 1 vào các ô tương ứng với các tổ hợp biến ở hàng 1, 3 và 7, kết quả giống như ở thí dụ 1.

◆ Trường hợp có một số tổ hợp cho giá trị hàm không xác định: nghĩa là ứng với các tổ hợp này hàm có thể có giá trị 1 hoặc 0, do đó, ta ghi dấu X vào các ô tương ứng với các tổ hợp này, lúc gom nhóm ta sử dụng nó như số 1 hay số 0 một cách tùy ý sao cho có được kết quả rút gọn nhất.

Thí dụ 7: $f(A,B,C,D) = \Sigma(3,4,5,6,7)$ với các tổ hợp từ 10 đến 15 cho hàm có trị bất kỳ (không xác định)

CD		AB			
		00	01	11	10
AB	00			1	
	01	1	1	1	1
	11	X	X	X	X
	10			X	X

3.4.2.4. Quy tắc gom nhóm

Các tổ hợp biến có trong hàm logic hiện diện trong bảng Karnaugh dưới dạng các số 1 trong các ô, vậy việc gom thành nhóm các tổ hợp kề nhau được thực hiện theo quy tắc sau:

- Gom các số 1 kề nhau thành từng nhóm sao cho số nhóm càng ít càng tốt. Điều này có nghĩa là số số hạng trong kết quả sẽ càng ít đi.
- Tất cả các số 1 phải được gom thành nhóm và một số 1 có thể ở nhiều nhóm.
- Số số 1 trong mỗi nhóm càng nhiều càng tốt nhưng phải là bội của 2^k (mỗi nhóm có thể có 1, 2, 4, 8 ... số 1). Cứ mỗi nhóm chứa 2^k số 1 thì tổ hợp biến tương ứng với nhóm đó giảm đi k số hạng.
- Kiểm tra để bảo đảm số nhóm gom được không thừa.

3.4.2.5. Quy tắc rút gọn

- Kết quả cuối cùng được lấy như sau:

Hàm rút gọn là tổng của các tích: Mỗi số hạng của tổng tương ứng với một nhóm các số 1 nói trên và số hạng này là tích của các biến, biến A (hay \bar{A}) là thừa số của tích khi tất cả các số 1 của nhóm chỉ chứa trong phân nửa bảng trong đó biến A có giá trị 1 (hay 0). Nói cách khác nếu các số 1 của nhóm đồng thời nằm trong các ô của biến A và \bar{A} thì biến A sẽ được đơn giản. Hình dưới đây minh họa việc lấy các thừa số trong tích

Thí dụ : Rút gọn hàm S cho bởi bảng sự thật:

N	A	B	C	D	S
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10→15					x (Không xác định)

Bảng Karnaugh

		CD			
		00	01	11	10
AB	00			1	1
	01	1	1		
	11	x	x	x	x
	10			x	x

Kết quả :

$$S = B\bar{C} + \bar{B}C$$

4. Các cổng logic và IC số

Mục tiêu:

- Trình bày được các cổng logic và IC số.

4.1. Các cổng logic cơ bản

4.1.1. Cổng AND

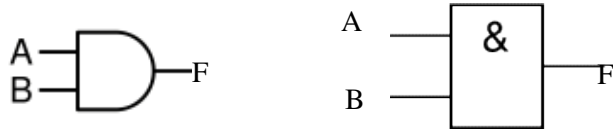
a. Chức năng:

Thực hiện phép toán logic VÀ (AND)

Đầu ra chỉ bằng 1 khi tất cả các đầu vào bằng 1

Cổng VÀ 2 đầu vào:

b. Ký hiệu:



Hình 1.1: Ký hiệu cổng AND

c.. *Bảng trạng thái:*

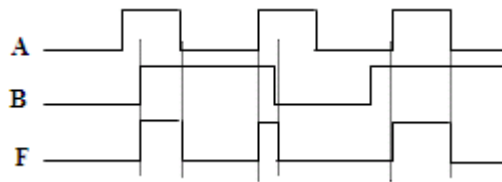
Bảng 1.1

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

d. *Biểu thức và dạng tín hiệu*

+ Biểu thức: $F = A \cdot B$

+ Dạng tín hiệu:



Hình 1.2: Dạng sóng

4.1.2. Cổng OR:

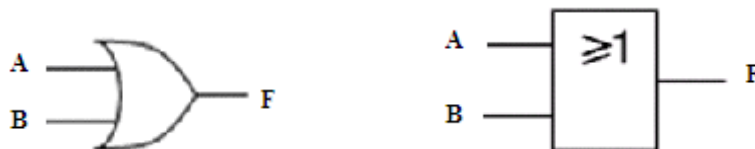
a. *Chức năng:*

Thực hiện phép toán logic HOẶC (OR)

Đầu ra chỉ bằng 0 khi tất cả các đầu vào bằng 0

Cổng HOẶC 2 đầu vào:

b. *Ký hiệu:*



Hình 1.3: Ký hiệu cổng OR

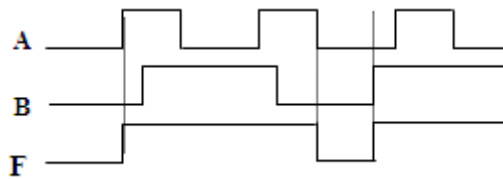
c. *Bảng trạng thái:*

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

d. Biểu thức và dạng sóng:

+ Biểu thức: $F = A + B$

+ Dạng sóng



Hình 1.4: dạng sóng

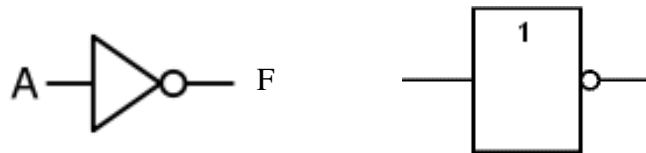
4.1.3. Cổng NOT:

a. Chức năng:

Thực hiện phép toán logic ĐẢO (NOT)

Cổng ĐẢO chỉ có 1 đầu vào:

b. Ký hiệu:



Hình 1.5: Ký hiệu cổng NOT

c. Bảng trạng thái :

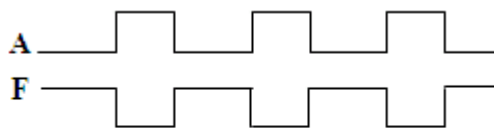
Bảng 3

A	F
0	1
1	0

d. Biểu thức và dạng sóng:

+ Biểu thức $F = \bar{A}$

+ Dạng sóng:



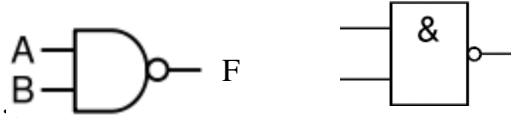
Hình 1.6: Dạng sóng

4.1.4. Cổng NAND:

a. Chức năng:

Thực hiện phép ĐẢO của phép toán logic VÀ
 Đầu ra chỉ bằng 0 khi tất cả các đầu vào bằng 1. Cổng VÀ ĐẢO 2 đầu
 vào:

b. Ký hiệu:



c. Bảng trạng thái:

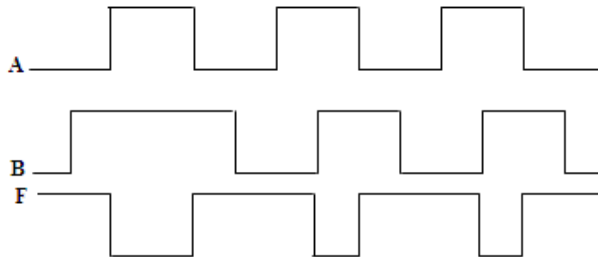
Hình 1.7: Ký hiệu cổng NAND

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

d. Biểu thức và dạng sóng:

+ Biểu thức: $F = A \cdot B$

+ Dạng sóng:



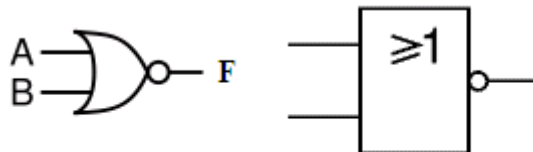
4.1.5. Cổng NOR:

a. Chức năng:

Thực hiện phép ĐẢO của phép toán logic HOẶC

Đầu ra chỉ bằng 1 khi tất cả các đầu vào bằng 0. Cổng HOẶC ĐẢO 2
 đầu vào:

b. Ký hiệu:



Hình 1.9: ký hiệu cổng NOR

c. Bảng trạng thái:

Bảng 5

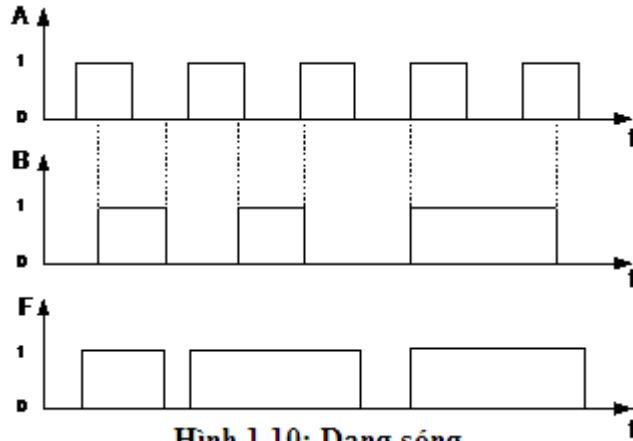
A	B	F
0	0	1
0	1	0
1	0	0

1	1	0
---	---	---

d. Biểu thức và dạng tín hiệu:

+ Biểu thức: $F = \overline{A} \cdot B$

+ Dạng tín hiệu vào ra



Hình 1.10: Dạng sóng

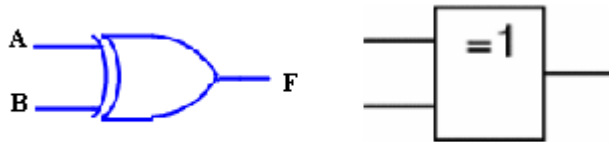
4.1.6. Cổng EX-OR:

a. Chức năng:

Exclusive-OR

Thực hiện biểu thức logic HOẶC CÓ LOẠI TRỪ (phép toán XOR - hay còn là phép cộng module 2). Đầu ra chỉ bằng 0 khi tất cả các đầu vào giống nhau. Cổng XOR 2 đầu vào:

b. Ký hiệu:



Hình 1.11: Ký hiệu cổng EX=OR

c. Bảng trạng thái:

Bảng 6

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

d. Biểu thức logic và dạng sóng:

+ Biểu thức logic: $F = A \oplus B = \overline{A} \cdot B + A \cdot \overline{B}$

+ Dạng sóng:



Hình 1.12: Dạng sóng

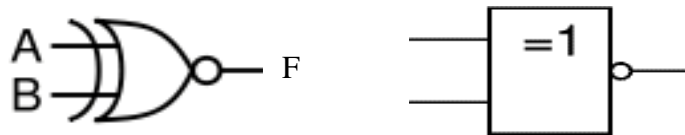
4.1.7. Cổng EX – NOR:

a. Chức năng:

Exclusive-NOR

Thực hiện phép ĐẢO của phép toán XOR. Đầu ra chỉ bằng 1 khi tất cả các đầu vào giống nhau. Cổng XNOR 2 đầu vào:

b. Ký hiệu:



Hình 1.13: Ký hiệu cổng EX –NOR

c. Bảng trạng thái:

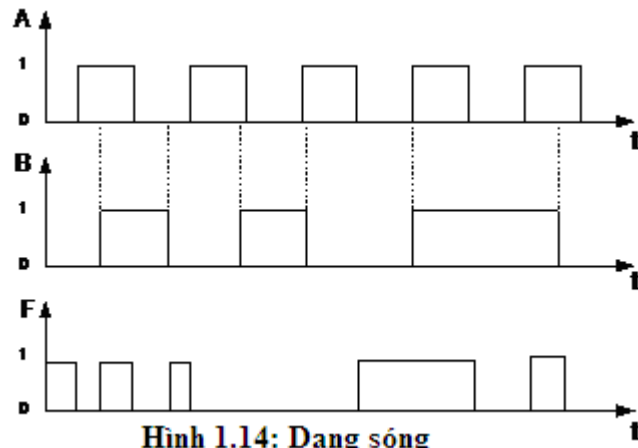
Bảng 7

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

d. Biểu thức logic và dạng sóng:

+ Biểu thức logic $F = \overline{A}B + A\overline{B}$

+ Dạng sóng tín hiệu vào ra



Hình 1.14: Dạng sóng

4.1.8. Cổng BUFFER

Còn gọi là cổng đệm. Tín hiệu số qua cổng BUFFER không đổi trạng thái logic. Cổng BUFFER được dùng với các mục đích sau:

- Sửa dạng tín hiệu.
- Đưa điện thế của tín hiệu về đúng chuẩn của các mức logic.
- Nâng khả năng cấp dòng cho mạch.
- Ký hiệu của cổng BUFFER.



Hình 1.15: Ký hiệu cổng đệm

Tuy cổng đệm không làm thay đổi trạng thái logic của tín hiệu vào cổng nhưng nó giữ vai trò rất quan trọng trong các mạch số.

4.2. Các IC số thông dụng

4.2.1. Thông số kỹ thuật của IC số

4.2.1.1. Các đại lượng điện đặc trưng

- V_{CC} : Điện thế nguồn (power supply): khoảng điện thế cho phép cấp cho IC để hoạt động tốt. Thí dụ với IC số họ TTL, $V_{CC}=5\pm 0,5\text{ V}$, họ CMOS $V_{DD}=3-15\text{V}$ (Người ta thường dùng ký hiệu V_{DD} và V_{SS} để chỉ nguồn và mass của IC họ MOS)
- $V_{IH}(\text{min})$: Điện thế ngõ vào mức cao (High level input voltage): Đây là điện thế ngõ vào nhỏ nhất còn được xem là mức 1
- $V_{IL}(\text{max})$: Điện thế ngõ vào mức thấp (Low level input voltage): Điện thế ngõ vào lớn nhất còn được xem là mức 0.
- $V_{OH}(\text{min})$: Điện thế ngõ ra mức cao (High level output voltage): Điện thế nhỏ nhất của ngõ ra khi ở mức cao.
- $V_{OL}(\text{max})$: Điện thế ngõ ra mức thấp (Low level output voltage): Điện thế lớn nhất của ngõ ra khi ở mức thấp.
- I_{IH} : Dòng điện ngõ vào mức cao (High level input current): Dòng điện lớn nhất vào ngõ vào IC khi ngõ vào này ở mức cao.
- I_{IL} : Dòng điện ngõ vào mức thấp (Low level input current): Dòng điện ra khỏi ngõ vào IC khi ngõ vào này ở mức thấp

- I_{OH} : Dòng điện ngõ ra mức cao (High level output current): Dòng điện lớn nhất ngõ ra có thể cấp cho tải khi nó ở mức cao.
- I_{OL} : Dòng điện ngõ ra mức thấp (Low level output current): Dòng điện lớn nhất ngõ ra có thể nhận khi ở mức thấp.
- I_{CCH}, I_{CCL} : Dòng điện chạy qua IC khi ngõ ra lần lượt ở mức cao và thấp. Ngoài ra còn một số thông số khác được nêu ra dưới đây

4.2.1.2 Công suất tiêu tán (Power requirement)

Mỗi IC khi hoạt động sẽ tiêu thụ một công suất từ nguồn cung cấp V_{CC} (hay V_{DD}).

Công suất tiêu tán này xác định bởi điện thế nguồn và dòng điện qua IC. Do khi hoạt động dòng qua IC thường xuyên thay đổi giữa hai trạng thái cao và thấp nên công suất tiêu tán sẽ được tính từ dòng trung bình qua IC và công suất tính được là công suất tiêu tán trung bình

$$P_D(\text{avg}) = I_{CC}(\text{avg}) \cdot V_{CC}$$

$$I_{CC}(\text{avg}) = \frac{I_{CCH} + I_{CCL}}{2}$$

Đối với các cổng logic họ TTL, công suất tiêu tán ở hàng mW và với họ MOS thì chỉ ở hàng nW.

4.2.1.3 Fan-Out:

Một cách tổng quát, ngõ ra của một mạch logic đòi hỏi phải cấp dòng cho một số ngõ vào các mạch logic khác. Fan Out là số ngõ vào lớn nhất có thể nối với ngõ ra của một IC cùng loại mà vẫn bảo đảm mạch hoạt động bình thường. Nói cách khác Fan Out chỉ khả năng chịu tải của một cổng logic. Ta có hai loại Fan-Out ứng với 2 trạng thái logic của ngõ ra:

$$\text{Fan-Out}_H = \frac{I_{OH}}{I_{IH}}$$

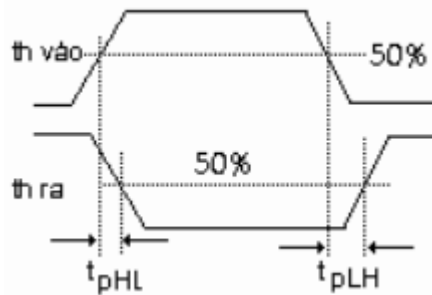
$$\text{Fan-Out}_L = \frac{I_{OL}}{I_{IL}}$$

Thường hai giá trị Fan-Out này khác nhau, khi sử dụng, để an toàn, ta nên dùng trị nhỏ nhất trong hai trị này. Fan-Out được tính theo đơn vị Unit Load UL (tải đơn vị).

4.2.1.4 Thời trễ truyền (Propagation delays)

Tín hiệu logic khi truyền qua một cổng luôn luôn có một thời gian trễ.

Có hai loại thời trễ truyền: Thời trễ truyền từ thấp lên cao t_{PLH} và thời trễ truyền từ cao xuống thấp t_{PHL} . Hai giá trị này thường khác nhau. Sự thay đổi trạng thái được xác định ở tín hiệu ra. Thí dụ tín hiệu qua một cổng đảo, thời trễ truyền được xác định



Tùy theo họ IC, thời trễ truyền thay đổi từ vài ns đến vài trăm ns. Thời trễ truyền càng lớn thì tốc độ làm việc của IC càng nhỏ.

4.2.1.5 Tích số công suất-vận tốc (speed- power product)

Để đánh giá chất lượng IC, người ta dùng đại lượng tích số công suất-vận tốc đó là tích số công suất tiêu tán và thời trễ truyền. Thí dụ họ IC có thời trễ truyền là 10 ns và công suất tiêu tán trung bình là 50 mW thì tích số công suất-vận tốc là:

$$10 \text{ ns} \times 5 \text{ mW} = 10 \cdot 10^{-9} \times 5 \cdot 10^{-3} = 50 \times 10^{-12} \text{ watt-sec} = 50 \text{ picojoules (pj)}$$

Trong quá trình phát triển của công nghệ chế tạo IC người ta luôn muốn đạt được các IC có công suất tiêu tán và thời trễ truyền càng nhỏ càng tốt. Như vậy một IC có chất lượng càng tốt khi tích số công suất-vận tốc càng nhỏ. Tuy nhiên trên thực tế hai giá trị này thay đổi theo chiều ngược với nhau, nên ta khó mà đạt được các giá trị theo ý muốn, dù sao trong quá trình phát triển của công nghệ chế tạo linh kiện điện tử trị số này luôn được cải thiện.

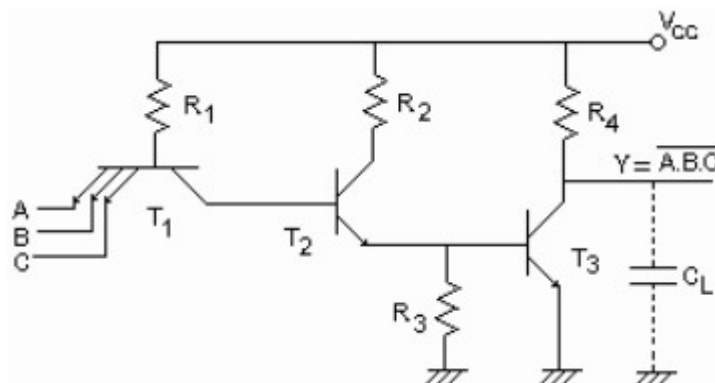
4.2.2. IC số họ TTL

Trong quá trình phát triển của công nghệ chế tạo mạch số ta có các họ: RTL (Resistor-transistor logic), DCTL (Direct couple-transistor logic), RCTL (Resistor-Capacitor-transistor logic), DTL (Diod-transistor logic), ECL (Emitter- couple logic) v.v.... Đến bây giờ tồn tại hai họ có nhiều tính năng kỹ thuật cao như thời trễ truyền nhỏ, tiêu hao công suất ít, đó là họ TTL (transistor-transistor logic) dùng công nghệ chế tạo BJT và họ MOS (Công nghệ chế tạo MOS)

Dưới đây, lần lượt khảo sát các cổng logic của hai họ TTL và MOS

4.2.2.1. Cổng cơ bản họ TTL

Lấy cổng NAND 3 ngõ vào làm thí dụ để thấy cấu tạo và vận hành của một cổng cơ bản

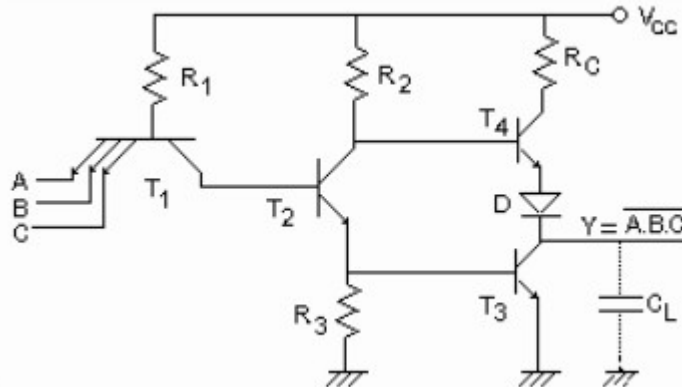


Khi một trong các ngõ vào A, B, C xuống mức không T_1 dẫn đưa đến T_2 ngưng, T_3 ngưng, ngõ ra Y lên cao; khi cả 3 ngõ vào lên cao, T_1 ngưng, T_2 dẫn, T_3 dẫn, ngõ ra Y xuống thấp. Đó chính là kết quả của cổng NAND.

Tụ C_L trong mạch chính là tụ ký sinh tạo bởi sự kết hợp giữa ngõ ra của mạch (tầng thúc) với ngõ vào của tầng tải, khi mạch hoạt động tụ sẽ nạp điện qua R_4 (lúc T_3 ngưng) và phóng qua T_3 khi transistor này dẫn do đó thời trễ truyền của mạch quyết định bởi R_4 và C_L , khi R_4 nhỏ mạch hoạt động nhanh nhưng công suất tiêu thụ lúc đó lớn, muốn giảm công suất phải tăng R_4 nhưng như vậy thời trễ truyền sẽ lớn hơn (mạch giao hoán chậm hơn). Để giải quyết khuyết điểm này đồng thời thỏa mãn một số yêu cầu khác, người ta đã chế tạo các cổng logic với các kiểu ngõ ra khác nhau.

4.2.2.2. Các kiểu ngõ ra

* Ngõ ra totempole

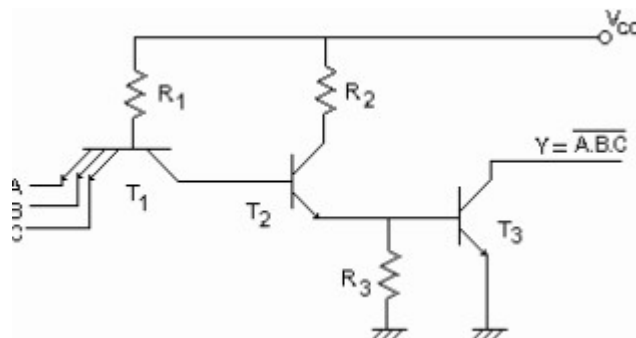


R_4 trong mạch cơ bản được thay thế bởi cụm T_4 , R_C và Diode D, trong đó R_C có trị rất nhỏ, không đáng kể. T_2 bây giờ giữ vai trò mạch đảo pha: khi T_2 dẫn thì T_3 dẫn và T_4 ngưng, Y xuống thấp, khi T_2 ngưng thì T_3 ngưng và T_4 dẫn, ngõ ra Y lên cao. Tụ C_L nạp điện qua T_4 khi T_4 dẫn và phóng qua T_3 (dẫn), thời hằng mạch rất nhỏ và kết quả là thời trễ truyền nhỏ.

Ngoài ra do T_3 & T_4 luân phiên ngưng tương ứng với 2 trạng thái của ngõ ra nên công suất tiêu thụ giảm đáng kể. Diode D có tác dụng nâng điện thế cực B của T_4 lên để bảo đảm khi T_3 dẫn thì T_4 ngưng.

Mạch này có khuyết điểm là không thể nối chung nhiều ngõ ra của các cổng khác nhau vì có thể gây hư hỏng khi các trạng thái logic của các cổng này khác nhau.

* Ngõ ra cực thu để hở



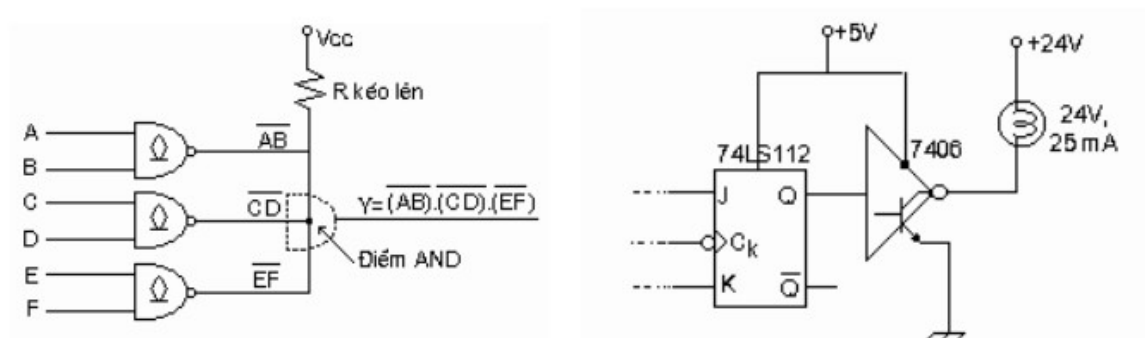
Ngõ ra cực thu để hở có một số lợi điểm sau:

- Cho phép kết nối các ngõ ra của nhiều cổng khác nhau, nhưng khi sử dụng phải mắc một điện trở từ ngõ ra lên nguồn Vcc, gọi là điện trở kéo lên, trị số của điện trở này có thể được chọn lớn hay nhỏ tùy theo yêu cầu có lợi về mặt công suất hay tốc độ làm việc.

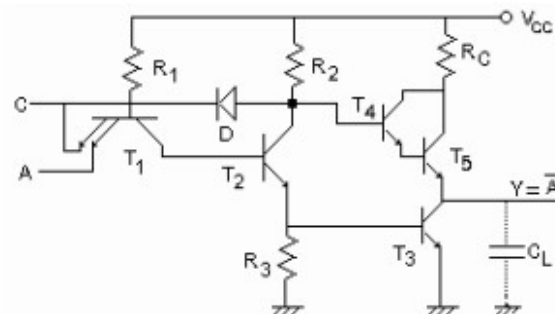
Điểm nối chung của các ngõ ra có tác dụng như một cổng AND nên ta gọi là điểm AND

- Người ta cũng chế tạo các IC ngõ ra có cực thu để hở cho phép điện trở kéo lên mắc vào nguồn điện thế cao, dùng cho các tải đặc biệt hoặc dùng tạo sự giao tiếp giữa họ TTL với CMOS dùng nguồn cao.

Thí dụ IC 7406 là loại cổng đảo có ngõ ra cực thu để hở có thể mắc lên nguồn 24 V



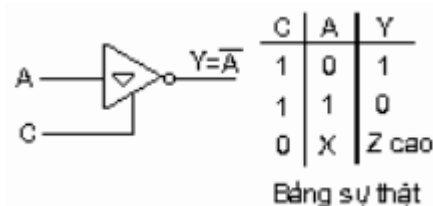
* Ngõ ra ba trạng thái



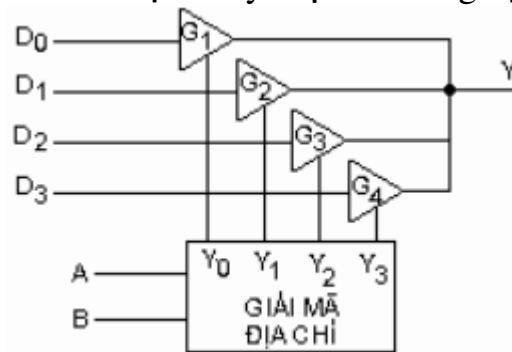
Mạch là một cổng đảo có ngõ ra 3 trạng thái, trong đó T₄ & T₅ được mắc Darlington để cấp dòng ra lớn cho tải. Diod D nối vào ngõ vào C để điều khiển. Hoạt động của mạch giải thích như sau:

- Khi C=1, Diod D ngưng dẫn, mạch hoạt động như một cổng đảo
- Khi C=0, Diod D dẫn, cực thu T₂ bị ghim áp ở mức thấp nên T₃, T₄ & T₅ đều ngưng, ngõ ra mạch ở trạng thái tổng trở cao.

Ký hiệu của cổng đảo ngõ ra 3 trạng thái, có ngõ điều khiển C tác động mức cao và bằng sự thật



Cũng có các cổng đảo và cổng đệm 3 trạng thái với ngõ điều khiển C tác động mức thấp mà SV có thể tự vẽ ký hiệu và bảng sự thật.



Đây là một ứng dụng của cổng đệm có ngõ ra 3 trạng thái: Mạch chọn dữ liệu.

Vận chuyển: Ứng với một giá trị địa chỉ AB, một ngõ ra mạch giải mã địa chỉ được tác động (lên cao) cho phép một cổng mở và dữ liệu ở ngõ vào cổng đó được truyền ra ngõ ra.

Thí dụ khi $AB = 00$, $Y_0 = 1$ ($Y_1 = Y_2 = Y_3 = 0$) G_1 mở, D_0 truyền qua G_1 đến ngõ ra, trong lúc G_2, G_3, G_4 đóng, có ngõ ra ở trạng thái Z cao, không ảnh hưởng đến hoạt động của mạch.

4.2.2.3. Đặc tính các loạt TTL

Các IC số họ TTL được sản xuất lần đầu tiên vào năm 1964 bởi hãng Texas Instrument Corporation của Mỹ, lấy số hiệu là 74XXXX & 54XXXX. Sự khác biệt giữa 2 họ 74XXXX và 54XXXX chỉ ở hai điểm:

74: $V_{CC} = 5 \pm 0,5$ V và khoảng nhiệt độ hoạt động từ 0°C đến 70°C

54: $V_{CC} = 5 \pm 0,25$ V và khoảng nhiệt độ hoạt động từ -55°C đến 125°C

Các tính chất khác hoàn toàn giống nhau nếu chúng có cùng số.

Trước số 74 thường có thêm ký hiệu để chỉ hãng sản xuất. Thí dụ SN của hãng Texas, DM của National Semiconductor, S của Signetics

Ngoài ra trong quá trình phát triển, các thông số kỹ thuật (nhất là tích số công suất vận tốc) luôn được cải tiến và ta có các loạt khác nhau: 74 chuẩn, 74L (Low power), 74H (High speed), 74S (Schottky), 74LS (Low power Schottky), 74AS (Advance Schottky), 74ALS (Advance Low power Schottky), 74F (Fast, Fair Child).

Một số tính chất của các loạt kể trên:

Thông số kỹ thuật	74	74L	74H	74S	74LS	74AS	74ALS	74F
Thời trễ truyền (ns)	9	33	6	3	9,5	1,7	4	3
Công suất tiêu tán (mW)	10	1	23	20	2	8	1,2	6
Tích số công suất vận tốc (pJ)	90	33	138	60	19	13,6	4,8	18
Tần số xung C_K max (MHz)	35	3	50	125	45	200	70	100
Fan Out (cùng loạt)	10	20	10	20	20	40	20	33
Điện thế								
V_{OH} (min)	2,4	2,4	2,4	2,7	2,7	2,5	2,5	2,5
V_{OL} (max)	0,4	0,4	0,4	0,5	0,5	0,5	0,4	0,5
V_{IH} (min)	2,0	2,0	2,0	2,0	2,0	2,0	2,0	2,0
V_{IL} (max)	0,8	0,7	0,8	0,8	0,8	0,8	0,8	0,8

- Loạt 74S: Các transistor trong mạch được mắc thêm một Diode Schottky giữa hai cực CB với mục đích giảm thời gian chuyển trạng thái của transistor do đó làm giảm thời trễ truyền.

- Loạt 74AS và 74ALS là cải tiến của 74S để làm giảm hơn nữa giá trị tích số Công suất - Vận tốc.

- Loạt 74F: Dùng kỹ thuật đặc biệt làm giảm điện dung ký sinh do đó cải thiện thời trễ truyền của cổng.

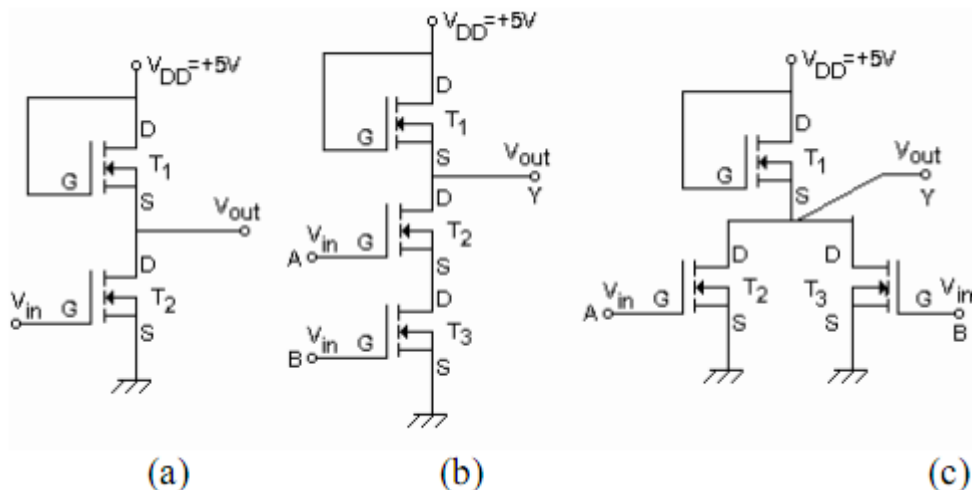
4.2.3.IC số họ CMOS

Gồm các IC số dùng công nghệ chế tạo của transistor MOSFET loại tăng, kênh N và kênh P. Với transistor kênh N ta có NMOS, transistor kênh P ta có PMOS và nếu dùng cả hai loại transistor kênh P & N ta có CMOS. Tính năng kỹ thuật của loại NMOS và PMOS có thể nói là giống nhau, trừ nguồn cấp điện có chiều ngược với nhau do đó ta chỉ xét loại NMOS và CMOS. Các transistor MOS dùng trong IC số cũng chỉ hoạt động ở một trong 2 trạng thái: dẫn hoặc ngưng.

- Khi dẫn, tùy theo nồng độ pha của chất bán dẫn mà transistor có nội trở rất nhỏ (từ vài chục Ω đến hàng trăm $K\Omega$) tương đương với một khóa đóng.

- Khi ngưng, transistor có nội trở rất lớn (hàng $10^{10}\Omega$), tương đương với một khóa hở.

4.2.3.1. Cổng cơ bản NMOS



(Hình a), (Hình b) và (Hình c) là các cổng NOT, NAND và NOR dùng NMOS

Bảng quan hệ giữa các điện thế của các ngõ vào , ra cổng NOT

V_{in}	T_1	T_2	V_{out}
0V (logic 0)	$R_{ON} = 100K\Omega$	$R_{OFF} = 10^{10}\Omega$	+5V (logic 1)
+5V (logic 1)	$R_{ON} = 100K\Omega$	$R_{ON} = 1K\Omega$	0,05V (logic 0)

Ngoài ra vận hành của cổng NAND và NOR được giải thích như sau:

* Cổng NAND:

- Khi 2 ngõ vào nối lên mức cao, T2 và T3 dẫn, ngõ ra xuống thấp.
- Khi có 1 ngõ vào nối xuống mức thấp, một trong 2 transistor T2 hoặc T3 ngưng, ngõ ra lên cao.

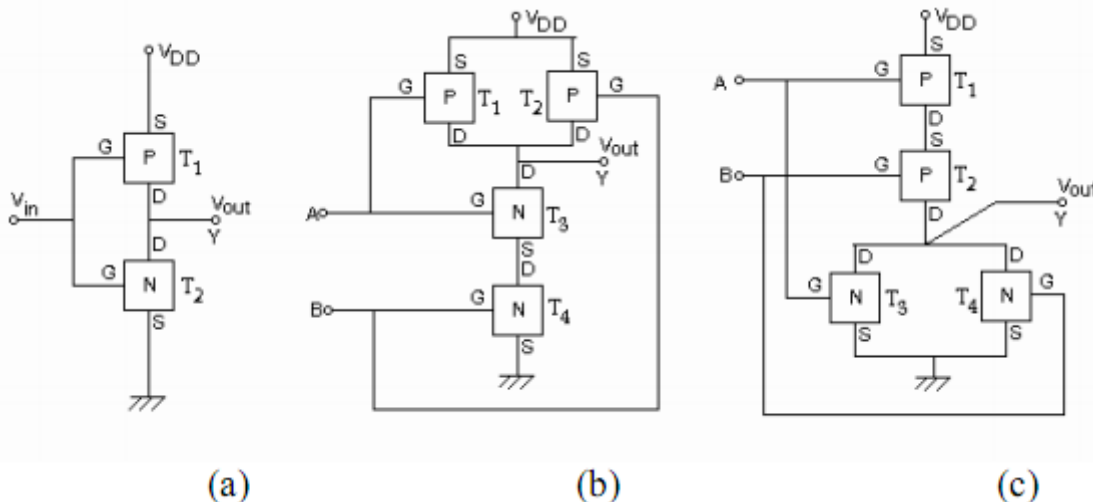
Đó chính là kết quả của cổng NAND 2 ngõ vào.

* Cổng NOR:

- Khi 2 ngõ vào nối xuống mức thấp, T2 và T3 ngưng, ngõ ra lên cao.
- Khi có 1 ngõ vào nối lên mức cao, một trong 2 transistor T2 hoặc T3 dẫn, ngõ ra xuống thấp.

Đó chính là kết quả của cổng NOR 2 ngõ vào.

4.2.3.2. Cổng cơ bản CMOS



Họ CMOS sử dụng hai loại transistor kênh N và P với mục đích cải thiện tích số công suất vận tốc, mặc dù khả năng tích hợp thấp hơn loại N và P. (Hình a), (Hình b) và (Hình c) là các cổng NOT, NAND và NOR họ CMOS

Bảng quan hệ điện thế của các ngõ vào , ra cổng NOT

V_{in}	T_1	T_2	V_{out}
V_{DD} (logic 1)	$R_{OFF} = 10^{10}\Omega$	$R_{ON} = 1K\Omega$	0V (logic 0)
0V (logic 0)	$R_{ON} = 1K\Omega$	$R_{OFF} = 10^{10}\Omega$	V_{DD} (logic 1)

Ngoài ra vận hành của cổng NAND và NOR được giải thích như sau:

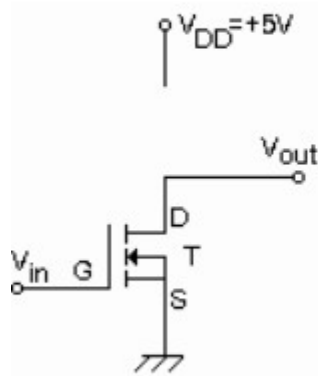
* Cổng NAND:

- Khi 2 ngõ vào nối lên mức cao, T1 và T2 ngưng, T3 và T4 dẫn, ngõ ra xuống thấp.
- Khi có 1 ngõ vào nối xuống mức thấp, một trong 2 transistor T3 hoặc T4 ngưng, một trong 2 transistor T1 hoặc T2 dẫn, ngõ ra lên cao. Đó chính là kết quả của cổng NAND 2 ngõ vào.

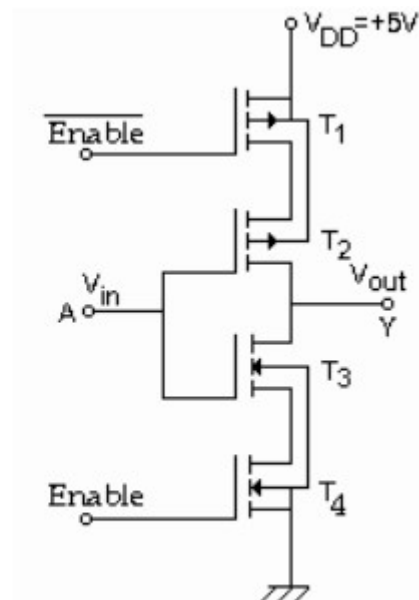
* Cổng NOR:

- Khi 2 ngõ vào nối xuống mức thấp, T1 và T2 dẫn, T3 và T4 ngưng, ngõ ra lên cao.
- Khi có 1 ngõ vào nối lên mức cao, một trong 2 transistor T3 hoặc T4 dẫn, một trong 2 transistor T1 hoặc T2 ngưng, ngõ ra xuống thấp. Đó chính là kết quả của cổng NOR 2 ngõ vào.

4.2.3.3. Các cổng CMOS khác



(a)

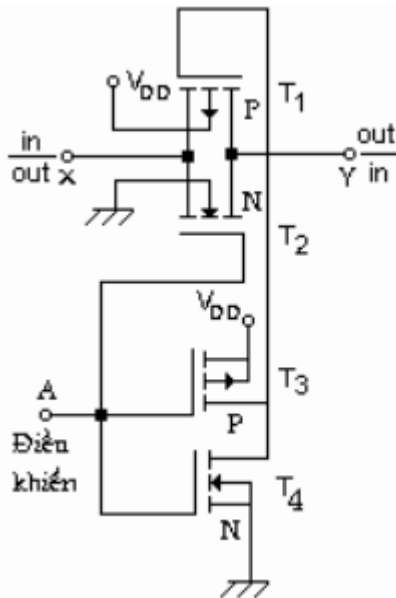


(b)

Người ta cũng sản xuất các cổng CMOS với cực Drain để hở và ngõ ra 3 trạng thái để sử dụng trong các trường hợp đặc biệt như họ TTL. (Hình a) là một cổng NOT có cực D để hở, khi sử dụng phải có điện trở kéo lên (Hình b) là một cổng NOT có ngõ ra 3 trạng thái:

- Khi ngõ vào Enable = 1, T1 và T4 dẫn, mạch hoạt động như là cổng đảo.
- Khi ngõ vào Enable = 0, T1 và T4 đều ngưng đưa mạch vào trạng thái Z cao.

Ngoài ra lợi dụng tính chất của transistor MOS có nội trở rất nhỏ khi dẫn, người ta cũng chế tạo các mạch có khả năng truyền tín hiệu theo 2 chiều, gọi là khóa 2 chiều, là một khóa 2 chiều với A là ngõ vào điều khiển. Khi A = 0 khóa hở, khi A = 1, khóa đóng cho tín hiệu truyền qua theo 2 chiều



A	X to Y	Y to X
0	OFF	OFF
1	ON	ON

Vận hành: T3 và T4 vai trò là một cổng đảo

- Khi $A = 0$, cực G của T2 ở mức thấp nên T2 (kênh N) ngưng, cực G của T1 (kênh P) ở mức cao nên T1 ngưng, mạch tương đương với khóa hở.
- Khi $A = 1$, cực G của T2 ở mức cao nên T2 dẫn, cực G của T1 ở mức thấp nên T1 dẫn, mạch tương đương với khóa đóng. Tín hiệu truyền qua một chiều nhờ T1 (loại P) và theo chiều ngược lại nhờ T2 (loại N). Biên độ của tín hiệu V_i truyền qua khóa phải thỏa điều kiện $0 < V_i < V_{DD}$. Như vậy nếu ta sử dụng nguồn $\pm V_{DD}$ thì khóa cho tín hiệu xoay chiều đi qua.

4.2.3.3. Đặc tính của họ MOS

Một số tính chất chung của các cổng logic họ MOS (NMOS, PMOS và CMOS) có thể kể ra như sau:

- Nguồn cấp điện : V_{DD} từ 3V đến 15V
- Mức logic: $V_{OL}(\max) = 0V$ $V_{OH}(\min) = V_{DD}$
 $V_{IL}(\max) = 30\% V_{DD}$ $V_{IH}(\min) = 70\% V_{DD}$
- Lề nhiễu : $V_{NH} = 30\% V_{DD}$ $V_{NL} = 30\% V_{DD}$

Với nguồn 5V, lề nhiễu khoảng 1,5V, rất lớn so với họ TTL.

- Thời trễ truyền tương đối lớn, khoảng vài chục ns, do điện dung ký sinh ở ngõ vào và tổng trở ra của transistor khá lớn.
- Công suất tiêu tán tương đối nhỏ, hàng nW, do dòng qua transistor MOS rất nhỏ.
- Số Fan Out: 50 UL

Do tổng trở vào của transistor MOS rất lớn nên dòng tải cho các cổng họ MOS rất nhỏ, do đó số Fan Out của họ MOS rất lớn, tuy nhiên khi mắc nhiều tầng tải vào một tầng thúc thì điện dung ký sinh tăng lên (gồm nhiều tụ mắc song song) ảnh hưởng đến thời gian giao hoán của mạch nên khi dùng ở tần số cao người ta giới hạn số Fan Out là 50, nghĩa là một cổng MOS có thể cấp dòng cho 50 cổng tải cùng loại.

- Như đã nói ở trên, CMOS có cải thiện thời trễ truyền so với loại NMOS và PMOS, tuy nhiên mật độ tích hợp của CMOS thì nhỏ hơn hai loại này. Dù sao

so với họ TTL thì mật độ tích hợp của họ MOS nói chung lớn hơn rất nhiều, do đó họ MOS rất thích hợp để chế tạo dưới dạng LSI và VLSI.

4.2.3.4. Các loại CMOS

CMOS có hai ký hiệu: 4XXX do hãng RCA chế tạo và 14XXX của hãng MOTOROLA, có hai loại 4XXXA (14XXXA) và 4XXXB (14XXXB), loại B ra đời sau có cải thiện dòng ra.

Ngoài ra còn có các loại :

- 74C : CMOS có cùng sơ đồ chân và chức năng với IC TTL nếu có cùng số. Thí dụ IC 74C74 là IC gồm 2 FF D tác động bởi cạnh xung đồng hồ giống như IC 7474 của TTL.

Hầu hết (nhưng không tất cả) các thông số của loại 74C giống với 74 TTL nên ta có thể thay thế 2 loại này cho nhau được.

- 74HC (High speed CMOS), 74HCT: Đây là loại cải tiến của 74C, tốc độ giao hoán có thể so sánh với 74LS, riêng 74HCT thì hoàn toàn tương thích với TTL kể cả các mức logic. Đây là loại IC CMOS được dùng rộng rãi.

- 74AC và 74ACT (Advance CMOS) cải tiến của 74 HC và HCT về mặt nhiều bằng cách sắp xếp lại thứ tự các chân, do đó nó không tương thích với TTL về sơ đồ chân.

Thực hành:

Bài 1: Lắp ráp khảo sát cổng NOT (Đảo)

.....
 ...

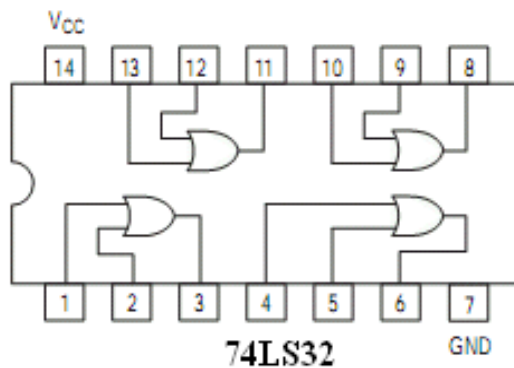
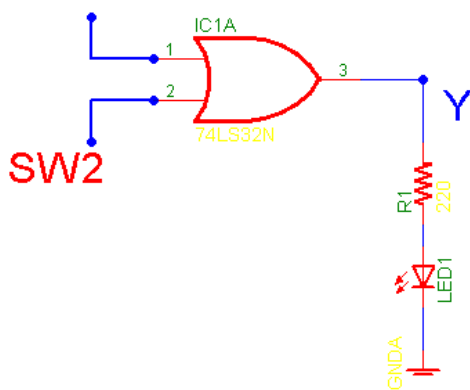
 ...

 ...

Bài 3: Lắp ráp khảo sát cổng OR (Hoặc)

Lựa chọn IC, kết nối mạch như hình vẽ theo sơ đồ chân và thực hiện kiểm tra từng cổng trong IC 74LS32, điền kết quả Y vào bảng

SW1



SW1	SW1	Y
0	0	
0	1	
1	0	
1	1	

Kết luận:

.....

- Lắp ráp được các mạch FLIP_FLOP và mạch ứng dụng
- Rèn luyện tính thần ham học hỏi.

Nội dung chính :

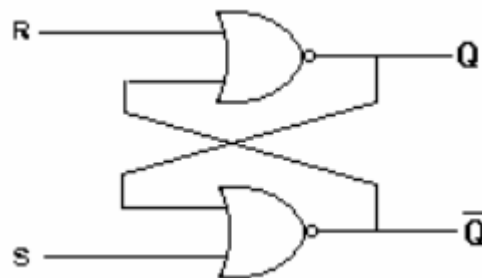
1. Các loại mạch flip – flop

Mục tiêu:

- Trình bày được nguyên tắc hoạt động các mạch FLIP_FLOP và ứng dụng.

1.1. Flip Flop RS

1.1.1. RS có các ngõ vào R và S tác động mức cao.



Các trạng thái logic của mạch cho ở bảng sau:

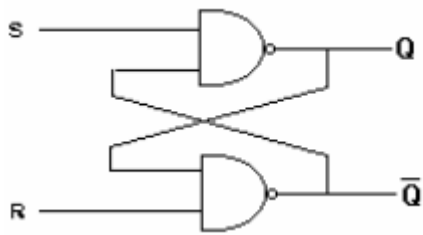
R	S	Q	Q ₊
0	0	0	0) Tác dụng nhớ
0	0	1	1) Q ₊ = Q
0	1	0	1) Đặt (Set)
0	1	1	1) Q ₊ =1
1	0	0	0) Đặt lại (Reset)
1	0	1	0) Q ₊ =0
1	1	0) Q ₊ =Q ₋ =0 (Cấm)
1	1	1	

R	S	Q ₊
0	0	Q
0	1	1
1	0	0
1	1	Cấm

(Đối với mạch chốt vì không có tác động của xung đồng hồ nên ta có thể hiểu trạng thái trước là trạng thái giả sử, còn trạng thái sau là trạng thái khi mạch ổn định).

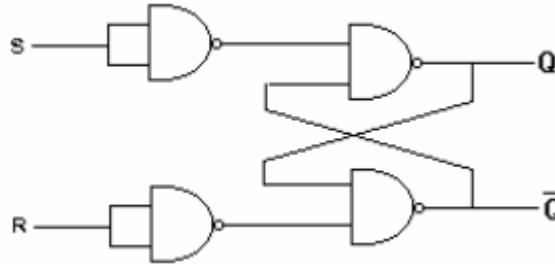
- Khi R=S=0 (cả 2 ngõ vào đều không tác động), ngõ ra không đổi trạng thái.
- Khi R=0 và S=1 (ngõ vào S tác động), chốt được Set (tức đặt Q₊=1).
- Khi R=1 và S=0 (ngõ vào R tác động), chốt được Reset (tức đặt lại Q₊=0).
- Khi R=S=1 (cả 2 ngõ vào đều tác động), chốt rơi vào trạng thái cấm .

1.1.2. RS tác động mức thấp

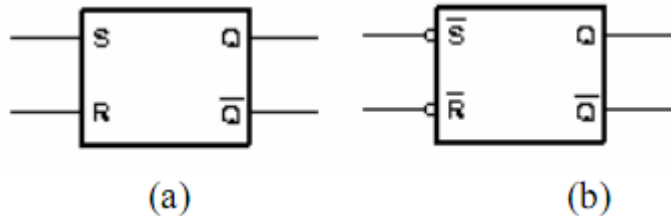


S	R	Q ₊
0	0	Cấm
0	1	1
1	0	0
1	1	Q

Để có chốt RS tác động mức cao dùng cổng NAND, người ta thêm vào 2 cổng đảo ở các ngõ vào.

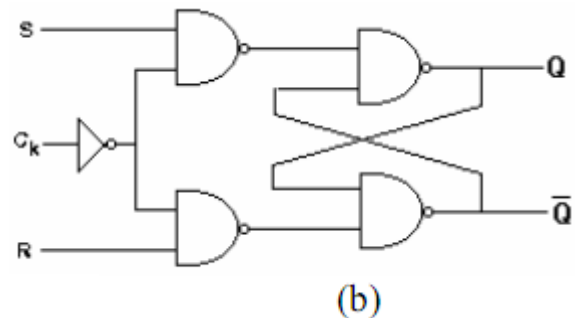
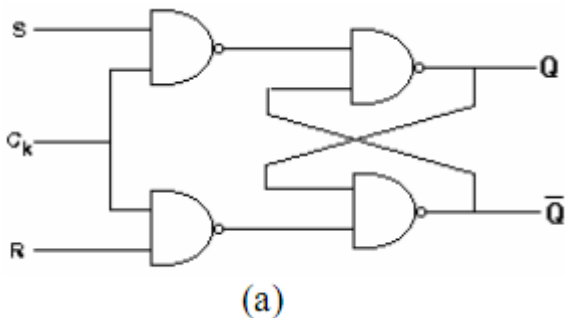


Ký hiệu chốt RS



(Hình a) là ký hiệu chốt RS tác động cao và (Hình b) là chốt RS tác động thấp.

1.1.3 Flip Flop RS có CK

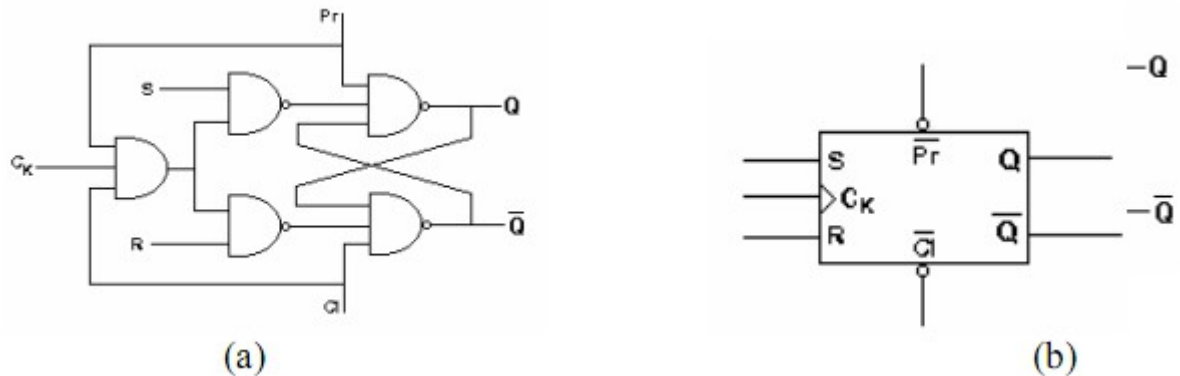


Hoạt động của FF cho bởi Bảng sự thật

Vào			Ra
C _K	S	R	Q ₊
0	x	x	Q
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	Cấm

Để có FF RS có xung đồng hồ tác động thấp chỉ cần thêm một cổng đảo cho ngõ vào CK (Hình b). Ta có bảng sự thật giống Bảng trên, trừ ngõ vào CK phải đảo lại.

1.1.4. Flipflop RS có ngõ vào Preset và Clear:



Tính chất của FF là có trạng thái ngõ ra bất kỳ khi mở máy. Trong nhiều trường hợp, có thể cần đặt trước ngõ ra $Q=1$ hoặc $Q=0$, muốn thế, người ta thêm vào FF các ngõ vào Preset (đặt trước $Q=1$) và Clear (Xóa $Q=0$), mạch có dạng (Hình a) và (Hình b) là ký hiệu của FF RS có ngõ vào Preset và Clear tác động mức thấp.

Thay 2 cổng NAND cuối bằng hai cổng NAND 3 ngõ vào, ta được FF RS có ngõ vào Preset (Pr) và Clear (Cl).

- Khi ngõ Pr xuống thấp (tác động) và ngõ Cl lên cao ngõ ra Q lên cao bất chấp các ngõ vào còn lại.

- Khi ngõ Cl xuống thấp (tác động) và ngõ Pr lên cao ngõ ra Q xuống thấp bất chấp các ngõ vào còn lại.

- Ngoài ra 2 ngõ vào Pr và Cl còn được đưa về 2 ngõ vào một cổng AND, nơi đưa tín hiệu CK vào, mục đích của việc làm này là khi một trong 2 ngõ vào Pr hoặc Cl tác động thì mức thấp của tín hiệu này sẽ khóa cổng AND này, vô hiệu hóa tác dụng của xung CK.

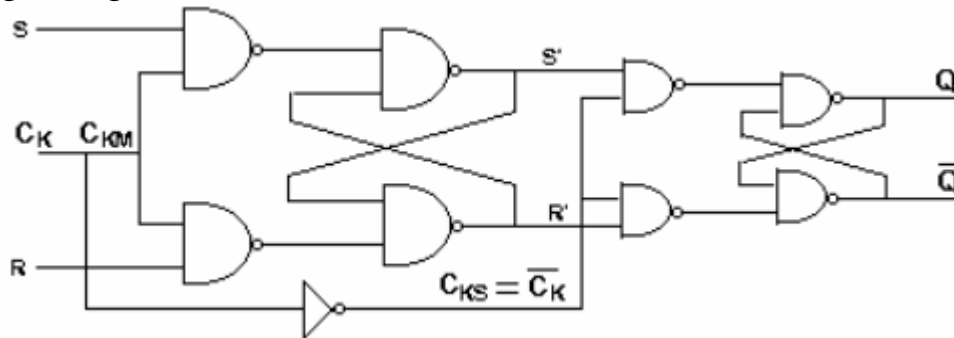
Bảng sự thật của FF RS có Preset và Clear (tác động thấp)

Pr	Cl	CK	S	R	Q ₊
0	0	x	x	x	Cắm
0	1	x	x	x	1
1	0	x	x	x	0
1	1	0	x	x	Q
1	1	1	0	0	Q
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	1	Cắm

Lưu ý: Trên bảng sự thật, dòng thứ nhất tương ứng với trạng thái cấm vì hai ngõ vào Pr và Cl đồng thời ở mức tác động, 2 cổng NAND cuối cùng đều đóng, nên $Q_+ = Q = 1$.

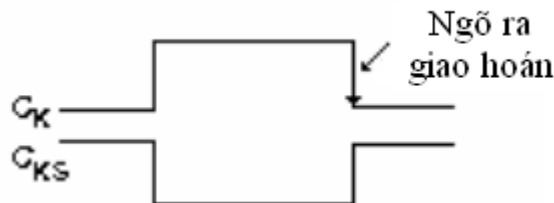
1.1.5. Flipflop RS chủ tớ:

Kết nối thành chuỗi hai FF RS với hai ngõ vào xung CK của hai FF có mức tác động trái ngược nhau, ta được FF chủ tớ.



Hoạt động của FF được giải thích như sau:

- Do C_{KS} của tầng tớ là đảo của $C_{KM} = C_K$ của tầng chủ nên khi $CK=1$, tầng chủ giao hoán thì tầng tớ ngưng. Trong khoảng thời gian này, dữ liệu từ ngõ vào R và S được đưa ra và ổn định ở ngõ ra R' và S' của tầng chủ, tại thời điểm xung C_K xuống thấp, R' và S' được truyền đến ngõ ra Q và \bar{Q} .



- Đối với trường hợp $R = S = 1$ khi $CK=1$ thì $R' = S' = 1$, nhưng khi CK xuống thấp thì một trong hai ngõ ra này xuống thấp, do đó mạch thoát khỏi trạng thái cấm, nhưng S' hay R' xuống thấp trước thì không đoán trước được nên mạch rơi vào trạng thái bất định, nghĩa là Q_+ có thể $= 1$ có thể $= 0$, nhưng khác với \bar{Q} . Ta có bảng sự thật:

S	R	C_K	Q_+
0	0	↓	Q
0	1	↓	0
1	0	↓	1
1	1	↓	Bất định

Tóm lại, FF RS chủ tớ đã thoát khỏi trạng thái cấm nhưng vẫn rơi vào trạng thái bất định, đồng thời ta được FF có ngõ vào xung đồng hồ tác động bởi cạnh xuống của tín hiệu CK.

Để có FF RS có ngõ vào xung đồng hồ tác động bởi cạnh lên của tín hiệu CK ta có thể dời cổng NOT đến ngõ vào FF chủ và cho tín hiệu CK vào thẳng FF tớ.

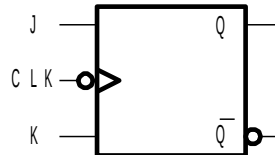
Mặc dù thoát khỏi trạng thái cấm nhưng FF RS chủ yếu vẫn còn trạng thái bất định nên người ta ít sử dụng FF RS trong trường hợp R=S.

1.2. Flipflop JK

1.2.1. Flip - Flop JK

Là mạch điện có khả năng thiết lập trạng thái 0, trạng thái 1, chuyển đổi trạng thái và duy trì (nhớ) trạng thái căn cứ vào các tín hiệu đầu vào J, K và tín hiệu xung đồng hồ C_k .

a. Cấu trúc:



b. Nguyên lý:

$J = 0, K = 1$ với C_k là sườn âm thì $Q_{n+1} = 0$

$J = 1, K = 0$, với C_k là sườn âm thì $Q_{n+1} = 1$

$J = 1, K = 1$, với C_k là sườn âm thì $Q_{n+1} = \overline{Q_n}$

$J = 0, K = 0$, với C_k là sườn âm thì $Q_{n+1} = Q_n$

chuyển đổi trạng thái
giữ nguyên trạng thái.

c. Phương trình:

$$Q_{n+1} = J \cdot \overline{Q_n} + \overline{K} Q_n$$

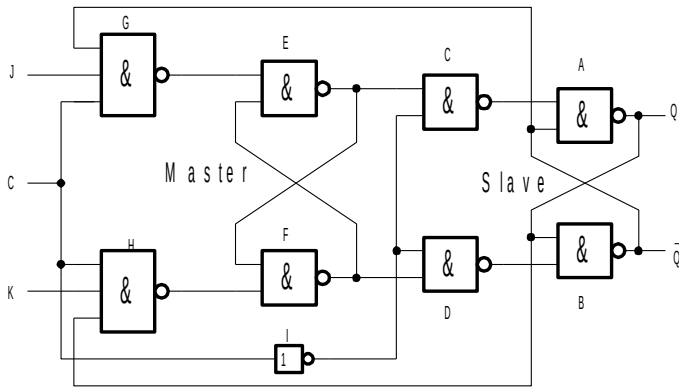
với điều kiện đã xuất hiện sườn âm của xung C_k .

d. Bảng trạng thái:

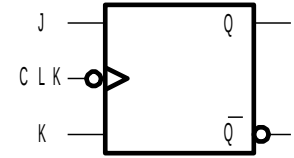
Q_n	J	K	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

1.2.2. Flip - Flop JK Master Slave:

a. Cấu trúc:



a) cấu trúc



b) ký hiệu

Loại FF S-R trước đây vẫn còn có sự ràng buộc giữa r và s, nguyên nhân chính là khi $R = S = 1$ đầu ra các cổng G, H đều ở mức thấp dẫn đến tình huống không mong muốn là cả Q_m và $\overline{Q_m}$ đều ở mức cao = 1. để loại bỏ trường hợp này người ta lấy tín hiệu ở đầu ra đưa trở lại đến các đầu vào của g và H vì Q và \overline{Q} luôn có trạng thái ngược nhau.

b. Nguyên lý hoạt động:

Theo như sự trình bày trên đây về sự cải tiến của FF JK ta thấy hoạt động của nó giống như FF S-R master slave, chỉ khác bởi sự tương đương sau của các tín hiệu đầu vào:

$$S = JQ_n$$

$$R = KQ_n$$

Vậy ta có: $Q_{n+1} = S + RQ_n = J\overline{Q_n} + \overline{K}Q_n Q_n$

với điều kiện xuất hiện sườn âm của xung clock. và đây cũng là phương trình đặc trưng của FF JK

c. Phương trình đặc trưng:

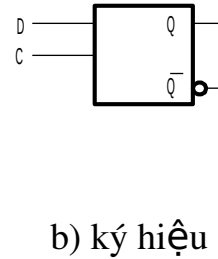
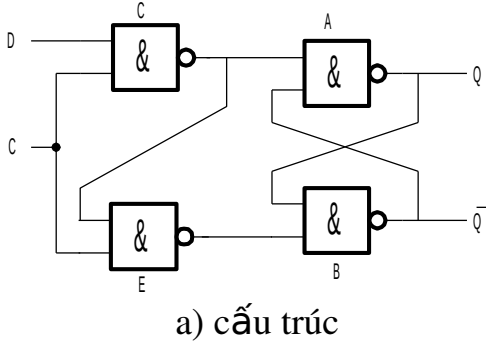
Ta thấy FF JK nó phản ánh quan hệ logic giữa Q_{n+1} với Q_n , J, K nhờ $\overline{Q_n}$ và Q_n phản hồi về cổng điều khiển G và H mà J và K không còn ràng buộc lẫn nhau. Vì vậy ta có phương trình đặc trưng cho FF JK

$$Q_{n+1} = J\overline{Q_n} + \overline{K}Q_n$$

1.3. FlipFlop D

Flip – Flop D là mạch điện có chức năng thiết lập trạng thái 0 theo tín hiệu đầu vào $D = 0$ và thiết lập trạng thái 1 theo tín hiệu đầu vào $D = 1$ trong điều kiện phải có xung định thời.

1.3.1. Cấu trúc:



1.3.2. Nguyên lý hoạt động.

Khi $C = 0$ thì cổng C và E ngắt FF duy trì trạng thái .

Nếu $C = 1$ $D = 0$ thì đầu ra c ở mức cao, đầu ra E ở mức thấp FF ở trạng thái 0. nếu $D = 1$ thì đầu ra c ở mức thấp, đầu ra E ở mức cao FF ở trạng thái 1. vậy nếu có xung Cp và D ở mức nào thì FF ở mức đó.

$$Q^{n+1} = D \text{ với đk } C = 1$$

1.3.3. Phương trình:

Theo như nguyên lý thì FF D trên đã thỏa mãn định nghĩa. Vì vậy ta có phương trình đặc trưng sau:

$$Q^{n+1} = D$$

1.3.4. Bảng trạng thái.

D	C	Q_{n+1}
L	H	L
H	H	H
X	L	Q_n

1.4. FlipFlop T

FF – T là mạch điện có chức năng duy trì và chuyển đổi trạng thái tùy thuộc vào tín hiệu đầu vào. Trong điều kiện định thời của Ck.

1.4.1. Cấu trúc:



1.4.2. Nguyên lý:

Khi $T=0$ FF giữ nguyên trạng thái

Khi T=1 FF lật trạng thái (toggle)

Như vậy mạch T FF thay đổi trạng thái tuần tự theo mỗi lần xung kích thích.

Chú ý: Khi đầu vào T có thời gian tồn tại ở mức logic cao trong một khoảng dài hơn so với thời gian chuyển trạng thái (thời gian trễ) của mạch thì mạch sẽ tiếp tục lật trạng thái tới khi hết thời gian tồn tại ở mức logic cao của T, quá trình đó làm cho việc xác định chính xác mạch đang ở trạng thái nào là không thể, do đó chỉ có thể làm việc ở chế độ đồng bộ (vì thực tế thời gian tồn tại mức logic cao của T luôn lớn hơn rất nhiều thời gian trễ của mạch)

1.4.3. Phương trình:

Từ nguyên lý làm việc của FF – T ta đưa ra được phương trình đặc trưng của T-FF:

$$Q^{n+1} = J\bar{Q}_n + \bar{K}Q_n = T\bar{Q}_n + \bar{T}Q_n = T \oplus Q_n \quad (2.8)$$

1.4.3. Bảng trạng thái:

T-FF là một trigơ có 2 đầu ra và 1 đầu vào T. T-FF có bảng thái như sau:

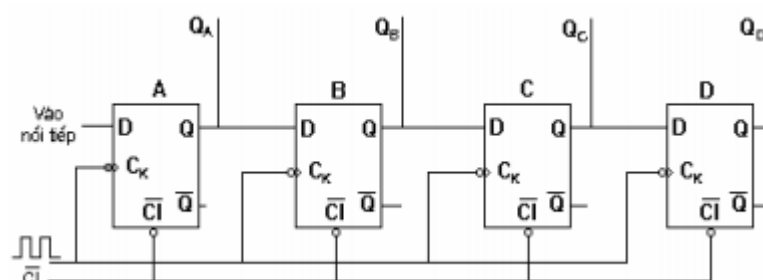
Q_n	T	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

2. Mạch ghi dịch

Mục tiêu:

- Trình bày được nguyên tắc hoạt động các mạch ghi dịch.

2.1.Sơ đồ nguyên tắc và vận hành



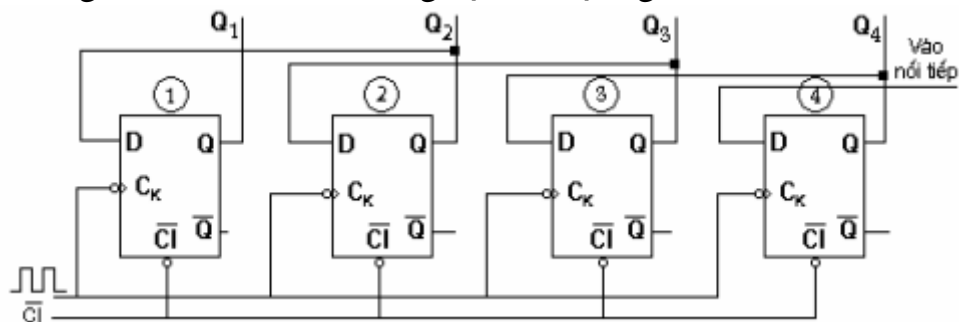
Đây là sơ đồ một mạch ghi dịch 4 bit đơn giản, mạch gồm 4 FF D nối thành chuỗi (ngõ ra Q của FF trước nối vào ngõ vào D của FF sau) và các ngõ vào C_K được nối chung lại (các FF chịu tác động đồng thời). Mạch ghi dịch này có khả năng dịch phải. Ngõ vào D_A của FF đầu tiên được gọi là ngõ vào dữ liệu nối tiếp, các ngõ ra Q_A, Q_B, Q_C, Q_D là các ngõ ra song song, ngõ ra của FF cuối cùng (FF D) là ngõ ra nối tiếp. Trước khi cho mạch hoạt động, tác dụng một xung xóa vào các ngõ vào $\overline{C_I}$ (đưa các chân $\overline{C_I}$ đã được nối chung xuống thấp rồi lên cao) để các ngõ ra $Q_A = Q_B = Q_C = Q_D = 0$.

Cho dữ liệu vào D_A , sau mỗi xung đồng hồ, dữ liệu từ tầng trước lần lượt truyền qua tầng sau. (Giả sử D_A là chuỗi dữ liệu gồm 3 bit cao, 2 bit thấp rồi 1 cao và 1 thấp), trạng thái các ngõ ra của các FF cho ở Bảng

Vào			Ra			
C_I	C_K	D_A	Q_A	Q_B	Q_C	Q_D
0	x	x	0	0	0	0
1	↓	1	1	0	0	0
1	↓	1	1	1	0	0
1	↓	1	1	1	1	0
1	↓	0	0	1	1	1
1	↓	0	0	0	1	1
1	↓	1	1	0	0	1
1	↓	0	0	1	0	0

Các mạch ghi dịch được phân loại tùy vào số bit (số FF), chiều dịch (phải/trái), các ngõ vào/ra (nối tiếp/song song).

Để có mạch dịch trái, dữ liệu nối tiếp đưa vào ngõ vào D của FF cuối cùng và các ngõ ra của FF sau nối ngược trở lại ngõ vào của FF trước.



Cho dữ liệu nối tiếp vào ngõ vào D của FF 4, sau mỗi xung đồng hồ, dữ liệu truyền từ tầng sau ra tầng trước. Giả sử chuỗi dữ liệu giống như trên, trạng thái các ngõ ra của các FF cho ở bảng sau

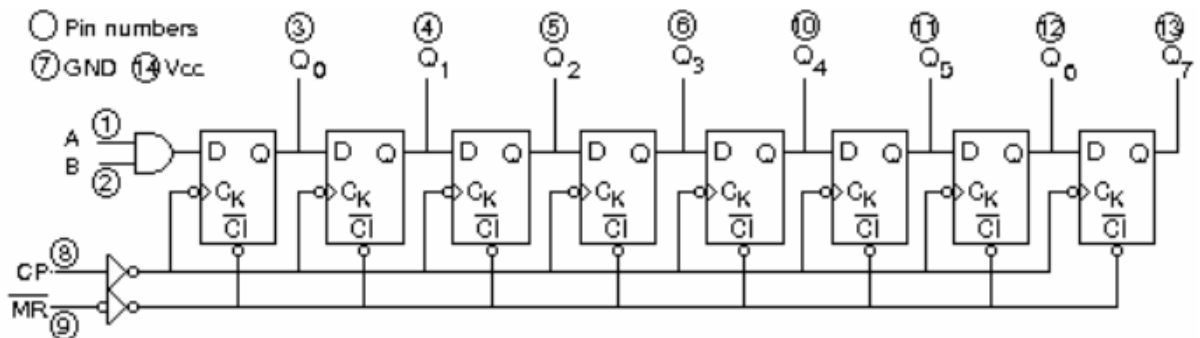
Vào			Ra			
Cl	C _K	D ₄	Q ₁	Q ₂	Q ₃	Q ₄
0	x	x	0	0	0	0
1	↓	1	0	0	0	1
1	↓	1	0	0	1	1
1	↓	1	0	1	1	1
1	↓	0	1	1	1	0
1	↓	0	1	1	0	0
1	↓	1	1	0	0	1
1	↓	0	0	0	1	0

2.2. Vài IC ghi dịch tiêu biểu

Trên thị trường hiện có khá nhiều loại IC ghi dịch, có đầy đủ các chức năng dịch phải trái, vào/ra nối tiếp, song song. Sau đây, chúng ta khảo sát 2 IC tiêu biểu:

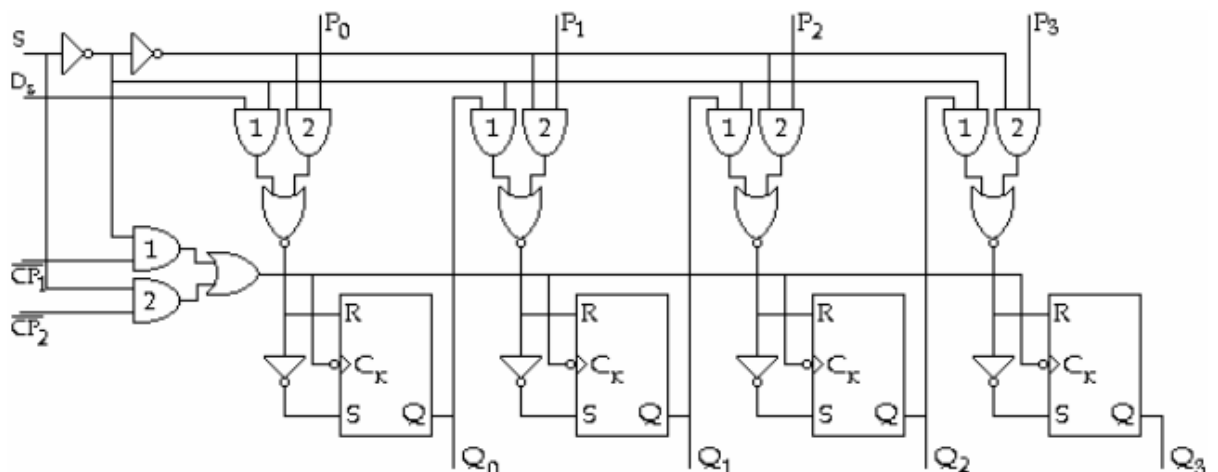
- IC 74164: dịch phải 8 bit;
- IC 7495: 4 bit, dịch phải, trái, vào/ra nối tiếp/song song.

2.2.1. IC 74164:



\overline{MR} : Master Reset, đây cũng là chân Clear của cả mạch, tác động thấp
 CP: Clock pulse, ngã vào xung đồng hồ tác động cạnh lên.

2.2.2. IC 7495:



Ý nghĩa các chân: S: Mode control input Ds: Serial Data input
P₀ - P₃ : Parrallel data inputs
CP₁ : Serial Clock CP₂ : Parrallel clock
Q₀ - Q₃ : Parrallel outputs

Dưới đây là các bước thao tác để thực hiện các chức năng của IC

* Nạp dữ liệu song song

- Chuẩn bị dữ liệu ở các ngõ vào P₀ - P₃

- Cho S = 1, dữ liệu được đưa vào các ngõ vào của các FF, CP₁ bị khóa, CP₂ là ngõ

vào CK, dữ liệu xuất hiện ở ngõ ra Q₀ - Q₃ khi có cạnh xuống của CK

* Dịch phải

- Sau khi đã nạp dữ liệu song song - Chuẩn bị dữ liệu nối tiếp.

- Cho S = 0

- Đưa dữ liệu nối tiếp vào ngõ vào Ds, CP₂ bị khóa, CP₁ là ngõ vào C_K, khi C_K tác động, dữ liệu sẽ dịch phải từng bit một trên các ngõ ra Q₀ - Q₃

* Dịch trái

- Nối ngõ ra FF sau vào ngõ vào song song của FF trước

- P₃ là ngõ vào nối tiếp

- S = 1 để cách ly ngõ ra FF trước với ngõ vào FF sau

- CP₂ là ngõ vào xung C_K, dữ liệu sẽ dịch trái ứng với cạnh xuống của C_K.

Lưu ý: Mặc dù có 2 ngõ vào cho xung C_K nhưng khi sử dụng chúng thường được nối chung lại, lý do là vì ứng với một trạng thái của tín hiệu điều khiển S chỉ có một trong hai cổng AND mở để cho tín hiệu CK đi qua.

2.3. Ứng dụng của ghi dịch

Ghi dịch có khá nhiều ứng dụng:

- Một số nhị phân khi dịch trái 1 bit, giá trị được nhân lên gấp đôi và được chia hai khi dịch phải một bit.

Thí dụ số 1010.00 = 10₁₀ khi dịch trái thành 10100.0 = 20₁₀ và khi dịch phải thành 101.000 = 5₁₀.

- Trong máy tính thanh ghi (tên thường gọi của mạch ghi dịch) là nơi lưu tạm dữ liệu để thực hiện các phép tính, các lệnh cơ bản như quay, dịch

- Ngoài ra, mạch ghi dịch còn những ứng dụng khác như: tạo mạch đếm vòng, biến đổi dữ liệu nối tiếp ↔ song song, dùng thiết kế các mạch đèn trang trí, quang báo. . . .

3. Mạch đếm

Mục tiêu:

- Trình bày được nguyên tắc hoạt động các mạch đếm.

3.1. Mạch đếm đồng bộ

Trong mạch đếm đồng bộ các FF chịu tác động đồng thời của xung đếm C_K.

3.1.1 Mạch đếm đồng bộ n tầng, đếm lên

Để thiết kế mạch đếm đồng bộ n tầng (lấy thí dụ n=4), trước tiên lập bảng trạng thái, quan sát bảng trạng thái suy ra cách mắc các ngõ vào JK của các FF sao cho mạch giao hoán tạo các ngõ ra đúng như bảng đã lập. Giả sử ta dùng FF tác động bởi cạnh xuống của xung C_K (Thật ra, kết quả thiết kế không phụ thuộc vào chiều tác động của xung CK, tuy nhiên điều này phải được thể hiện trên mạch nên ta cũng cần lưu ý). Với 4 FF mạch đếm được $2^4=16$ trạng thái và số đếm được từ 0 đến 15. Ta có bảng trạng thái:

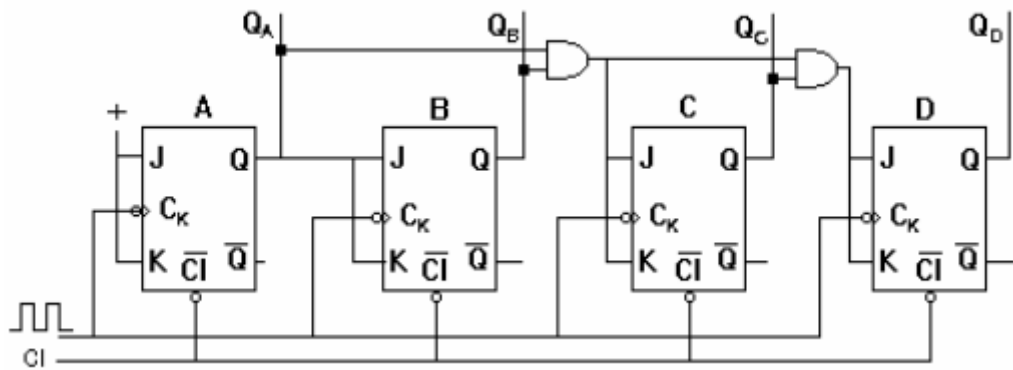
C_k	Q_D	Q_C	Q_B	Q_A	Số đếm
Xóa	0	0	0	0	0
1↓	0	0	0√	1	1
2↓	0	0	1	0	2
3↓	0	0√	1√	1	3
4↓	0	1	0	0	4
5↓	0	1	0√	1	5
6↓	0	1	1	0	6
6↓	0√	1√	1√	1	7
7↓	1	0	0	0	8
8↓	1	0	0√	1	9
9↓	1	0	1	0	10
10↓	1	0√	1√	1	11
10↓	1	1	0	0	12
11↓	1	1	0√	1	13
12↓	1	1	1	0	14
13↓	1√	1√	1√	1	15
14↓	0	0	0	0	0
15↓					
16↓					

Nhận thấy:

- FF A đổi trạng thái sau từng xung CK, vậy: $T_A = J_A = K_A = 1$
- FF B đổi trạng thái nếu trước đó $Q_A = 1$, vậy $T_B = J_B = K_B = Q_A$
- FF C đổi trạng thái nếu trước đó $Q_A = Q_B = 1$, vậy: $T_C = J_C = K_C = Q_A \cdot Q_B$
- FF D đổi trạng thái nếu trước đó $Q_A = Q_B = Q_C = 1$, vậy:

$$T_D = J_D = K_D = Q_A \cdot Q_B \cdot Q_C = T_C \cdot Q_C$$

Ta được kết quả



3.1.2 Mạch đếm đồng bộ n tầng, đếm xuống

Bảng trạng thái:

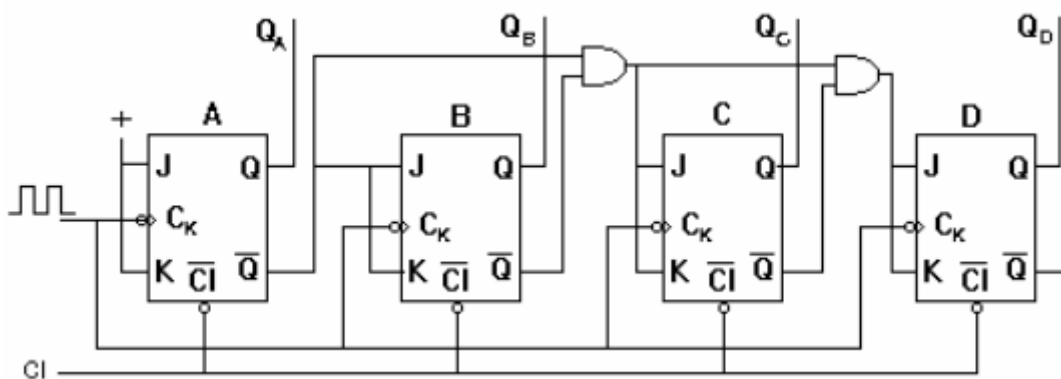
C_k	Q_D	Q_C	Q_B	Q_A	Số đếm
Xóa	0√	0√	0√	0	0
1↓	1	1	1	1	15
2↓	1	1	1√	0	14
3↓	1	1	0	1	13
4↓	1	1√	0√	0	12
5↓	1	0	1	1	11
6↓	1	0	1√	0	10
7↓	1	0	0	1	9
8↓	1√	0√	0√	0	8
9↓	0	1	1	1	7
10↓	0	1	1√	0	6
11↓	0	1	0	1	5
12↓	0	1√	0√	0	4
13↓	0	0	1	1	3
14↓	0	0	1√	0	2
15↓	0	0	0	1	1
16↓	0	0	0	0	0

Nhận thấy:

- FF A đổi trạng thái sau từng xung CK, vậy: $T_A = J_A = K_A = 1$
- FF B đổi trạng thái nếu trước đó $Q_A = 0$, vậy: $T_B = J_B = K_B = \overline{Q_A}$
- FF C đổi trạng thái nếu trước đó $Q_A = Q_B = 0$, vậy: $T_C = J_C = K_C = \overline{Q_A} \cdot \overline{Q_B}$
- FF D đổi trạng thái nếu trước đó $Q_A = Q_B = Q_C = 0$, vậy:

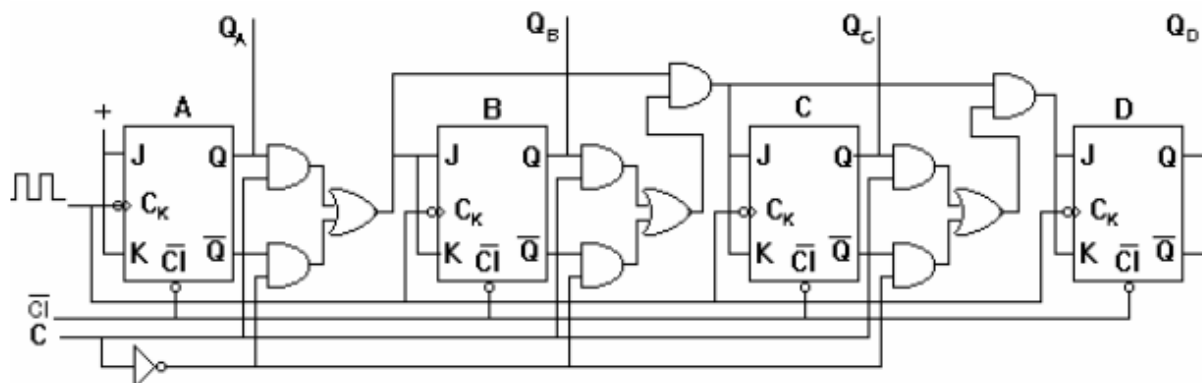
$$T_D = J_D = K_D = \overline{Q_A} \cdot \overline{Q_B} \cdot \overline{Q_C} = T_C \cdot \overline{Q_C}$$

Ta được kết quả



3.1.3 Mạch đếm đồng bộ n tầng, đếm lên/ xuống

Để có mạch đếm n tầng, đếm lên hoặc xuống ta dùng một đa hợp 2→1 có ngõ vào điều khiển C để chọn Q hoặc \bar{Q} đưa vào tầng sau qua các cổng AND. Trong mạch dưới đây khi C=1 mạch đếm lên và khi C=0 mạch đếm xuống.



3.1.4 Tần số hoạt động lớn nhất của mạch đếm đồng bộ n tầng:

Trong trường hợp tổng quát cho n tầng, số cổng AND là (n-2) như vậy thời gian tối thiểu để tín hiệu truyền qua mạch là:

$$T_{\min} = T_{\text{PFF}} + T_{\text{P,AND}(n-2)}$$

Tần số cực đại xác định bởi:

$$f_{\max} = \frac{1}{T_{\min}} = \frac{1}{t_{\text{PFF}} + (n-2)T_{\text{PAND}}}$$

Để gia tăng tần số làm việc của mạch, thay vì dùng các cổng AND 2 ngõ vào ta phải dùng cổng AND nhiều ngõ vào và mắc theo kiểu:

$$T_A = J_A = K_A = 1$$

$$T_B = J_B = K_B = Q_A$$

$$T_C = J_C = K_C = Q_A \cdot Q_B$$

$$T_D = J_D = K_D = Q_A \cdot Q_B \cdot Q_C$$

Như vậy tần số làm việc không phụ thuộc vào n và bằng:

$$f_{\max} = \frac{1}{T_{\text{PFF}} + T_{\text{PAND}}}$$

3.1.5 Mạch đếm đồng bộ Module - N ($N \neq 2^n$)

Để thiết kế mạch đếm modulo - N, trước nhất ta phải chọn số tầng.

Số tầng n phải thỏa điều kiện: $2^{n-1} < N < 2^n$

Thí dụ thiết kế mạch đếm 10 ($N = 10$). $2^{4-1} < 10 < 2^4$.

Vậy số tầng là 4.

Có nhiều phương pháp thiết kế mạch đếm đồng bộ modulo-N.

Sau đây ta khảo sát hai phương pháp: dùng hàm Chuyển và MARCUS

* Phương pháp dùng hàm Chuyển (Transfer function)

Hàm Chuyển là hàm cho thấy có sự thay đổi trạng thái của FF. Mỗi loại FF có một hàm Chuyển riêng của nó.

Hàm Chuyển được định nghĩa như sau: hàm có trị 1 khi có sự thay đổi trạng thái của FF ($Q_+ \neq Q$) và trị 0 khi trạng thái FF không đổi ($Q_+ = Q$).

Chúng ta chỉ thiết kế mạch đếm dùng FF JK do đó ta chỉ xác định hàm Chuyển của loại FF này.

Bảng trạng thái của FF JK

C_K	J	K	Q	Q_+	H
↓	0	0	0	0	0
↓	0	0	1	1	0
↓	0	1	0	0	0
↓	0	1	1	0	1
↓	1	0	0	1	1
↓	1	0	1	1	0
↓	1	1	0	1	1
↓	1	1	1	0	1

Dùng Bảng Karnaugh ta suy ra được biểu thức của H: $H = J \cdot \bar{Q} + K \cdot Q$

Để thiết kế mạch đếm cụ thể ta sẽ xác định hàm H cho từng FF trong mạch, so sánh với biểu thức của hàm H suy ra J, K của các FF. Dưới đây là một thí dụ.

Thiết kế mạch đếm 10 đồng bộ dùng FF JK

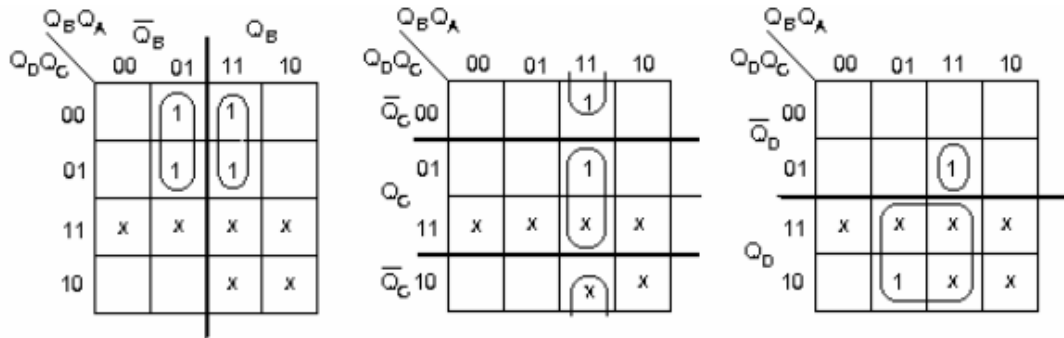
Bảng trạng thái của mạch đếm 10 và giá trị của các hàm H tương ứng:

C_K	Q_D	Q_C	Q_B	Q_A	Q_D	Q_C	Q_B	Q_A	H_D	H_C	H_B	H_A
					+	+	+	+				
1↓	0	0	0	0	0	0	0	1	0	0	0	1
2↓	0	0	0	1	0	0	1	0	0	0	1	1
3↓	0	0	1	0	0	0	1	1	0	0	0	1
4↓	0	0	1	1	0	1	0	0	0	1	1	1
5↓	0	1	0	0	0	1	0	1	0	0	0	1
6↓	0	1	0	1	0	1	1	0	0	0	1	1
7↓	0	1	1	0	0	1	1	1	0	0	0	1
8↓	0	1	1	1	1	0	0	0	1	1	1	1
9↓	1	0	0	0	1	0	0	1	0	0	0	1
10↓	1	0	0	1	0	0	0	0	1	0	0	1

ta thấy:

$$H_A = 1 = Q_A + \overline{Q_A} \Rightarrow J_A = K_A = 1$$

Để xác định HB, HC và HD ta phải vẽ bảng Karnaugh



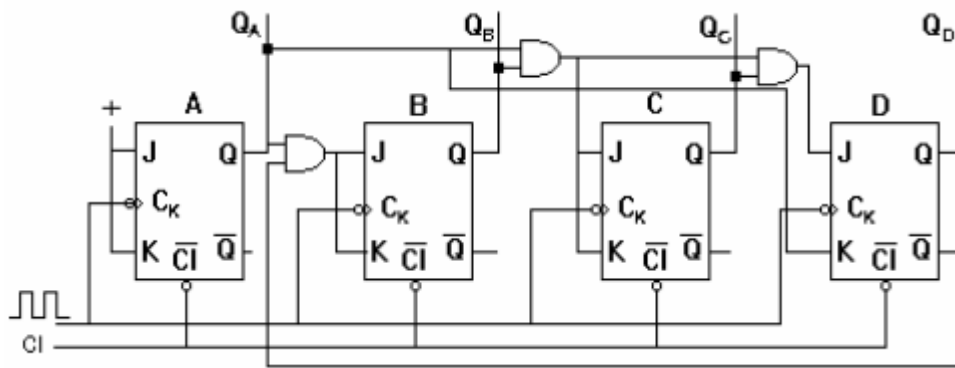
$$H_B = \overline{Q_D}Q_A\overline{Q_B} + \overline{Q_D}Q_AQ_B \Rightarrow J_B = K_B = \overline{Q_D}Q_A$$

$$H_C = Q_BQ_A\overline{Q_C} + Q_BQ_AQ_C \Rightarrow J_C = K_C = Q_BQ_A$$

$$H_D = Q_CQ_BQ_A\overline{Q_D} + Q_AQ_D \Rightarrow J_D = Q_CQ_BQ_A, K_D = Q_A$$

Ghi chú: Trong kết quả của hàm H ta muốn có chứa Q và \overline{Q} tương ứng để suy ra ngay các trị J và K nên ta đã chia bảng Karnaugh ra làm 2 phần chứa Q và \overline{Q} và nhóm riêng từng phần này.

Từ các kết quả này, ta vẽ được mạch



Bây giờ ta có thể kiểm tra xem nếu như vì một lý do nào đó, số đếm rơi vào các trạng thái không sử dụng (tương ứng với số từ 10 đến 15) thì khi có xung đồng hồ trạng thái tiếp theo sẽ như thế nào? Mạch có quay về để đếm tiếp?

Áp dụng các hàm chuyển có được, ứng với mỗi trạng thái Q của từng FF trong các tổ hợp không sử dụng, ta tìm trị H tương ứng rồi suy ra Q+, ta được bảng kết quả sau:

C _K	Q _D	Q _C	Q _B	Q _A	H _D	H _C	H _B	H _A	Q _D ⁺	Q _C ⁺	Q _B ⁺	Q _A ⁺
↓	1	0	1	0	0	0	0	1	1	0	1	1
↓	1	0	1	1	1	1	0	1	0	1	1	0
↓	1	1	0	0	0	0	0	1	1	1	0	1
↓	1	1	0	1	1	0	0	1	0	1	0	0
↓	1	1	1	0	0	0	0	1	1	1	1	1
↓	1	1	1	1	0	1	0	1	0	0	1	0

Từ bảng kết quả ta có kết luận:

- Khi ngõ ra rơi vào trạng thái 10_{10} (1010), nó sẽ nhảy tiếp vào trạng thái 11_{10} (1011) rồi sau đó nhảy về 6_{10} (0110) (Dòng 1 và 2)
- Khi ngõ ra rơi vào trạng thái 12_{10} (1100), nó sẽ nhảy tiếp vào trạng thái 13_{10} (11 01) rồi sau đó nhảy về 4_{10} (0100) (Dòng 3 và 4)
- Khi ngõ ra rơi vào trạng thái 14_{10} (1110), nó sẽ nhảy tiếp vào trạng thái 15_{10} (1111) rồi sau đó nhảy về 2_{10} (0010) (Dòng 5 và 6).

Tóm lại, nếu có một sự cố xảy ra làm cho số đếm rơi vào các trạng thái không sử dụng thì sau 1 hoặc 2 số đếm nó tự động quay về một trong các số đếm từ 0 đến 9 rồi tiếp tục đếm bình thường.

*** Phương pháp MARCUS**

Phương pháp MARCUS cho phép xác định các biểu thức của J và K dựa vào sự thay đổi của Q_+ so với Q

Ta có thể viết lại Bảng trạng thái

Q	Q_+	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Để thiết kế mạch, ta so sánh Q_+ và Q để có được bảng sự thật cho J, K của từng FF, sau đó xác định J và K.

Thí dụ thiết kế lại mạch đếm 10 bằng phương pháp MARCUS

Bảng sự thật cho J, K của từng FF

C_K	Q_D	Q_C	Q_B	Q_A	J_D	K_D	J_C	K_C	J_B	K_B	J_A	K_A
1↓	0	0	0	0	0	x	0	x	0	x	1	x
2↓	0	0	0	1	0	x	0	x	1	x	x	1
3↓	0	0	1	0	0	x	0	x	x	0	1	x
4↓	0	0	1	1	0	x	1	x	x	1	x	1
5↓	0	1	0	0	0	x	x	0	0	x	1	x
6↓	0	1	0	1	0	x	x	0	1	x	x	1
7↓	0	1	1	0	0	x	x	0	x	0	1	x
8↓	0	1	1	1	1	x	x	1	x	1	x	1
9↓	1	0	0	0	x	0	0	x	0	x	1	x
10↓	1	0	0	1	x	1	0	x	0	x	x	1

Ghi chú: Trong bảng 5.20, không có các cột cho Q_+ , tuy nhiên ta có thể thấy ngay là dòng bên dưới chính là Q_+ của dòng bên trên, như vậy kết quả có được từ sự so sánh dòng trên và dòng ngay dưới nó.

Ta thấy ngay $J_A = K_A = 1$

Dùng bảng Karnaugh để xác định các hàm còn lại

Nhận thấy các FF B và C có thể xác định chung cho J và K (cùng vị trí 1 và x), FF D được xác định J và K riêng

	$Q_B Q_A$			
$Q_D Q_C$	00	01	11	10
00		1	1	
01		1	1	
11	x	x	x	x
10			x	x

$$J_B = K_B = \overline{Q_D} Q_A$$

	$Q_B Q_A$			
$Q_D Q_C$	00	01	11	10
00			1	
01			1	
11	x	x	x	x
10			x	x

$$J_C = K_C = Q_B \cdot Q_A$$

	$Q_B Q_A$			
$Q_D Q_C$	00	01	11	10
00				
01			1	
11	x	x	x	x
10	x	x	x	x

$$J_D = Q_C \cdot Q_B \cdot Q_A$$

	$Q_B Q_A$			
$Q_D Q_C$	00	01	11	10
00	x	x	x	x
01	x	x	x	x
11	x	x	x	x
10		1	x	x

$$K_D = Q_A$$

Ta được lại kết quả trên.

Trên thị trường có khá nhiều IC đếm:

- 4 bit BCD: 74160, 74162, 74190, 74192, 4192, 4510, 4518. ...
- 4 bit nhị phân: 74161, 74163, 74191, 74193, 4193, 4516, 4520. ...
- 8 bit nhị phân: 74269, 74579, 74779. ...

3.2. Mạch đếm không đồng bộ

Là các mạch đếm mà các FF không chịu tác động đồng thời của xung C_K .

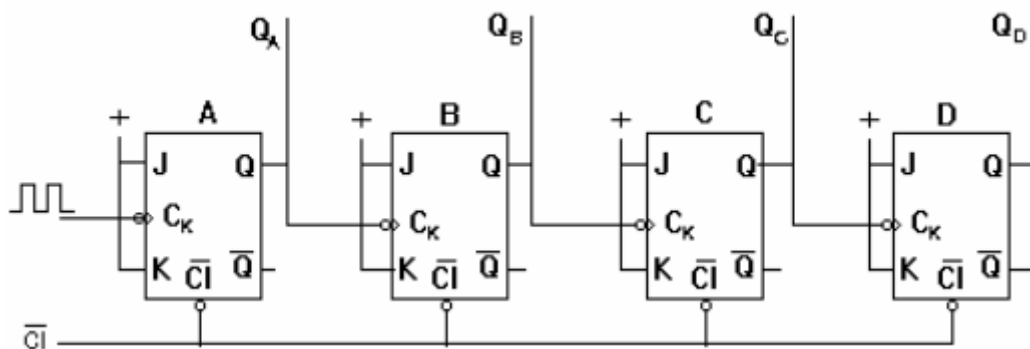
Khi thiết kế mạch đếm không đồng bộ ta phải quan tâm tới chiều tác động của xung đồng hồ C_K .

3.2.1. Mạch đếm không đồng bộ, n tầng, đếm lên (n=4)

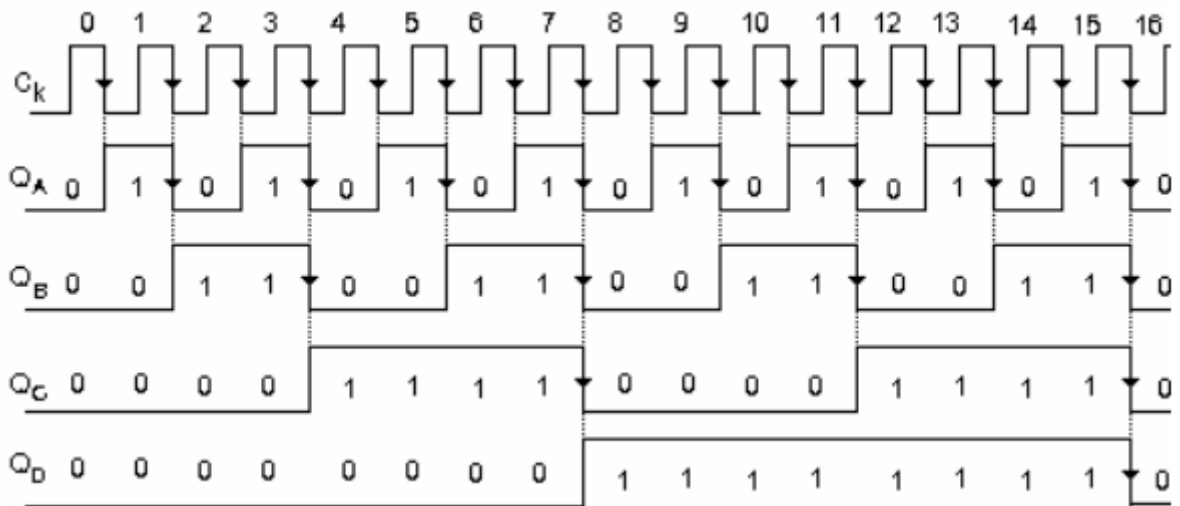
Từ bảng trạng thái của mạch đếm 4 bit

C_k	Q_D	Q_C	Q_B	Q_A	Số đếm
Xóa	0	0	0	0	0
1↓	0	0	0√	1	1
2↓	0	0	1	0	2
3↓	0	0√	1√	1	3
4↓	0	1	0	0	4
5↓	0	1	0√	1	5
6↓	0	1	1	0	6
7↓	0√	1√	1√	1	7
8↓	1	0	0	0	8
9↓	1	0	0√	1	9
10↓	1	0	1	0	10
11↓	1	0√	1√	1	11
12↓	1	1	0	0	12
13↓	1	1	0√	1	13
14↓	1	1	1	0	14
15↓	1√	1√	1√	1	15
16↓	0	0	0	0	0

Ta thấy nếu dùng FF JK tác động bởi cạnh xuống của xung đồng hồ thì có thể lấy ngõ ra của tầng trước làm xung đồng hồ C_K cho tầng sau, với điều kiện các ngõ vào JK của các FF đều được đưa lên mức cao. Ta được mạch đếm không đồng bộ, 4 bit, đếm lên.



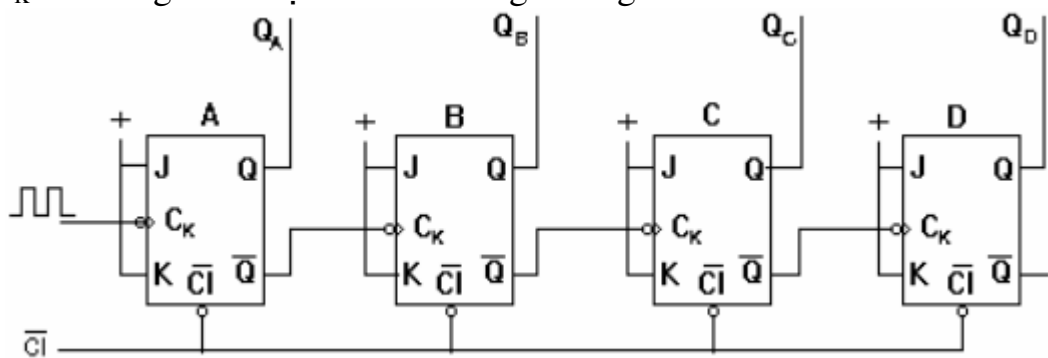
Dạng tín hiệu xung CK và các ngõ ra của các FF



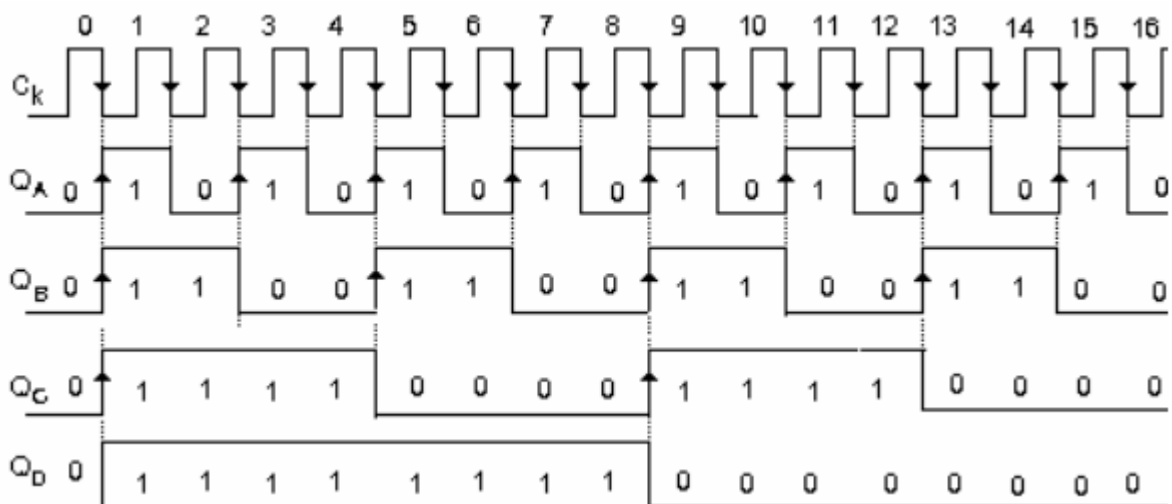
Tổ hợp các số tạo bởi các ngõ ra các FF D, C, B, A là số nhị phân từ 0 đến 15

3.2.2. Mạch đếm không đồng bộ, n tầng, đếm xuống (n=4)

Để có mạch đếm xuống ta nối \bar{Q} (thay vì Q) của tầng trước vào ngõ vào C_K của tầng sau. Mạch đếm xuống 4 tầng.



Dạng sóng ở ngõ ra các FF và số đếm tương ứng cho ở hình sau.



Quan sát tín hiệu ra ở các Flipflop ta thấy sau mỗi FF tần số của tín hiệu ra giảm đi một nửa, nghĩa là:

$$f_{Q_A} = \frac{f_{CK}}{2}$$

$$f_{Q_B} = \frac{f_{Q_A}}{2} = \frac{f_{CK}}{2^2} = \frac{f_{CK}}{4}$$

$$f_{Q_C} = \frac{f_{Q_A}}{4} = \frac{f_{CK}}{2^3} = \frac{f_{CK}}{8}$$

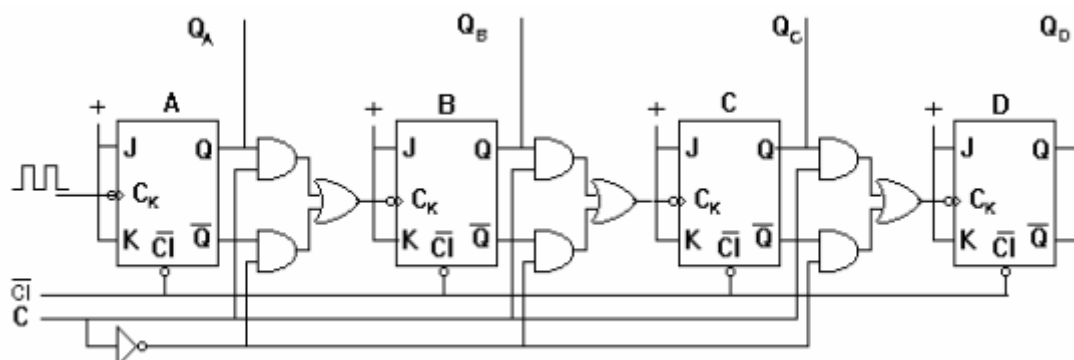
$$f_{Q_D} = \frac{f_{Q_A}}{8} = \frac{f_{CK}}{2^4} = \frac{f_{CK}}{16}$$

Như vậy xét về khía cạnh tần số, ta còn gọi mạch đếm là mạch chia tần.

3.2.3. Mạch đếm không đồng bộ, n tầng, đếm lên, xuống (n=4)

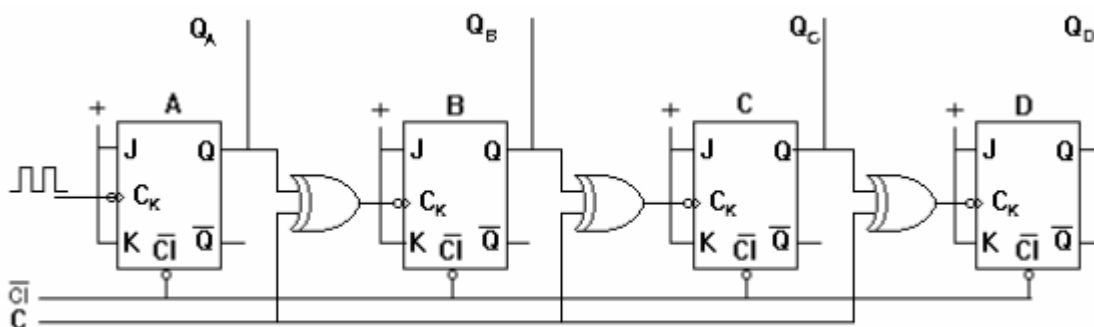
Để có mạch đếm lên hoặc đếm xuống người ta dùng các mạch đa hợp 2→1 với ngõ vào điều khiển C chung để chọn Q hoặc \bar{Q} của tầng trước nối vào CK tầng sau tùy theo yêu cầu về cách đếm.

Khi C = 1, Q nối vào C_K , mạch đếm lên và khi C = 0, \bar{Q} nối vào C_K , mạch đếm xuống.



c = 0 : đếm xuống c = 1 : đếm lên

Trên thực tế, để đơn giản, ta có thể thay đa hợp 2→1 bởi một cổng EX-OR, ngõ điều khiển C nối vào một ngõ vào cổng EX-OR, ngõ vào còn lại nối với ngõ ra Q của FF và ngõ ra của cổng EX-OR nối vào ngõ vào CK của FF sau, mạch cũng đếm lên/xuống tùy vào C=0 hay C=1.



c = 1 : đếm xuống c = 0 : đếm lên

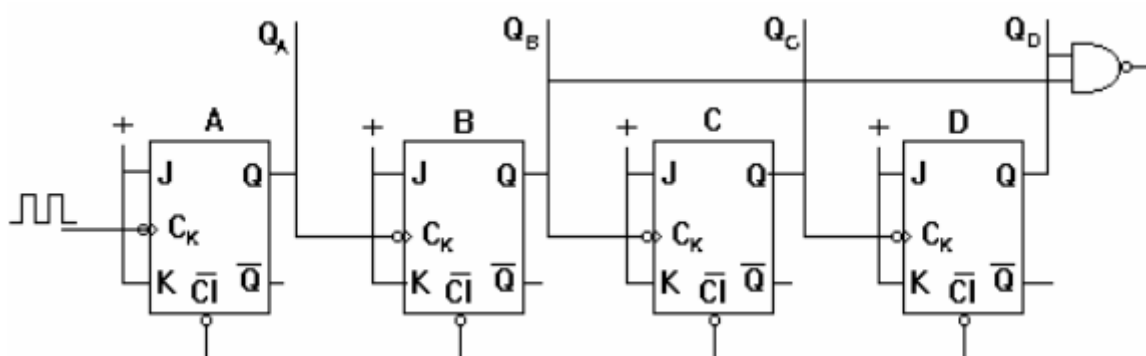
3.2.4. Mạch đếm không đồng bộ modulo - N (N=10)

* Kiểu Reset:

Để thiết kế mạch đếm kiểu Reset, trước nhất người ta lập bảng trạng thái cho số đếm

Số xung C_K vào	Số Q_D	Nhị Q_C	Phân Q_B	Ra Q_A	Số thập phân tương ứng
Xóa	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0(1)	0	0(1)	0	10

Quan sát bảng trạng thái ta thấy ở xung thứ 10, nếu theo cách đếm 4 tầng thì Q_D và Q_B phải lên 1. Lợi dụng hai trạng thái này ta dùng một cổng NAND 2 ngõ vào để đưa tín hiệu về xóa các FF, ta được mạch đếm.



Mạch đếm kiểu Reset có khuyết điểm như:

- Có một trạng thái trung gian trước khi đạt số đếm cuối cùng.
- Ngõ vào C_I không được dùng cho chức năng xóa ban đầu.

* Kiểu Preset:

Trong kiểu Preset các ngõ vào của các FF sẽ được đặt trước thế nào để khi mạch đếm đến trạng thái thứ N thì tất cả các FF tự động quay về không.

Để thiết kế mạch đếm không đồng bộ kiểu Preset, thường người ta làm như sau:

- Phân tích số đếm $N = 2^n \cdot N'$ ($N' < N$) rồi kết hợp hai mạch đếm n bit và N' . Việc thiết kế rất đơn giản khi số $N' \ll N$
- Quan sát bảng trạng thái và kết hợp với phương pháp thiết kế mạch đếm đồng bộ (MARCUS hay hàm chuyển) để xác định JK của các FF.

Thí dụ, để thiết kế mạch đếm 10, ta phân tích $10 = 2 \times 5$ và ta chỉ cần thiết kế mạch đếm 5 rồi kết hợp với một FF (đếm 2)

Bảng trạng thái của mạch đếm 5.

Số xung C_K vào	Số Nhị Q_D	Phân Q_C	Ra Q_B	Số thập phân tương ứng
Xóa	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	0	0	0	0

Giả sử dùng FF JK có xung C_K tác động cạnh xuống.

Từ bảng trạng thái, ta thấy có thể dùng tín hiệu ngõ ra FF B làm xung đồng hồ cho FF C và đưa J_C và K_C lên mức cao:

$$C_{KC} = Q_B; \quad J_C = K_C = 1$$

Các FF B và D sẽ dùng xung C_K của hệ thống và các ngõ vào JK được xác định nhờ hàm chuyển:

C_K	Q_D	Q_C	Q_B	H_D	H_B
1↓	0	0	0	0	1
2↓	0	0	1	0	1
3↓	0	1	0	0	1
4↓	0	1	1	1	1
5↓	1	0	0	1	0
	0	0	0		

Dùng bảng Karnaugh xác định H_D và H_B rồi suy ra các trị J, K của các FF.

Q_D	Q_C	Q_B	
	00	01	11 10
0			1
1	1	x	x x

$$H_D = Q_C \cdot Q_B \overline{Q_D} + Q_D$$

$$\Rightarrow J_D = Q_C \cdot Q_B; \quad K_D = 1$$

Q_D	Q_C	Q_B	
	00	01	11 10
0	1	1 1	1
1		x x	x

$$H_B = \overline{Q_D} \overline{Q_B} + Q_B$$

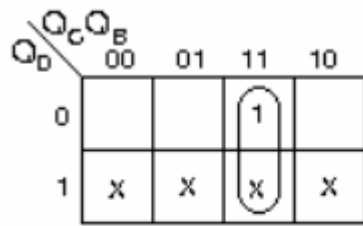
$$\Rightarrow J_B = \overline{Q_D}; \quad K_B = 1$$

Có thể xác định J, K của các FF B và D bằng phương pháp MARCUS:

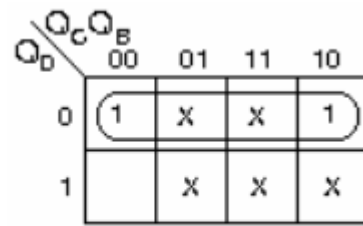
C_K	Q_D	Q_C	Q_B	J_D	K_D	J_B	K_B
1↓	0	0	0	0	x	1	x
2↓	0	0	1	0	x	x	1
3↓	0	1	0	0	x	1	x
4↓	0	1	1	1	x	x	1
5↓	1	0	0	x	1	0	x
	0	0	0				

Ta có ngay $K_D = K_B = 1$

Dùng bảng Karnaugh xác định J_D và J_B

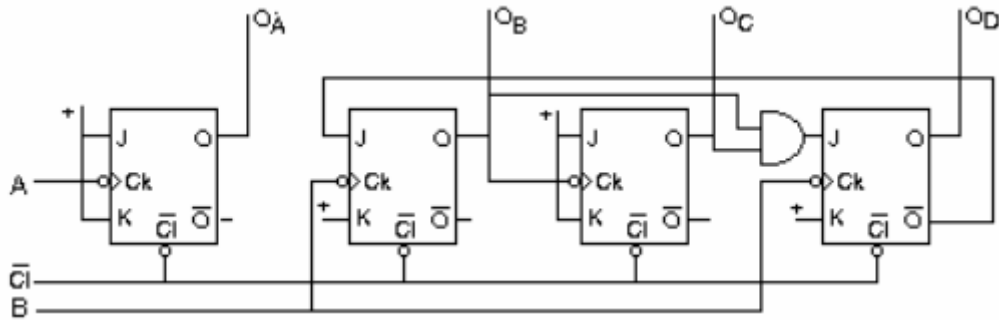


$$J_D = Q_C \cdot Q_B$$

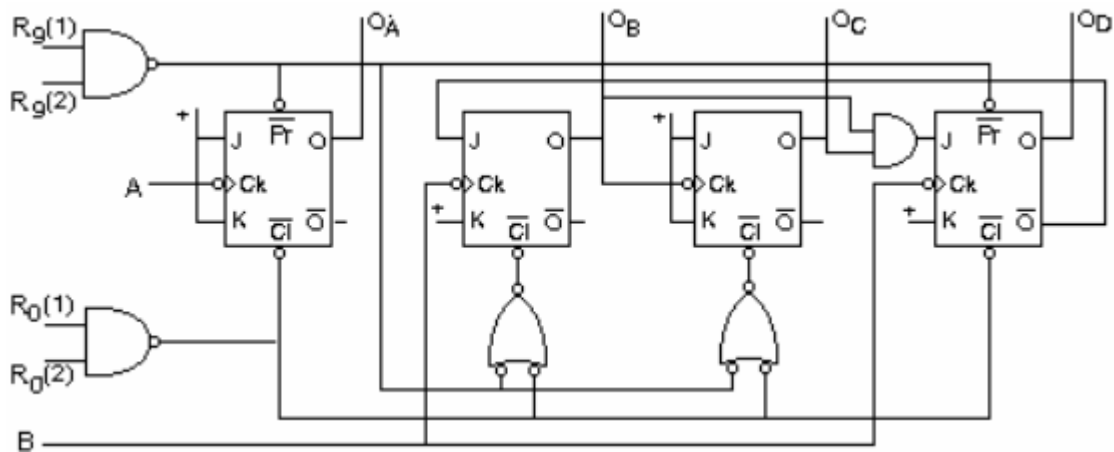


$$J_B = \overline{Q_D}$$

Mạch đếm 10 thiết kế theo kiểu đếm 2x5 với mạch đếm 5 có được từ kết quả trên.



IC 7490 là IC đếm 10, có cấu tạo là thêm các ngõ vào Reset 0 và Reset 9 có sơ đồ mạch



Bảng sự thật cho các ngõ vào Reset

Reset Inputs				Outputs			
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	Q _D	Q _C	Q _B	Q _A
1	1	0	x	0	0	0	0
1	1	x	0	0	0	0	0
0	x	1	1	1	0	0	1
x	0	1	1	1	0	0	1
x	0	x	0	Đếm	Đếm	Đếm	Đếm
0	x	0	x	nt	nt	nt	nt
0	x	x	0	nt	nt	nt	nt
x	0	0	x	nt	nt	nt	nt

Dùng IC 7490, có thể thực hiện một trong hai cách mắc:

* Mạch đếm 2x5: Nối Q_A vào ngõ vào B, xung đếm (C_K) vào ngõ vào A

* Mạch đếm 5x2: Nối Q_D vào ngõ vào A, xung đếm (C_K) vào ngõ vào B

Hai cách mắc cho kết quả số đếm khác nhau nhưng cùng một chu kỳ đếm 10. Tần số tín hiệu ở ngõ ra sau cùng bằng $1/10$ tần số xung CK (nhưng dạng tín hiệu ra khác nhau). Dưới đây là hai bảng trạng thái cho hai trường hợp nói trên.

Q_D	Q_C	Q_B	Q_A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1

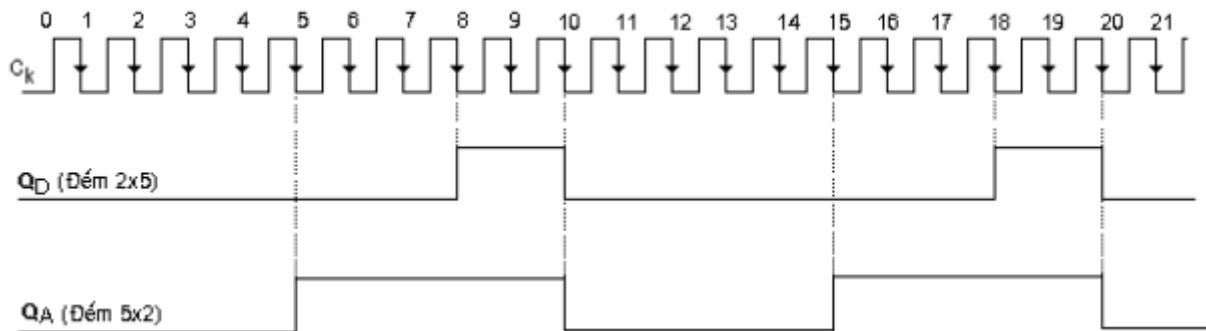
Đếm 2x5

Q_D	Q_C	Q_B	Q_A
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1

Đếm 5x2

Dạng sóng ở các ngõ ra của hai mạch cùng đếm 10 nhưng hai kiểu đếm khác nhau:

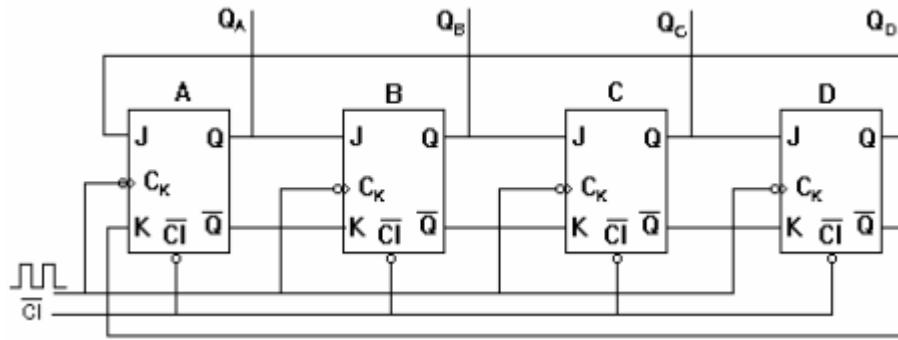
- Kiểu đếm 2x5 cho tín hiệu ra ở Q_D không đối xứng
- Kiểu đếm 5x2 cho tín hiệu ra ở Q_A đối xứng



III.3. Mạch đếm vòng

Thực chất là mạch ghi dịch trong đó ta cho hồi tiếp từ một ngõ ra nào đó về ngõ vào để thực hiện một chu kỳ đếm. Tùy đường hồi tiếp mà ta có các chu kỳ đếm khác nhau. Sau đây ta khảo sát vài loại mạch đếm vòng phổ biến.

3.3.1. Hồi tiếp từ Q_D về J_A và $\overline{Q_D}$ về K_A



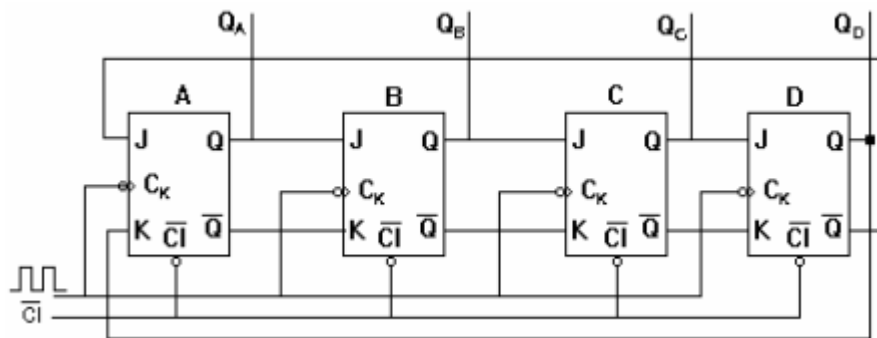
Đối với mạch này, sự đếm vòng chỉ thấy được khi có đặt trước ngõ ra
 - Đặt trước $Q_A = 1$, ta được kết quả như bảng trạng thái

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	0	1	1
1↓	0	0	1	0	2
2↓	0	1	0	0	4
3↓	1	0	0	0	8
4↓	0	0	0	1	1
:	:	:	:	:	:

- Nếu đặt trước $Q_A = Q_B = 1$ ta có bảng trạng thái

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	1	1	3
1↓	0	1	1	0	6
2↓	1	1	0	0	12
3↓	1	0	0	1	9
4↓	0	0	1	1	3
:	:	:	:	:	:

3.3.2. Hồi tiếp từ $\overline{Q_D}$ về JA và QD về KA

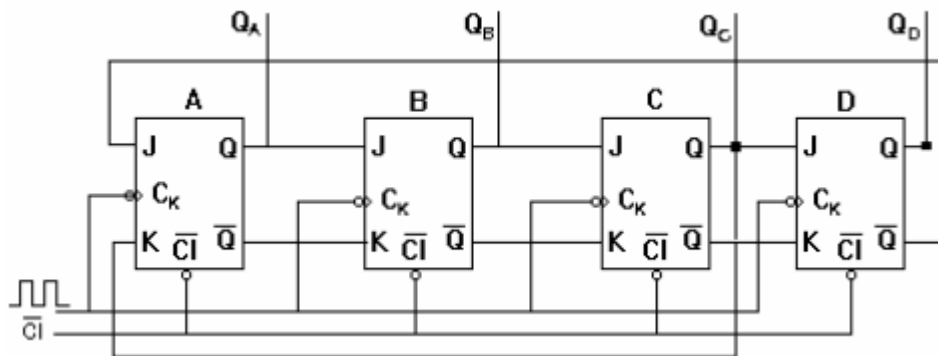


Mạch này còn có tên là mạch đếm Johnson. Mạch có một chu kỳ đếm mặc nhiên mà không cần đặt trước và nếu có đặt trước, mạch sẽ cho các chu kỳ khác nhau tùy vào tổ hợp đặt trước đó. Bảng trạng thái sau là chu kỳ đếm mặc nhiên.

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	0	0	0
1↓	0	0	0	1	1
2↓	0	0	1	1	3
3↓	0	1	1	1	7
4↓	1	1	1	1	15
5↓	1	1	1	0	14
6↓	1	1	0	0	12
7↓	1	0	0	0	8
8↓	0	0	0	0	0

3.3.3. Hồi tiếp từ $\overline{Q_D}$ về J_A và Q_C về K_A

Sơ đồ mạch:



Bảng trạng thái

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	0	0	0
1↓	0	0	0	1	1
2↓	0	0	1	1	3
3↓	0	1	1	1	7
4↓	1	1	1	0	14
5↓	1	1	0	0	12
6↓	1	0	0	0	8
7↓	0	0	0	0	0

BÀI TẬP

1. Thiết kế bộ đếm đồng bộ có dãy đếm sau: 000, 010, 101, 110 và lặp lại.
2. Làm lại bài 1. Thêm điều kiện các trạng thái không sử dụng 001, 011, 100 và 111 phải luôn luôn nhảy về 000 ở xung đồng hồ kế tiếp.
3. Thiết kế bộ đếm đồng bộ dùng FF-JK với dãy đếm sau: 000, 001, 011, 010, 110, 111, 101, 100, 000 . . .
4.
 - a. Thiết kế một mạch đếm đồng bộ dùng FF-JK tác động cạnh xuống, có dãy đếm như sau: 000, 001, 011, 111, 110, 100, 001. . . Những trạng thái không sử dụng được đưa về trạng thái 000 ở xung đồng hồ kế tiếp. Vẽ sơ đồ mạch.
 - b. Mắc nối tiếp một bộ đếm 2 (Dùng FF-JK, tác động cạnh xuống) với bộ đếm đã được thiết kế ở câu a. Vẽ dạng sóng ở các ngõ ra của bộ đếm giả sử trạng thái ban đầu của các ngõ ra đều bằng 0. Xác định dãy đếm của mạch.

Thực hành:

Bài 1: Lắp ráp, khảo sát Flip Flop RS cơ bản

Lựa chọn IC, kết nối mạch như hình vẽ, theo sơ đồ chân và thực hiện kiểm tra hoạt động mạch, điền kết quả Y vào bảng

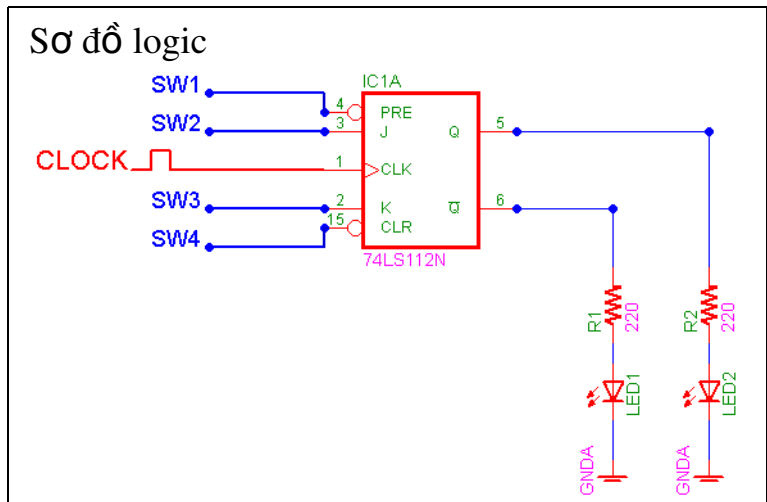
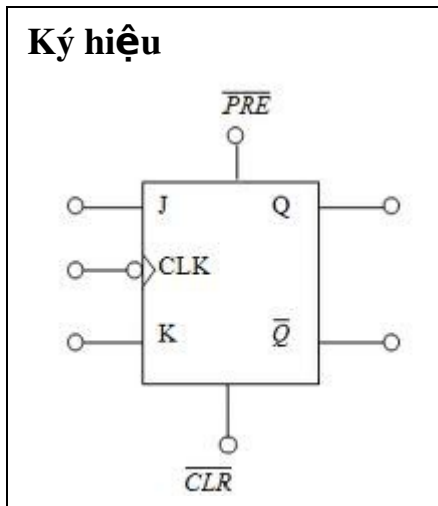
.....
 ...

 ...

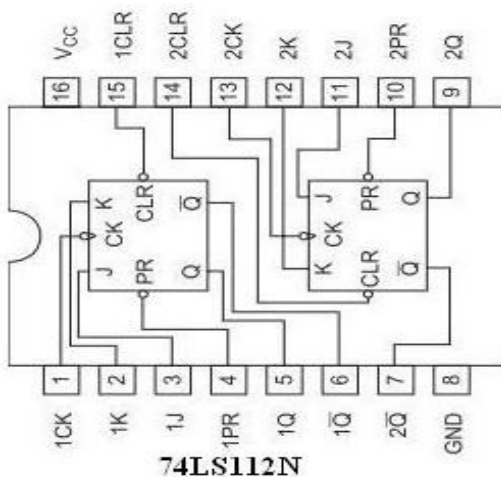
 ...

Bài 3: Lắp ráp, khảo sát Flip Flop JK

Lựa chọn IC, kết nối mạch như hình vẽ, theo sơ đồ chân và thực hiện khảo sát hoạt động mạch trên IC 74LS112N, kết quả Y vào bảng trạng thái



Sơ đồ chân



Bảng trạng thái

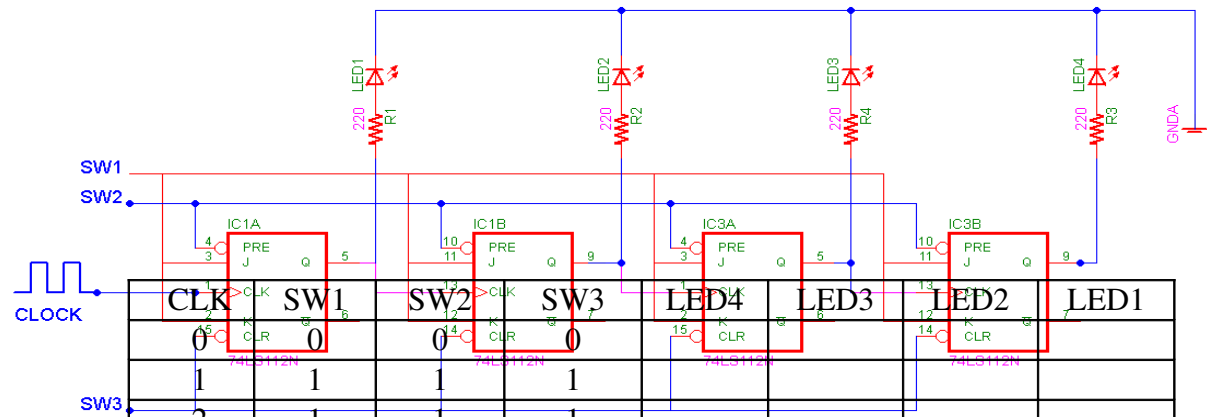
PR\CLR\CLKJKQ\01XXX10XXX00XX
 X110011101101111111XX

Kết luận:

.....

Bài 4: Lắp ráp và khảo sát mạch đếm lên không đồng bộ dùng FF JK sử dụng IC 74LS112N

a. Sơ đồ mạch điện



b. Kết nối mạch và khảo sát

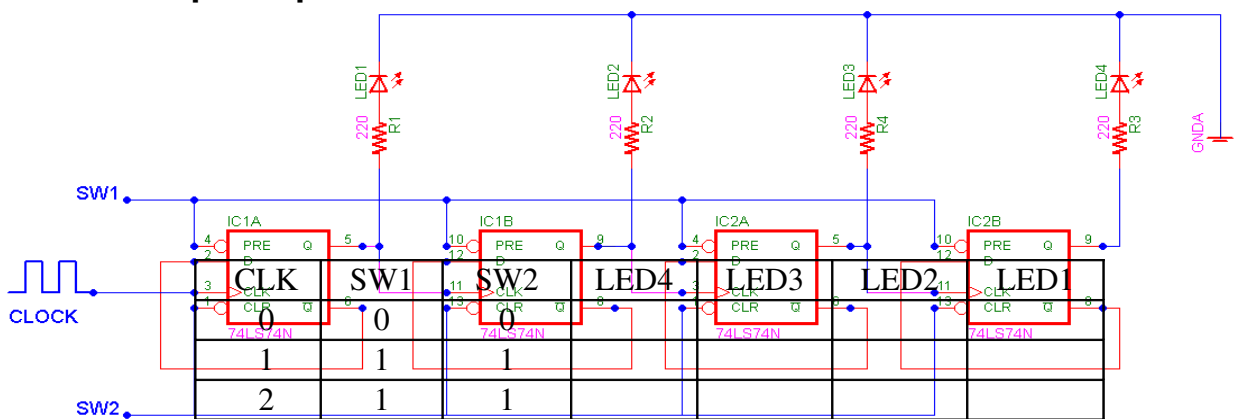
- Lựa chọn IC 74LS112N
- Lắp IC lên hệ thực hành ở vị trí họ IC 16 chân
- Kết nối mạch theo sơ đồ mạch điện và sơ đồ chân IC 74LS112N
- Cấp nguồn quan sát tín hiệu xung CLK và tín hiệu trên các LED.

c. Ghi kết quả vào bảng trạng thái

	CLK	SW1	SW2	SW3	LED4	LED3	LED2	LED1
0	0	0	0	0				
1	1	1	1	1				
2	1	1	1	1				
3	1	1	1	1				
4	1	1	1	1				
5	1	1	1	1				
6	1	1	1	1				
7	1	1	1	1				
8	1	1	1	1				
9	1	1	1	1				
10	1	1	1	1				
11	1	1	1	1				
12	1	1	1	1				
13	1	1	1	1				
14	1	1	1	1				
15	1	1	1	1				
16	0	0	0	0				

Bài 5: Lắp ráp và khảo sát mạch đếm xuống không đồng bộ dùng FF D sử dụng IC 74LS74

a. Sơ đồ mạch điện



b. Kết nối mạch và khảo sát

- Lựa chọn IC 74LS74
- Lắp IC lên bộ thực hành ở vị trí họ IC 14 chân
- Kết nối mạch theo sơ đồ mạch điện và sơ đồ chân IC 74LS74
- Cấp nguồn quan sát tín hiệu xung CLK và tín hiệu trên các LED.

c. Ghi kết quả vào bảng trạng thái

10	1	1			
11	1	1			
12	1	1			
13	1	1			
14	1	1			
15	1	1			
16	0	0			

BÀI 4

CHUYỂN ĐỔI TƯƠNG TỰ SỐ

MÃ BÀI: MĐ19-05

Mục tiêu:

- Hiểu được nguyên tắc hoạt động các mạch chuyển đổi tương tự_ số
- Lắp ráp được các mạch chuyển đổi tương tự_ số và mạch ứng dụng
- Tính tư duy, chính xác trong công việc.

Nội dung chính :

1. Mạch chuyển đổi tương tự - số

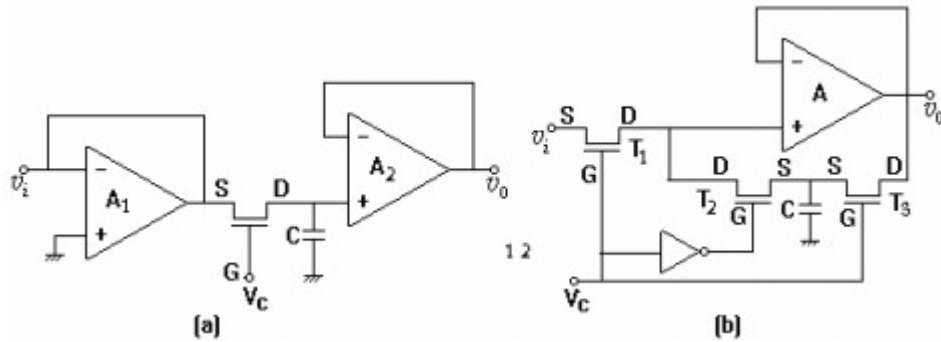
Mục tiêu:

- Trình bày được nguyên tắc hoạt động các mạch chuyển đổi tương tự_ số.

1.1. Mạch lấy mẫu và giữ (sample and hold)

Để biến đổi một tín hiệu tương tự sang tín hiệu số, người ta không thể biến đổi mọi giá trị của tín hiệu tương tự mà chỉ có thể biến đổi một số giá trị cụ thể bằng cách lấy mẫu tín hiệu đó theo một chu kỳ xác định nhờ một tín hiệu có dạng xung. Ngoài ra, mạch biến đổi cần một khoảng thời gian cụ thể (khoảng $1\mu\text{s}$ - 1ms) do đó cần giữ mức tín hiệu biến đổi trong khoảng thời gian này để mạch có thể thực hiện việc biến đổi chính xác. Đó là nhiệm vụ của mạch lấy mẫu và giữ.

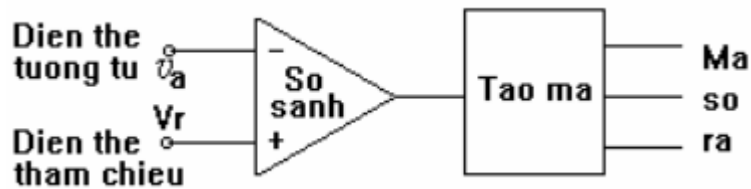
Hình vẽ sau là dạng mạch lấy mẫu và giữ cơ bản:



Điện thế tương tự cần biến đổi được lấy mẫu trong thời gian rất ngắn do tụ nạp điện nhanh qua tổng trở ra thấp của OP-AMP khi các transistor dẫn và giữ giá trị này trong khoảng thời gian transistor ngưng (tụ phóng rất chậm qua tổng trở vào rất lớn của OP-AMP)

1.2. Nguyên tắc mạch biến đổi ADC

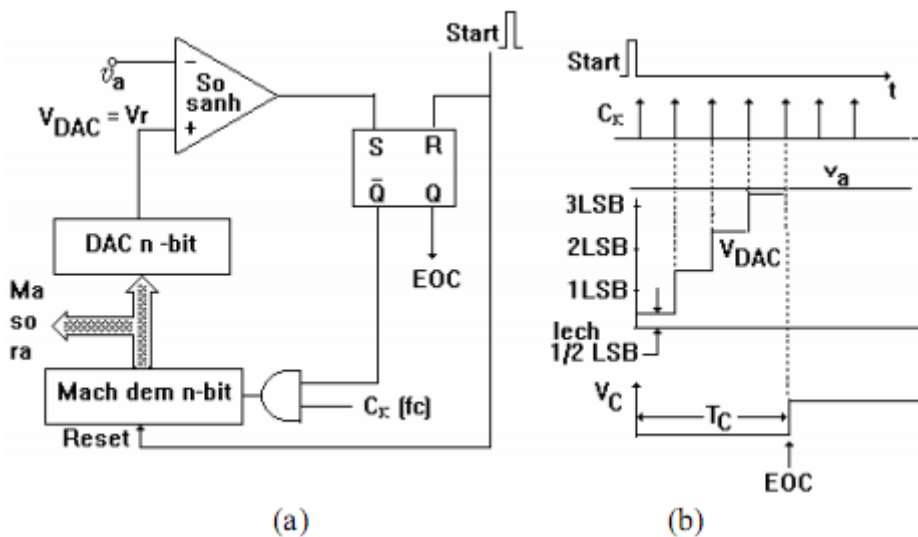
Mạch biến đổi ADC gồm bộ phận trung tâm là một mạch so sánh .



Điện thế tương tự chưa biết và áp vào một ngõ vào của mạch so sánh, còn ngõ vào kia nối đến một điện thế tham chiếu thay đổi theo thời gian Vr(t). Khi chuyển đổi điện thế tham chiếu tăng theo thời gian cho đến khi bằng hoặc gần bằng với điện thế tương tự (với một sai số nguyên lượng hóa). Lúc đó mạch tạo mã số ra có giá trị ứng với điện thế vào chưa biết. Vậy nhiệm vụ của mạch tạo mã số là thử một bộ số nhị phân sao cho hiệu số giữa va và trị nguyên lượng hóa sau cùng nhỏ hơn 1/2 LSB

$$|v_a - (V_{FS} / 2^n - 1)(B)_2| < 1/2 \text{ LSB}$$

1.3. Mạch đổi dùng điện thế tham chiếu nấc thang

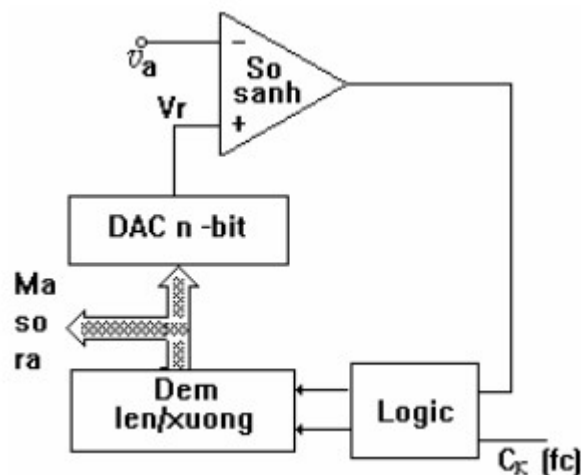


Một cách đơn giản để tạo điện thế tham chiếu có dạng nấc thang là dùng một mạch DAC mà số nhị phân vào được lấy từ mạch đếm lên. Khi có xung bắt đầu FlipFlop và mạch đếm được đặt về 0 nên ngõ ra \bar{Q} của FF lên 1, mở cổng AND cho xung C_K vào mạch đếm. Ngõ ra mạch đếm tăng dần theo dạng nấc thang (V_{DAC}), đây chính là điện thế tham chiếu, khi V_r còn nhỏ hơn v_a , ngõ ra mạch so sánh còn ở mức thấp và \bar{Q} vẫn tiếp tục ở mức cao, nhưng khi V_r vừa vượt v_a ngõ ra mạch so sánh lên cao khiến \bar{Q} xuống thấp, đóng cổng AND không cho xung C_K qua và mạch đếm ngưng. Đồng thời ngõ ra Q lên cao báo kết thúc sự chuyển đổi. Số đếm ở mạch đếm chính là số nhị phân tương ứng với điện thế vào.

Gọi thời gian chuyển đổi là t_c . Thời gian chuyển đổi tùy thuộc điện thế cần chuyển đổi. Thời gian lâu nhất ứng với điện thế vào bằng trị toàn giai:

$$t_c(\max) = 2^n / f_{CK} = 2^n \cdot T_{CK}$$

Mạch đổi này có tốc độ chậm. Một cách cải tiến là thay mạch đếm lên bởi một mạch đếm lên/xuống.



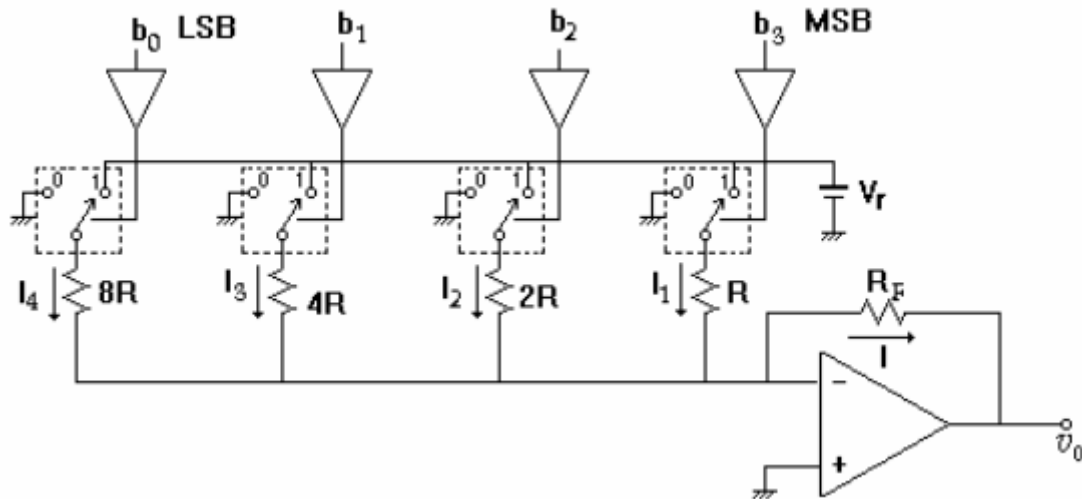
Nếu ngõ ra mạch so sánh cho thấy V_r nhỏ hơn v_a , mạch Logic sẽ điều khiển đếm lên và ngược lại thì mạch sẽ đếm xuống. Nếu v_a không đổi V_r sẽ dao động quanh trị v_a với hai trị số khác nhau 1 LSB

2. Mạch chuyển đổi số - tương tự

Mục tiêu:

- Trình bày được nguyên tắc hoạt động các mạch chuyển đổi số - tương tự.

2.1. Mạch biến đổi DAC dùng mạng điện trở có trọng lượng khác nhau



Trong mạch trên, nếu thay OP-AMP bởi một điện trở tải, ta có tín hiệu ra là dòng điện. Như vậy OP-AMP giữ vai trò biến dòng điện ra thành điện thế ra, đồng thời nó là một mạch cộng.

Ta có:

$$v_0 = -R_F \cdot I = -(2^3 b_3 + 2^2 b_2 + 2b_1 + b_0) V_r \cdot R_F / 2^3 R$$

$$= -(2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + \dots + 2b_1 + b_0) V_r \cdot R_F / 2^{n-1} \cdot R$$

Nếu $R_F = R$ thì:

$$v_0 = -(2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + \dots + 2b_1 + b_0) V_r / 2^{n-1}.$$

Thí dụ:

1/ Khi số nhị phân là 0000 thì $v_0 = 0$

1111 thì $v_0 = -15V_r / 8$

2/ Với $V_r = 5V$; $R = R_F = 1k\Omega$

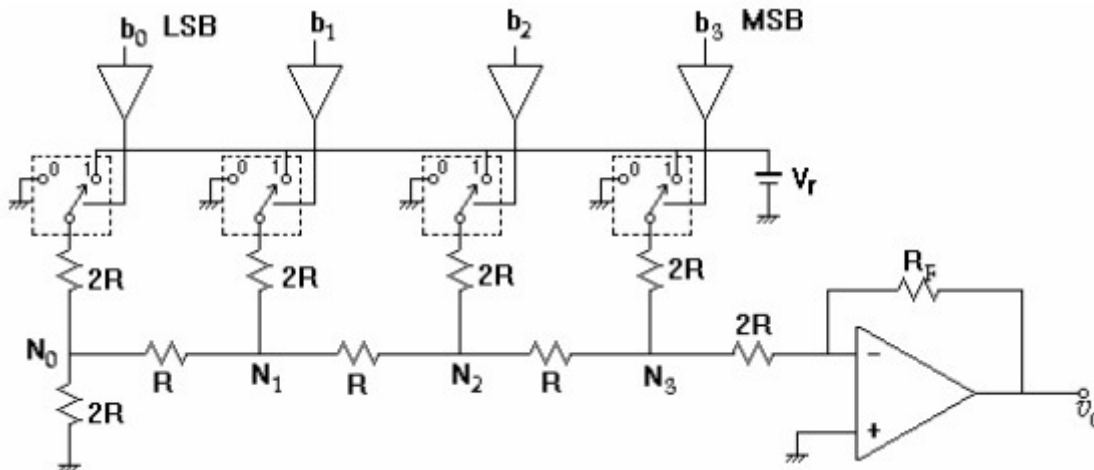
Ta có kết quả chuyển đổi như sau:

b_3	b_2	b_1	b_0	v_0 (V)
0	0	0	0	0
0	0	0	1	-0,625 ← LSB
0	0	1	0	-1,250
0	0	1	1	-1,875
0	1	0	0	-2,500
0	1	0	1	-3,125
0	1	1	0	-3,750
0	1	1	1	-4,375
1	0	0	0	-5,000
1	0	0	1	-5,625
1	0	1	0	-6,250
1	0	1	1	-6,875
1	1	0	0	-7,500
1	1	0	1	-8,125
1	1	1	0	-8,750
1	1	1	1	-9,375 ← Full Scale (V_{FS})

Mạch có một số hạn chế:

- Sự chính xác tùy thuộc vào điện trở và mức độ ổn định của nguồn tham chiếu V_r
- Với số nhị phân nhiều bit thì cần các điện trở có giá trị rất lớn, khó thực hiện.

2.2. Mạch đổi DAC dùng mạng điện trở hình thang



Cho $R_F = 2R$ và lần lượt

Cho $b_3 = 1$ các bit khác = 0, ta được: $v_0 = -8(V_r / 24)$

Cho $b_2 = 1$ các bit khác = 0, ta được: $v_0 = -4(V_r / 24)$

Cho $b_1 = 1$ các bit khác = 0, ta được: $v_0 = -2(V_r / 24)$

Cho $b_0 = 1$ các bit khác = 0, ta được: $v_0 = -(V_r / 24)$

Ta thấy v_0 tỉ lệ với giá trị B của tổ hợp bit $B = (b_3 b_2 b_1 b_0)_2$

Suy ra $v_0 = -B(V_r / 24)$

3. Sơ lược về bộ nhớ

Mục tiêu:

- Trình bày được tính năng của các bộ nhớ kỹ thuật số.

Tính ưu việt chủ yếu của các hệ thống số so với hệ thống tương tự là khả năng lưu trữ một lượng lớn thông tin số và dữ liệu trong những khoảng thời gian nhất định. Khả năng nhớ này là điều làm cho hệ thống số trở thành đa năng và có thể thích hợp với nhiều tình huống.

Thí dụ trong một máy tính số, bộ nhớ trong chứa những lệnh mà theo đó máy tính có thể hoàn tất công việc của mình với sự tham gia ít nhất của con người.

Bộ nhớ bán dẫn được sử dụng làm bộ nhớ chính trong các máy tính nhờ vào khả năng thỏa mãn tốc độ truy xuất dữ liệu của bộ xử lý trung tâm (CPU).

Chúng ta đã quá quen thuộc với Fliflop, một linh kiện điện tử có tính nhớ. Chúng ta cũng đã thấy một nhóm các FF hợp thành thanh ghi để lưu trữ và dịch chuyển thông tin như thế nào. Các FF chính là các phần tử nhớ tốc độ cao được dùng rất nhiều trong việc điều hành bên trong máy tính, nơi mà dữ liệu dịch chuyển liên tục từ nơi này đến nơi khác. Tiến bộ trong công nghệ chế tạo LSI và VLSI cho phép kết hợp một lượng lớn FF trong một chip tạo

thành các bộ nhớ với các dạng khác nhau. Những bộ nhớ bán dẫn với công nghệ chế tạo transistor lưỡng cực (BJT) và MOS là những bộ nhớ nhanh nhất và giá thành của nó liên tục giảm khi các công nghệ LSI và VLSI ngày càng được cải tiến.

Dữ liệu số cũng có thể được lưu trữ dưới dạng điện tích của tụ điện, và một loại phân tử nhớ bán dẫn rất quan trọng đã dùng nguyên tắc này để lưu trữ dữ liệu với mật độ cao nhưng tiêu thụ một nguồn điện năng rất thấp.

Bộ nhớ bán dẫn được dùng như là bộ nhớ trong chính của máy tính, nơi mà việc vận hành nhanh được xem như ưu tiên hàng đầu và cũng là nơi mà tất cả dữ liệu của chương trình lưu chuyển liên tục trong quá trình thực hiện một tác vụ do CPU yêu cầu.

Mặc dù bộ nhớ bán dẫn có tốc độ làm việc cao, rất phù hợp cho bộ nhớ trong, nhưng giá thành tính trên mỗi bit lưu trữ cao khiến cho nó không thể là loại thiết bị có tính chất lưu trữ khối (mass storage), là loại thiết bị có khả năng lưu trữ hàng tỉ bit mà không cần cung cấp năng lượng và được dùng như là bộ nhớ ngoài (đĩa từ, băng từ, CD ROM...). Tốc độ xử lý dữ liệu ở bộ nhớ ngoài tương đối chậm nên khi máy tính làm việc thì dữ liệu từ bộ nhớ ngoài được chuyển vào bộ nhớ trong.

Băng từ và đĩa từ là các thiết bị lưu trữ khối mà giá thành tính trên mỗi bit tương đối thấp. Một loại bộ nhớ khối mới hơn là bộ nhớ bọt từ (magnetic bubble memory, MBM) là bộ nhớ điện tử dựa trên nguyên tắc từ có khả năng lưu trữ hàng triệu bit trong một chip. Với tốc độ tương đối chậm nó không được dùng như bộ nhớ trong.

Có 3 loại bộ nhớ bán dẫn :

- Bộ nhớ bán dẫn chỉ đọc : (Read Only Memory, ROM)
- Bộ nhớ truy xuất ngẫu nhiên : (Random Access Memory, RAM)

Thật ra ROM và RAM đều là loại bộ nhớ truy xuất ngẫu nhiên, nhưng RAM được giữ tên gọi này. Để phân biệt chính xác ROM và RAM ta có thể gọi ROM là bộ nhớ chế (nonvolatile, vĩnh cửu) và RAM là bộ nhớ sống (volatile, không vĩnh cửu) hoặc nếu có ROM là bộ nhớ chỉ đọc thì RAM là bộ nhớ đọc được - viết được (Read-Write Memory)

- Thiết bị logic lập trình được : (Programmable Logic Devices, PLD) có thể nói điểm khác biệt giữa PLD với ROM và RAM là qui mô tích hợp của PLD thường không lớn như ROM và RAM và các tác vụ của PLD thì có phần hạn chế.

3.1 ROM (Read Only Memory)

Mặc dù có tên gọi như thế nhưng chúng ta phải hiểu là khi sử dụng ROM, tác vụ đọc được thực hiện rất nhiều lần so với tác vụ ghi. Thậm chí có loại ROM chỉ ghi một lần khi xuất xưởng.

Các tế bào nhớ hoặc từ nhớ trong ROM sắp xếp theo dạng ma trận mà mỗi phần tử chiếm một vị trí xác định bởi một địa chỉ cụ thể và nối với ngã

ra một mạch giải mã địa chỉ bên trong IC. Nếu mỗi vị trí chứa một tế bào nhớ ta nói ROM có tổ chức bit và mỗi vị trí là một từ nhớ ta có tổ chức từ.

Ngoài ra, để giảm mức độ công kênh của mạch giải mã, mỗi vị trí nhớ có thể được xác định bởi 2 đường địa chỉ : đường địa chỉ hàng và đường địa chỉ cột và trong bộ nhớ có 2 mạch giải mã nhưng mỗi mạch có số ngõ vào bằng 1/2 số đường địa chỉ của cả bộ nhớ.

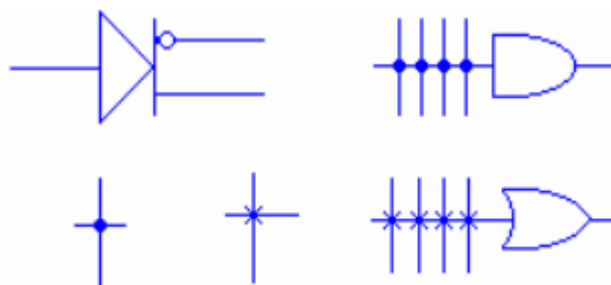
3.2 Thiết bị logic lập trình được (Programmable logic devices, PLD)

Là tên gọi chung các thiết bị có tính chất nhớ và có thể lập trình để thực hiện một công việc cụ thể nào đó Trong công việc thiết kế các hệ thống, đôi khi người ta cần một số mạch tổ hợp để thực hiện một hàm logic nào đó. Việc sử dụng mạch này có thể lập lại thường xuyên và sự thay đổi một tham số của hàm có thể phải được thực hiện để thỏa mãn yêu cầu của việc thiết kế. Nếu phải thiết kế từ các cổng logic cơ bản thì mạch sẽ rất công kênh, tốn kém mạch in, dây nối nhiều, kết quả là độ tin cậy không cao. Như vậy, sẽ rất tiện lợi nếu các mạch này được chế tạo sẵn và người sử dụng có thể chỉ tác động vào để làm thay đổi một phần nào chức năng của mạch bằng cách lập trình. Đó là ý tưởng cơ sở cho sự ra đời của thiết bị logic lập trình được. Các thiết bị này có thể được xếp loại như bộ nhớ và gồm các loại: PROM, PAL (Programmable Array Logic) và PLA (Programmable Logic Array).

Trước nhất, chúng ta xét qua một số qui ước trong cách biểu diễn các phần tử của PLD Một biến trong các hàm thường xuất hiện ở dạng nguyên và đảo của nó nên chúng ta dùng ký hiệu đậm và đảo chung trong một cổng có 2 ngõ ra.

Một nối chết, còn gọi là nối cứng (không thay đổi được) được vẽ bởi một chấm đậm (.) và một nối sống, còn gọi là nối mềm (dùng lập trình) bởi một dấu (x). Nối sống thực chất là một cầu chì, khi lập trình thì được phá bỏ.

Một cổng nhiều ngõ vào thay thế bởi một ngõ vào duy nhất với nhiều nối.



Chúng ta chỉ lấy thí dụ với mạch tương đối đơn giản để thấy được cấu tạo của các PLD, đó là các PLD chỉ thực hiện được 4 hàm mỗi hàm gồm 4 biến, như vậy mạch gồm 4 ngõ vào và 4 ngõ ra. Trên thực tế số hàm và biến của một PLD rất lớn.

3.3 RAM (Random Access Memory)

Có hai loại RAM : RAM tĩnh và RAM động

RAM tĩnh cấu tạo bởi các tế bào nhớ là các FF, RAM động lợi dụng các điện dung ký sinh giữa các cực của transistor MOS, trạng thái tích điện hay không của tụ tương ứng với hai bit 1 và 0. Do RAM động có mật độ tích hợp cao, dung lượng bộ nhớ thường rất lớn nên để định vị các phần tử nhớ người ta dùng phương pháp đa hợp địa chỉ, mỗi từ nhớ được chọn khi có đủ hai địa chỉ hàng và cột được lần lượt tác động. Phương pháp này cho phép n đường địa chỉ truy xuất được 2^{2n} vị trí nhớ. Như vậy giảm độ thời gian của RAM động thường khác với giảm độ thời gian của RAM tĩnh và ROM.

Thực hành:

I. Lắp ráp mạch chuyển đổi tương tự - số

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	IC 741	20
2	Điện trở các loại	100
3	Tụ điện	20

4	IC RS	20
5	IC AND	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

II. Lắp ráp mạch chuyển đổi số - tương tự.

1. Chuẩn bị dụng cụ, thiết bị, vật liệu

a. Thiết bị:

- Đồng hồ VOM
- Máy hiện sóng
- Nguồn 12V
- Test board

b. Linh Kiện:

STT	Loại linh kiện	Số lượng
1	IC 741	20
2	Điện trở các loại	100
3	Tụ điện	20
4	IC RS	20
5	IC 7414	20

2. Trình tự thực hiện:

Bước 1: Kiểm tra linh kiện

Bước 2: Lắp ráp mạch

Bước 3: Kiểm tra mạch

Bước 4: Kết nối mạch với nguồn điện

Bước 5: Dùng đồng hồ đo điện áp vào và ra của mạch

Bước 6: Dùng máy hiện sóng đo tín hiệu vào và ra của mạch

TÀI LIỆU THAM KHẢO

- Nguyễn Thương Ngô. *Kỹ thuật xung số*. Nhà xuất bản Thống Kê, 2002
- Nguyễn Trung Lập. *Kỹ thuật xung số* Nhà xuất bản KHKT, 2000

