

Bộ nhớ dữ liệu EEPROM

1.3.6.3 EEPROM Data Memory – bộ nhớ dữ liệu EEPROM

ATmega88 chứa 512 byte bộ nhớ dữ liệu EEPROM. Nó được tổ chức thành không gian dữ liệu riêng biệt, trong chúng các byte đơn có thể được đọc và ghi. EEPROM có thể đọc ghi được ít nhất 100.000 lần.

EEPROM Read/Write Access – đọc/ghi dữ liệu vào EEPROM

Các thanh ghi truy nhập EEPROM có thể được thực hiện trong không gian I/O.

Thanh ghi địa chỉ EEPROM – EEARH và EEARL

Bit	15	14	13	12	11	10	9	8	
	-	-	-	-	-	-	-	EEAR8	EEARH
	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R	R	R	R	R	R	R	R/W	
Initial Value	0	0	0	0	0	0	0	X	
	X	X	X	X	X	X	X	X	

- **Bits 15..9** – Res: Các bit dự phòng

Các bit này được đặt dự phòng trong Atmega88 và sẽ luôn là 0.

- **Bits 8..0** – EEAR9..0: Địa chỉ EEPROM

Giá trị khởi tạo của EEAR là không xác định. Giá trị thích hợp phải được ghi trước khi EEPROM có thể được truy cập.

Thanh ghi dữ liệu EEPROM – EEDR

Bit	7	6	5	4	3	2	1	0	
	MSB							LSB	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7..0** – EEDR7:0: Dữ liệu EEPROM

Để ghi EEPROM, thanh ghi dữ EEDR chứa dữ liệu được ghi vào trong EEPROM với địa chỉ được chỉ ra trong thanh ghi EEAR. Khi đọc EEPROM, thanh ghi EEDR chứa dữ liệu đọc ra từ EEPROM tại địa chỉ chỉ ra tại EEAR.

Bộ nhớ dữ liệu EEPROM

Thanh ghi trạng thái EEPROM – EECR

Bit	7	6	5	4	3	2	1	0	
	–	–	EPM1	EPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	X	X	0	0	X	0	

- **Bits 7..6** – Res: Các bit dự phòng

Các bit này được đặt dự phòng trong Atmega88 và sẽ luôn là 0.

- **Bit 5..4** – EPM1 và EPM0: Các bit chế độ lập trình EEPROM
- **Bit 3** – EERIE: EEPROM Ready Interrupt Enable
- **Bit 2** – EEMWE: EEPROM Master Write Enable
- **Bit 1** – EEWE: EEPROM Write Enable
- **Bit 0** – EERE: EEPROM Read Enable

Phòng ngừa sai lệch dữ liệu EEPROM

Trong thời gian nguồn điện VCC bị sụt dữ liệu của EEPROM có thể bị sai bởi vì điện áp cung cấp quá thấp cho CPU và EEPROM làm việc đúng. Điều này cũng tương tự đối với các hệ thống bản mạch sử dụng EEPROM, và các giải pháp thiết kế tương tự nên được ứng dụng.

Một sự sai khác dữ liệu của EEPROM có thể bị gây ra bởi 2 yếu tố khi mà điện áp quá thấp: Đầu tiên là sự liên tiếp ghi vào EEPROM đòi hỏi một điện áp tối thiểu để hoạt động một cách đúng đắn. Thứ 2 là CPU có thể tự thực hiện sai câu lệnh nếu điện áp cung cấp qua thấp.