

Viện CNTT&TT Bộ môn KTMT	Đề thi môn: KIẾN TRÚC MÁY TÍNH Lần 1 Họ và tên sinh viên :.....Lớp K51.....
Thời gian làm bài : 90 phút Ngày thi: 17/6/2009 ♥ Cấm sử dụng tài liệu, Phone, Camera, Laptop, PDA ♥ Sinh viên đề nghị cán bộ coi thi kí vào bài thi ♥ Nộp lại đề cùng bài thi.	

Câu 1. Hãy biểu diễn các số nguyên có dấu sau đây về dạng bù hai 8 bit

+84 ; -84 ; +69 ; -69

Lần lượt thực hiện các phép toán dưới đây theo dạng nhị phân và từ các kết quả nhị phân 8 bit vừa nhận được hãy chuyển đổi về dạng thập phân, biết rằng kết quả phép toán cũng chỉ được chứa trong 8 bit. Cho biết nội dung các cờ ZF, SF, CF, OF với từng phép toán đó

- a) $(+84) + (+69)$
- b) $(+84) - (-69)$
- c) $(-84) + (+69)$
- d) $(-84) - (-69)$

Câu 2. Biểu diễn các số thập phân sau về dạng IEEE754/85 32 bit

- a) $X = -37.125$
- b) $Y = 1/64$

Câu 3. Trên máy tính dùng bộ xử lý có bus địa chỉ 32 bit, bus dữ liệu 64 bit, các thanh ghi bên trong có độ dài 32 bit, giả sử có một mảng dữ liệu hai chiều A có kích thước (5x6) của các phần tử 32 bit. Mảng A được lưu trữ theo hàng trong bộ nhớ chính, cấp phát bắt đầu từ địa chỉ 000B8000₍₁₆₎. Để trở vào phần tử A[i,j] của mảng (i=1,2,..5, j=1,2,..6), yêu cầu kết hợp sử dụng thanh ghi R1 để trở vào đầu hàng thứ i của mảng A và thanh ghi R2 để trở tương đối vào phần tử thứ j trong hàng i tính từ đầu hàng.

- a) Cho biết các thanh ghi R1 và R2 phải được gán giá trị bằng bao nhiêu (viết dưới dạng hệ 16) khi muốn kết hợp chúng để trở vào phần tử A[3,4] ?
- b) Hãy cho biết phần tử A[3,4] của mảng nằm trên các băng nhớ nào của bộ nhớ vật lý ?

Câu 4. Máy tính sử dụng: bộ xử lý có bus địa chỉ 20 bit (A0÷A19), bus dữ liệu 8 bit (D0÷D7) ; chip nhớ EPROM 32Kx8 bit; các chip nhớ SRAM 16Kx8 bit, các cổng vào ra. Bộ xử lý đánh địa chỉ cho bộ nhớ và các cổng vào ra theo byte. Các cổng vào ra được đánh địa chỉ theo bản đồ bộ nhớ. Bốn bit cao nhất của bus địa chỉ (A19, A18, A17, A16) được sử dụng để phân vùng như sau : 0000 cho vùng RAM, 1111 cho vùng ROM, 1000 cho các cổng vào ra, các vùng còn lại dùng để lưu trữ.

Máy tính cần: 32KBytes ROM; 64Kbytes RAM; khối vào ra gồm 32 cổng vào ra có địa chỉ liên tiếp nhau. Với từng loại ở trên (RAM, ROM, khối các cổng vào ra) được phân bổ bắt đầu với các bit địa chỉ còn lại (A15÷A0) đều bằng 0.

- a) Vẽ sơ đồ thiết kế mô đun RAM 64Kbytes ở trên.
- b) Cho biết dải địa chỉ (địa chỉ đầu và địa chỉ cuối) dưới dạng hệ mười sáu của mô đun ROM 32Kbytes, mô đun RAM 64Kbytes, các cổng vào ra.