



Hàm di chuyển dữ liệu

Bởi:

Khoa CNTT ĐHSP KT Hưng Yên

Khối chuyển dữ liệu: Khai báo

FBD	LAD	STL
		<pre> A I 0.0 JNB _001 L MW 0 T MW 2 SET SAVE CLR _001: A BR = Q 4.0 </pre>

Nguyên lý hoạt động

Khi có tín hiệu kích I0.0 khối MOVE được thiết lập, tín hiệu đầu ra ENO là Q4.0 = 1. Đồng thời số liệu ở đầu vào IN là MW0 được Copy sang đầu ra OUT là MW2.

Khi tín hiệu kích I0.0 = 0 tín hiệu đầu ra Q4.0 = 0.

Trong trường hợp muốn thay đổi số liệu trong bộ nhớ (tức là thay đổi giá trị trong MW2) ta có thể không cần sử dụng tín hiệu kích I0.0.

Ví dụ: Một bóng đèn được hoạt động theo nguyên tắc sau: Nếu ấn nút S₁ đèn sáng 5s, nếu ấn nút S₂ đèn sáng 10s, đèn tắt khi ấn nút S₃

Các bộ ghi dịch và quay số liệu trên thanh ghi

Dịch phải số nguyên 16 bits: Khai báo

Khi tín hiệu kích I0.0 = 1 Khối sẽ thực hiện chức năng dịch chuyển sang phải số liệu trong thanh ghi. Đồng thời tín hiệu ra tại ENO là Q4.0 có giá trị là “1”.

Số liệu đưa vào tại IN là MW0

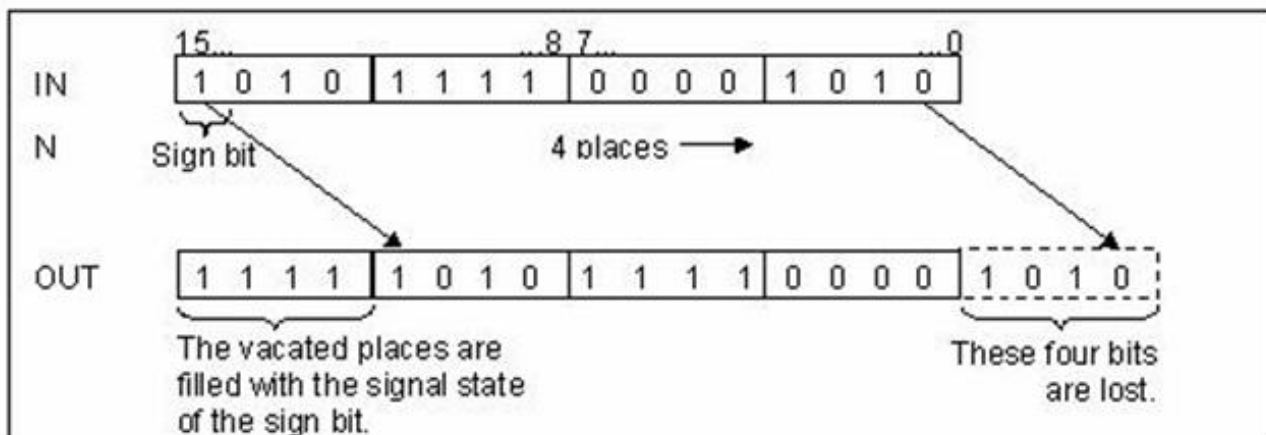
Hàm di chuyển dữ liệu

Số bit sẽ dịch chuyển là MW2 (tại chân N)

Kết quả sau khi dịch được cất vào MW4.

Trên sơ đồ cho ta thấy kết quả của bộ dịch phải 4 bit.

FBD	LAD	STL
		<pre> A I 0.0 JNB _001 L MW 2 L MW 0 SSI T MW 4 SET SAVE CLR _001: A BR = 0 4.0 </pre>



Dịch phải số nguyên 32 bits: Khai báo

FBD	LAD	STL
		<pre> A I 0.0 JNB _001 L MW 4 L MD 0 SSD T MD 10 SET SAVE CLR _001: A BR = Q 4.0 </pre>

Khi tín hiệu kích I0.0 = 1. Khối sẽ thực hiện chức năng dịch chuyển sang phải số liệu trong thanh ghi. Đồng thời tín hiệu ra tại ENO là Q4.0 có giá trị là 1.

Số liệu đưa vào tại IN là MD0

Số bit sẽ dịch chuyển là MW2 (tại chân N). Kết quả sau khi dịch được cất vào MW4.

Trên sơ đồ cho ta thấy kết quả của bộ dịch phải 4 bit.

Dịch trái 16 bits: Khai báo

Nguyên lý hoạt động

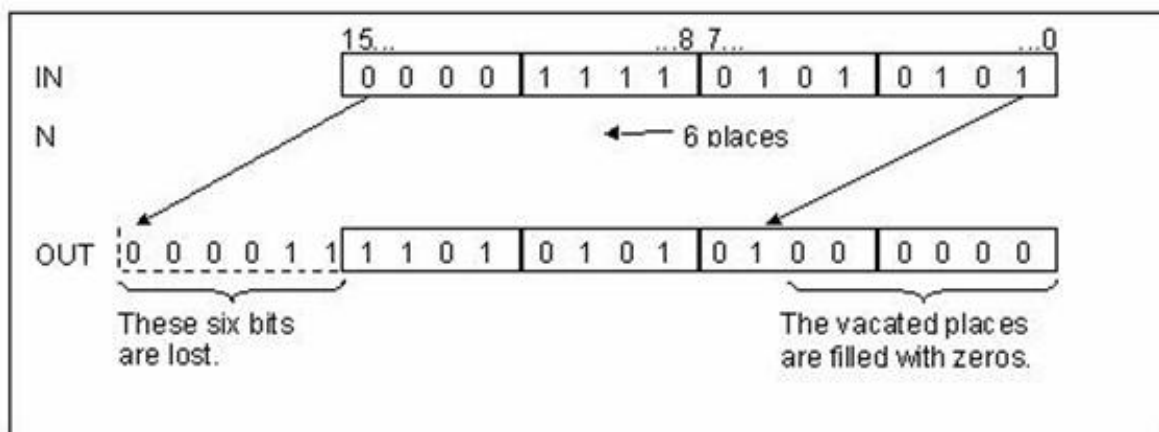
Khi có tín hiệu kích I0.0 = 1 tín hiệu ra Q4.0 được thiết lập và có giá trị 1.

Dữ liệu ở đầu vào MW0 được dịch sang trái với số bit được đặt tại chân N (MW2). Kết quả sau khi dịch được ghi vào MW4.

FBD	LAD	STL
		<pre> A I 0.0 JNB _001 L MW 2 L MW 0 SLW T MW 4 SET SAVE CLR _001: A BR = Q 4.0 </pre>

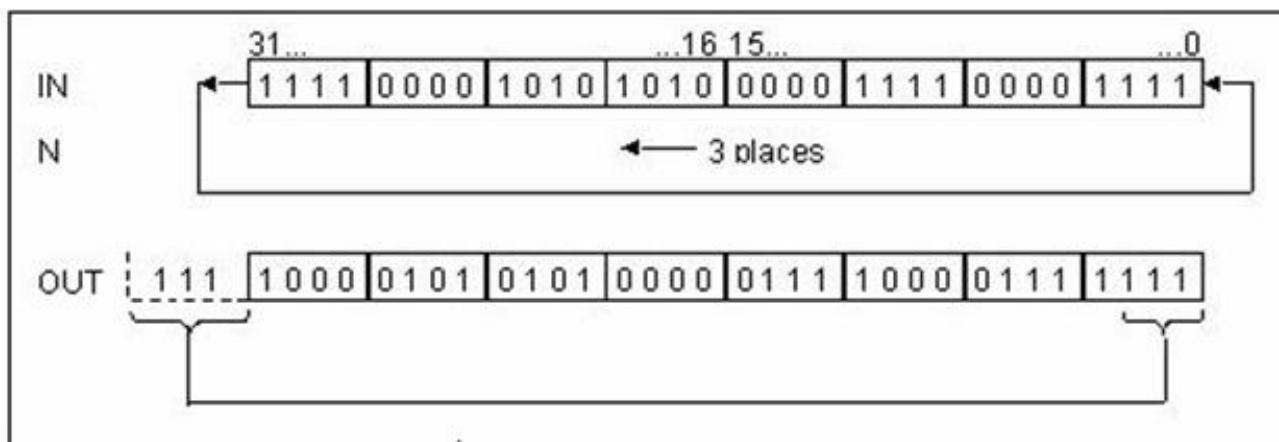
Giản đồ thời gian bộ dịch trái 6 vị trí

Hàm di chuyển dữ liệu



Quay trái số 32 bits: Khai báo

FBD	LAD	STL
		<pre> A I 0.0 JNB _001 L MW 4 L MD 0 RLD T MD 10 SET SAVE CLR 001. A RD </pre>



Nguyên lý hoạt động

Khi có tín hiệu kích I0.0 = 1 tín hiệu ra Q4.0 được thiết lập và có giá trị 1.

Hàm di chuyển dữ liệu

Dữ liệu ở đầu vào MD0 được quay sang trái với số bit được đặt tại chân N (MW4) Kết quả sau khi dịch được ghi vào MD10.

Quay phải số 32 bits: Khai báo

FBD	LAD	STL
		<pre> A I 0.0 JNB _001 L MW 4 L MD 0 RRD T MD 10 SET SAVE CLR _001: A BR = Q 4.0 </pre>

Nguyên lý hoạt động

- Khi có tín hiệu kích I0.0 = 1 tín hiệu ra Q4.0 được thiết lập và có giá trị 1.
- Dữ liệu ở đầu vào MD0 được quay phải với số bit được đặt tại chân N (MW4)
- Kết quả sau khi dịch được ghi vào MD10.

Giản đồ thời gian bộ dịch phải 3 vị trí số 32 bits

