UBND TỈNH BẮC NINH
TRƯỜNG CAO ĐẲNG CÔNG NGHIỆP BẮC NINH

GIÁO TRÌNH

MÔ ĐUN: ĐIỆN TỬ CƠ BẢN

NGÀNH:

KỸ THUẬT LẮP ĐẶT ĐIỆN VÀ ĐIỀU KHIỂN TRONG CÔNG NGHIỆP

TRÌNH ĐỘ: CAO ĐẲNG

Bắc Ninh, năm 2017

TUYÊN BỐ BẢN QUYỀN

Tài liệu này thuộc loại sách giáo trình nên các nguồn thông tin có thể được phép dùng nguyên bản hoặc trích dùng cho các mục đích về đào tạo và tham khảo.

Mọi mục đích khác mang tính lệch lạc hoặc sử dụng với mục đích kinh doanh thiếu lành mạnh sẽ bị nghiêm cấm.

LỜI GIỚI THIỆU

Để thực hiện biên soạn giáo trình đào tạo ngành Kỹ thuật lắp đặt điện và điều khiển trong công nghiệp ở trình độ Cao đẳng, giáo trình ***Điện tử cơ bản*** là một trong những giáo trình môn học đào tạo chuyên ngành được biên soạn theo nội dung chương trình khung do trường ban hành. Nội dung biên soạn ngắn gọn, dễ hiểu, tích hợp kiến thức và kỹ năng chặt chẽ với nhau, logíc.

Khi biên soạn, nhóm biên soạn đã cố gắng cập nhật những kiến thức mới có liên quan đến nội dung chương trình đào tạo và phù hợp với mục tiêu đào tạo, nội dung lý thuyết và thực hành được biên soạn gắn với nhu cầu thực tế trong sản xuất đồng thời có tính thực tiển cao. Nội dung giáo trình được biên soạn với dung lượng thời gian đào tạo 90 giờ gồm có:

Bài 1: Đọc, đo linh kiện.

Bài 2: Mạch điện tử cơ bản

Bài 3: Đại cương kỹ thuật số

Trong quá trình sử dụng giáo trình, tuỳ theo yêu cầu cũng như khoa học và công nghệ phát triển có thể điều chỉnh thời gian và bổ sung những kiên thức mới cho phù hợp. Trong giáo trình, chúng tôi có đề ra nội dung thực tập của từng bài để người học cũng cố và áp dụng kiến thức phù hợp với kỹ năng.

Tuy nhiên, tùy theo điều kiện cơ sở vật chất và trang thiết bị, các trường có thề sử dụng cho phù hợp. Mặc dù đã cố gắng tổ chức biên soạn để đáp ứng được mục tiêu đào tạo nhưng không tránh được những khiếm khuyết. Rất mong nhận được đóng góp ý kiến của các thầy, cô giáo, bạn đọc để nhóm biên soạn sẽ hiệu chỉnh hoàn thiện hơn. Các ý kiến đóng góp xin gửi về Trường Cao đẳng công nghiệp Bắc Ninh, TP. Bắc Ninh, Tỉnh Bắc Ninh

.

Lời cảm ơn của các cơ quan liên quan, các đơn vị và cá nhân đã tham gia.

Bắc Ninh, ngày….tháng…năm 2017

Tham gia biên soạn

1. Chủ biên Kỹ sư Nguyễn Duy Hưng

2. Kỹ sư Ngô Đức Tú

MỤC LỤC

	TRANG
Lời giới thiệu	3
Bài 1: Đọc, đo linh kiện.	9
1. Linh kiện thụ động	9
2. Linh kiện bán dẫn	17
Bài 2: Mạch điện tử cơ bản	23
1. Máy hiện sóng	23
2. Mạch nguồn	28
3. Mạch ổn áp	29
5. Mạch dao động	30
6. Mạch điều khiển đèn đường	32
Bài 3: Đại cương kỹ thuật số	33
1. Hệ thống số và mã số	33
2. Các cổng logic cơ bản	43
3. Mạch đếm và thanh ghi	49
4. ROM, RAM	63

GIÁO TRÌNH MÔN HỌC/MÔ ĐUN

Tên mô đun: ĐIỆN TỬ CƠ BẢN

Mã mô đun: MĐ 13

Thời gian thực hiện mô đun: 90 giờ; (Lý thuyết: 30 giờ; Thực hành, thí nghiệm, thảo luận, bài tập: 52 giờ; Kiểm tra: 8 giờ)

I. Vị trí, tính chất của mô đun

- Vị trí: Mô đun được bố trí dạy ngay đầu chương trình sau khi học xong các môn học chung, môn linh kiện điện tử, đo lường điện tử.
- Tính chất: Là mô đun kĩ thuật chuyên môn, thuộc mô đun đào tạo bắt buộc.

II. Mục tiêu mô đun:

- Kiến thức:
  + Phân tích được các bản vẽ mạch điện tử chính xác.
  + Nhận dạng, đọc, đo linh kiện điện tử chính xác.
  + Vẽ lại các mạch điện thực tế chính xác, đúng tiêu chuẩn kỹ thuật
- Kỹ năng:
  + Sử dụng được các loại đồng hồ đo để kiểm tra, phát hiện hư hỏng của linh kiện điện tử, thiết bị điện, hệ thống điện…
  + Gia công kết quả đo nhanh chóng, chính xác.
- Năng lực tự chủ và trách nhiệm:
  + Đảm bảo an toàn cho người và thiết bị.
  + Phát huy tính chủ động, sáng tạo và tập trung trong công việc.

III. Nội dung mô đun:

1. Nội dung tổng quát và phân bổ thời gian:

Số TT	Tên các bài trong mô đun	Thời gian (giờ)			
		Tổng số	Lý thuyết	Thực hành, thí nghiệm, thảo luận, bài tập	Kiểm tra
1	Bài 1: Đọc, đo linh kiện. 1. Linh kiện thụ động 2. Linh kiện bán dẫn 3. Bài kiểm tra số 1	24	6	17	1
2	Bài 2: Mạch điện tử cơ bản 1. Máy hiện sóng(Oscilloscope) 2. Mạch nguồn 3. Mạch ổn áp 4. Bài kiểm tra số 2 5. Mạch dao động 6. Mạch điều khiển	40	13	26	2

	7. Bài kiểm tra số 3				
3	Bài 3: Đại cương kỹ thuật số 1. Hệ thống số và mã hóa 2. Các cổng logic cơ bản 3. Mạch đếm, thanh ghi. 4. ROM, RAM 5. Bài kiểm tra số 4	22	11	9	1
	Kiểm tra kết thúc mô đun				4
	Cộng:	**90**	**30**	**52**	**8**

2. Nội dung chi tiết:

Bài 1: **Đọc, đo linh kiện**Thời gian: 24 giờ

1. Mục tiêu của bài:

- Phân biệt các loại linh kiện điện tử rời và trong mạch điện.
- Trình bày cấu tạo, tính chất và công dụng của linh kiện trong mạch điện tử
- Đọc các thông số kỹ thuật ghi trên thân linh kiện.
- Xác định đúng vị trí các chân trên linh kiện.
- Đánh giá chất lượng linh kiện bằng máy đo hiện sóng.

2. Nội dung bài:

Số TT	**Nội dung chi tiết**	**Thời gian (giờ)**		
		Lý thuyết	**Thực hành, thí nghiệm, thảo luận, bài tập**	**Kiểm tra**
1	Linh kiện thụ động. 1.1. Phân biệt các loại linh kiện thụ động 1.2. Cách đọc, đo các thông số linh kiện thụ động.	3	5	
2	Linh kiện bán dẫn 2.1. Phân biệt các linh kiện tích cực. 2.2. Cách đọc, đo các thông số kỹ thuật linh kiện bán dẫn.	3	12	
3	Bài kiểm tra số 1			1
	Tổng số:	**6**	**17**	**1**

Bài 2: **Mạch điện tử cơ bản** Thời gian: 40 giờ

1. Mục tiêu của bài:

- Phân tích được cấu tạo, nguyên lý của các mạch điện tử cơ bản

- Lắp ráp đúng kỹ thuật các mạch điện tử cơ bản
- Sử dụng thành thạo các máy đo thông dụng để đo kiểm tra, sửa chữa các mạch điện tử cơ bản đúng yêu cầu kỹ thuật
- Rèn luyện tính cần cù, tỉ mỉ, tác phong và vệ sinh công nghiệp.

2. Nội dung bài:

Số TT	Nội dung chi tiết	Thời gian (giờ)		
		Lý thuyết	Thực hành, thí nghiệm, thảo luận, bài tập	Kiểm tra
1	Máy hiện sóng. 1.1. Tác dụng máy hiện sóng (Oscilloscope). 1.2. Chức năng các bộ phận điều chỉnh bên ngoài 1.3. Hướng dẫn sử dụng máy hiện sóng	2		
2	Mạch nguồn 2.1. Mạch nguồn xoay chiều giảm áp. 2.2. Mạch nguồn xoay chiều tăng áp. 2.3. Dùng linh kiện thụ động để hạn dòng, giảm áp. 2.4. Lắp ráp, khảo sát mạch nguồn	2	6	
3	Mạch ổn áp 3.1. Mạch ổn áp dùng điốt Zenner. 3.2. Mạch ổn áp dùng Transistor. 3.3. Mạch ổn áp dùng IC ổn áp. + Mạch ổn áp dương sử dụng IC ổn áp 78xx. + Mạch ổn áp âm sử dụng IC ổn áp 79xx. + Mạch ổn áp đối xứng sử dụng IC ổn áp 78xx và 79xx. 3.4. Lắp ráp, khảo sát mạch ổn áp	3	8	
4	Bài kiểm tra số 2			1
5	Mạch dao động. 5.1. Mạch dao động dùng Transistor. 5.2. Mạch dao động dùng IC NE 555. 5.3. Lắp ráp, khảo sát mạch dao động	3	7	
6	Mạch điều khiển đèn đường . 6.1. Mạch điều khiển đèn đướng. 6.2. Lắp ráp, khảo sát mạch đèn đường	3	4	

7	Bài kiểm tra số 3			1
	Tổng số:	**13**	**25**	**2**

Bài 3: **Đại cương kỹ thuật số** Thời gian: 22 giờ

1. Mục tiêu của bài:

- Đo, đọc chính xác trị số các đại lượng điện U, I, R, L, C, tần số, công suất và điện năng...
- Lựa chọn phù hợp phương pháp đo cho từng đại lượng cụ thể.
- Sử dụng và bảo quản các loại thiết bị đo đúng tiêu chuẩn kỹ thuật.
- Rèn luyện tính chính xác, chủ động, nghiêm túc trong công việc.

2. Nội dung bài:

Số TT	**Nội dung chi tiết**	**Thời gian (giờ)**		
		Lý thuyết	**Thực hành, thí nghiệm, thảo luận, bài tập**	**Kiểm tra**
1	Hệ thống số và mã số	3	3	
2	Các cổng logic cơ bản	2	2	
3	Mạch đếm, thanh ghi	4	5	
4	ROM, RAM	2		
5	Bài kiểm tra số 4			1
	Kiểm tra			
	Tổng số:	**11**	**10**	**1**

Bài kiểm tra kết thúc mô đun: 4 giờ

Nội dung của môn học/mô đun:

BÀI 1: ĐỌC, ĐO LINH KIỆN Thời gian: 24 giờ

Mục tiêu của bài:

- Phân biệt các loại linh kiện điện tử rời và trong mạch điện.
- Trình bày cấu tạo, tính chất và công dụng của linh kiện trong mạch điện tử
- Đọc các thông số kỹ thuật ghi trên thân linh kiện.
- Xác định đúng vị trí các chân trên linh kiện.
- Đánh giá chất lượng linh kiện bằng máy đo hiện sóng.

Nội dung chính:

1. Linh kiện thụ động

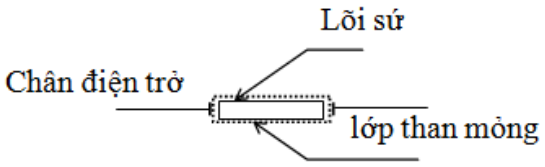
1.1 Phân biệt các linh kiện thụ động

1. Điện trở

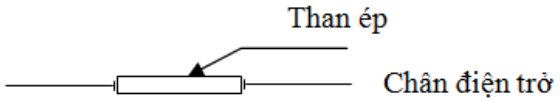
- Công dụng: Điện trở là linh kiện thụ động không thể thiếu trong các mạch điện và điện tử, chúng có tác dụng cản trở dòng điện, tạo sự sụt áp để thực hiện các chức năng khác tuỳ theo vị trí của điện trở ở trong mạch. Đơn vị: Ω (ôm)

1.1. Phân loại, cấu tạo, ký hiệu

- Điện trở than lớp: lõi là một chất cách điện thường làm bằng sứ bao quanh lõi là một lớp than rất mỏng, bề mặt có phủ lớp sơn cách điện trên thân điện trở thường có những vạch mầu.



- Điện trở than ép: Được cấu tạo từ chất dẫn điện (than) trộn với chất cách điện thường là đất sét và chất liên kết hoá học được ép thành thỏi. Hai đầu được hàn hai dây dẫn dùng làm chân điện trở

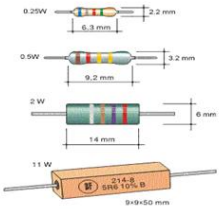


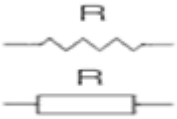
- Điện trở màng kim loại: lõi là chất cách điện (sứ). Bên ngoài được phủ một lớp kim loại thường là Niken hoặc Crom loại này có trị số ổn định hơn điện trở than nhưng giá thành cao công suất thường là 1\2W
- Điện trở oxit kim loại: Lõi là chất cách điện thường là sứ. Bên ngoài được phủ một lớp oxit kim loại thường là oxit thiếc, ngoài cùng phủ lớp sơn cách điện để bảo vệ. Loại này chịu được nhiệt độ và độ ẩm cao, công suất thường là 1\2W
- Điện trở dây quấn: Lõi là chất cách điện bên ngoài được quấn bằng dây hợp kim có điện trở cao. Ngoài cùng được phủ lớp sơn cách điện để bảo vệ và để ghi giá trị điện

trở.

- Điện trở đặc biệt: Nhiệt trở, Quang trở, Điện trở cầu chì, Điện trở tuỳ áp

- Ký hiệu, hình dạng thực tế.





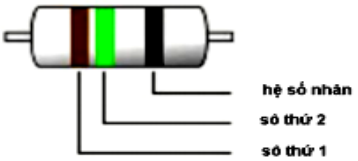
1.2. Các đọc, đo điện trở.

a. Đọc vạch màu

Quy tắc về mã màu:

Màu	Giá trị tương ứng	Hệ số nhân	Sai số
Đen	0	10^0	
Nâu	1	10^1	± 1%
Đỏ	2	10^2	± 2%
Cam	3	10^3	
Vàng	4	10^4	
Xanh lá	5	10^5	± 0,5%
Xanh dương	6	10^6	± 25%
Tím	7	10^7	± 10%
Xám	8	10^8	± 0,5%
Trắng	9	10^9	
Nhũ vàng		10^{-1}	± 5%
Nhũ bạc		10^{-2}	± 10%

Cách đọc điện trở 3 vòng màu



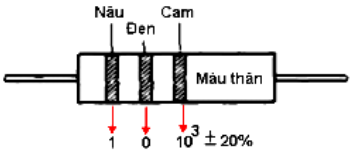
Vòng màu 1: chỉ số thứ 1

Vòng màu 2: chỉ số thứ 2

Vòng màu 3: chỉ số hệ số nhân

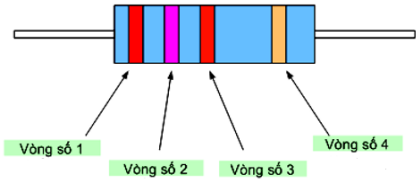
Giá trị R = (vòng màu 1)(vòng màu 2) x 10 $^{(\text{mũ vòng màu 3})}$ (Ω)

- Ví dụ:



R = $10.10^3 \pm 20\%$ = $10000\Omega \pm 20\%$

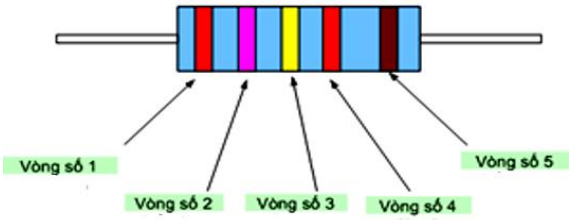
Cách đọc trị số điện trở 4 vòng mầu:



Vòng màu 1: chỉ số thứ 1
Vòng màu 2: chỉ số thứ 2
Vòng màu 3: chỉ số hệ số nhân
Vòng màu 4: chỉ sai số

Trị số = (vòng 1)(vòng 2) x 10 (mũ vòng 3) ± sai số (Ω)

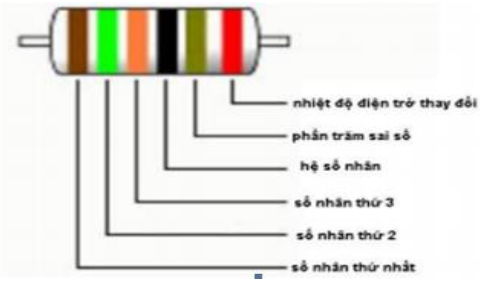
Cách đọc trị số điện trở 5 vòng mầu : (điện trở chính xác)



Vòng màu 1: chỉ số thứ 1
Vòng màu 2: chỉ số thứ 2
Vòng màu 3: chỉ số thứ 3
Vòng màu 4: chỉ số hệ số nhân
Vòng màu 5: chỉ sai số

Trị số = (vòng 1)(vòng 2) (vòng 3) x 10 (mũ vòng 4) ± sai số (Ω)

Cách đọc điện trở 6 vòng màu



Vòng màu 1: chỉ số thứ 1
Vòng màu 2: chỉ số thứ 2
Vòng màu 3: chỉ số thứ 3
Vòng màu 4: chỉ số thứ 4
Vòng màu 5: chỉ số hệ số nhân
Vòng màu 6: chỉ sai số

Trị số = (vòng 1)(vòng 2) (vòng 3) (vòng 4) x 10 (mũ vòng 5) ± sai số (Ω)

1.2.2 Cách đo

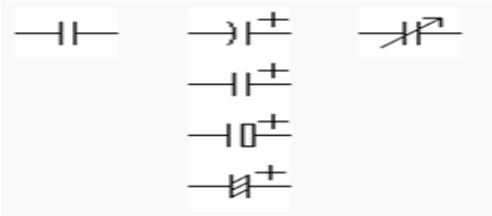
Trước hết, lấy thang đo Rx1K, chập hai dây đo, chỉnh kim về ngay vị trí 0 Ohm.

Khi đo, dòng điện của nguồn pin 3V trong máy đo sẽ bơm dòng ra ở dây đỏ, dòng qua điện trở Rx=10K trở vào ở dây đen, kim sẽ lên chỉ ngay vạch số 10, vì điện trở đang đo là 10K. Kết luận: điện trở tốt.

2. Tụ điện

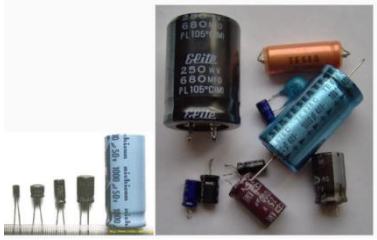
2.1 Ký hiệu, phân loại, cấu tạo

Ký hiệu



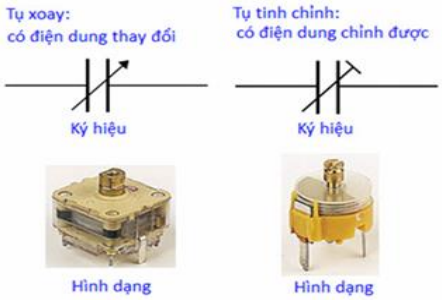
Phân loại

- Tụ hóa: là những tụ có phân cực (-)(+) và luôn có hình trụ. Trên thân tụ được thể hiện giá trị điện dung thường là µF



- Tụ giấy, tụ mica, tụ gốm, tụ màng mỏng: là những tụ không phân cực và có hình dẹt, không phân biệt âm dương. Trên thân tụ được thể hiện giá trị điện dung thường là pF, nF

- Tụ xoay: là những tụ có thể thay đổi giá trị điện dung



- Tụ Li ion: là các tụ có mật độ năng lượng cực cao (supercapacitor) như *Tụ điện Li ion* (tụ LIC), là tụ phân cực và dùng cho tích điện một chiều. Chúng có thể trữ điện năng cho vài tháng, cấp nguồn thay các pin lưu dữ liệu trong các máy điện tử. Khả năng phóng nạp nhanh và chứa nhiều năng lượng hứa hẹn ứng dụng tụ này trong giao thông để khai thác lại năng lượng hãm phanh (thắng), cung cấp năng lượng đỉnh đột xuất cho ô tô điện, tàu điện, tàu hỏa nhanh,…

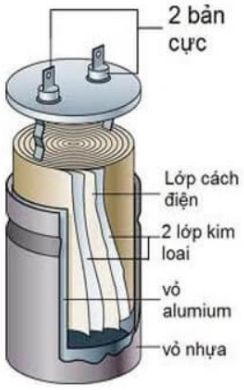
Cấu tạo của tụ điện

Một tụ điện thông thường sẽ có cấu tạo bao gồm:

Tụ điện gồm ít nhất hai dây dẫn điện thường ở dạng tấm kim loại. Hai bề mặt này được đặt song song với nhau và được ngăn cách bởi một lớp điện môi.

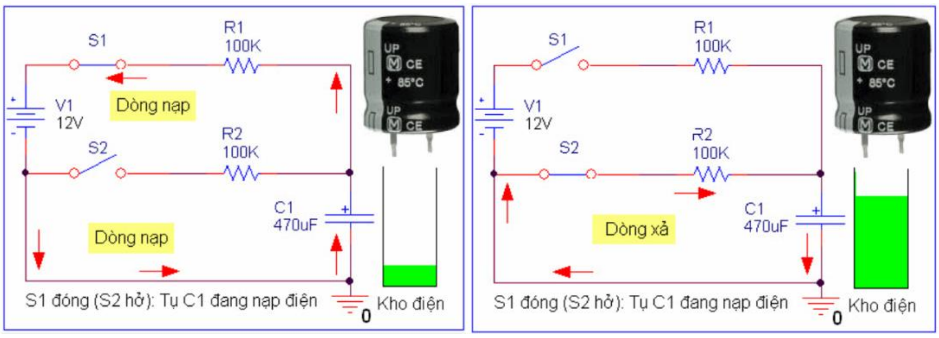
Điện môi sử dụng cho tụ điện là các chất không dẫn điện gồm thủy tinh, giấy, giấy tẩm hóa chất, gốm, mica, màng nhựa hoặc không khí. Các điện môi này không dẫn điện nhằm tăng khả năng tích trữ năng lượng điện của tụ điện.

Tùy thuộc vào chất liệu cách điện ở giữa bản cực thì tụ điện có tên gọi tương ứng. Ví dụ như nếu như lớp cách điện là không khí ta có tụ không khí, là giấy ta có tụ giấy, còn là gốm ta có tụ gốm và nếu là lớp hóa chất thì cho ta tụ hóa



Nguyên lý hoạt động

Nguyên lý phóng nạp của tụ điện được hiểu là khả năng tích trữ năng lượng điện như một ắc quy nhỏ dưới dạng năng lượng điện trường. Nó lưu trữ hiệu quả các electron và phóng ra các điện tích này để tạo ra dòng điện. Nhưng nó không có khả năng sinh ra các điện tích electron. Đây cũng là điểm khác biệt lớn của tụ điện với ắc qui. Nguyên lý nạp xả của tụ điện là tính chất đặc trưng và cũng là điều cơ bản trong nguyên lý làm việc của tụ điện. Nhờ tính chất này mà tụ điện có khả năng dẫn điện xoay chiều. Nếu điện áp của hai bản mạch không thay đổi đột ngột mà biến thiên theo thời gian mà ta cắm nạp hoặc xả tụ rất dễ gây ra hiện tượng nổ có tia lửa điện do dòng điện tăng vọt. Đây là nguyên lý nạp xả của tụ điện khá phổ biến



2.2. Cách đọc, đo giá trị và mắc tụ điện

2.2.1.Cách đọc, đo giá trị của tụ điện

a. Cách đọc.

Ghi bằng số và chữ:

K , Z , J , Π ứng với đơn vị pF
H, n ứng với đơn vị nF
M, m ứng với đơn vị µF

Vị trí của chữ thể hiện chữ số thập phân, giá trị của số thể hiện giá trị của tụ

Ví dụ

2H7J	C = 2,7 nF ± 5% U = 1KV

Ví dụ 102G = 10 ∗100pF ± 2%

Sai số

C = ± 0,25%	J = ± 5%
F = ± 1%	K = ± 10%
M = ± 20%	D = ± 0,5%
S = ± 50%	G = ± 2%

VD:

221K 1KV	C = 22 ∗10 = 220 pF ± 10% U = 1KV

Ghi bằng các con số không kèm theo chữ

+ Nếu các con số kèm theo dấu chấm hay phẩy thì đơn vị là µF , vị trí dấu phẩy (dấu chấm) thể hiện chữ số thập phân

.01K 100V	C = 0,01µF ± 10% U = 100V
.075J 1600V	C = 0,075µF ± 5% U = 1600V

+ Nếu các con số không kèm theo dấu thì đơn vị là pF và con số cuối cùng biểu thị số luỹ thừa của 10 . Đặc biệt số cuối cùng là số 0 đó là giá trị thực

763 25	C = 76 . 1000 pF U = 25V
200 50	C = 200 pF U = 50 V

- Ghi giá trị điện dung và điện áp đều theo mã số

Mã số của giá trị điện dung gồm 3 chữ số và 1 chữ cái
Mã số của điện áp gồm 1 chữ số và 1 chữ cái
Với loại tụ điện này:
Giá trị điện dung được đọc như phần trên
Điện áp làm việc ta tra bảng dưới đây để biết giá trị (đơn vị tính bằng Volt)

TT	A	B	C	D	E	F	G	H	I	K
0	1	1,25	1,6	2	2,5	3,15	4	5	6,3	8
1	10	12,5	16	20	25	31,5	40	50	63	80
2	100	125	160	200	250	315	400	500	630	800
3	1000	1250	1600	2000	2500	3150	4000	5000	6300	8000

Cách đo tụ điện

Dùng đồng hồ vạn năng kiểm tra quá trình phóng nạp của tụ (dùng tụ phân cực)

Bước 1: Dùng đồng hồ thang đo Ohm hợp lý.

Nếu giá trị điện dung của tụ nhỏ thì dùng giá trị thang đo lớn, nếu giá trị điện dung của tụ lớn thì dùng thang đo nhỏ

Bước 2: Dùng que đo đồng hồ nối tắt hai cực của tụ để tụ phóng hết điện

Bước 3: Đặt hai que đo lên hai cực của tụ điện, đồng thời quan sát quá trình di chuyển của tụ.

Quá trình đo sẽ xẩy ra một trong các trường hợp sau:

- Nếu kim đồng hồ tiến về vị trí 0 sau đó kim trả từ từ về vị trí ∞, chứng tỏ chất lượng tụ đó còn tốt
- Nếu kim đồng hồ tiến về vị trí 0 và nằm ngay tại vị trí 0, chứng tỏ tụ đó bị chập → chất lượng tụ đó bị hỏng
- Nếu kim đồng hồ tiến về vị trí 0 sau đó kim trả từ từ về vị trí ∞ được khoảng nửa đường rồi dừng lại, chứng tỏ tụ bị rò rỉ → tụ đó chất lượng kém.

- Cách mắc

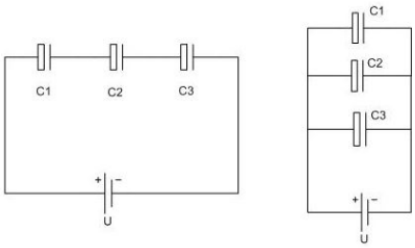
Mắc tụ điện nối tiếp:

2 tụ mắc nối tiếp: C tđ = C1.C2 / (C1 + C2)

3 tụ mắc nối tiếp: 1/C tđ = (1/C1) + (1/C2) + (1/C3)

Khi mắc nối tiếp thì điện áp chịu đựng của tụ tương đương bằng tổng điện áp của các tụ cộng lại: U tđ = U1 + U2 + U3

Lưu ý: mắc nối tiếp các tụ điện, nếu là các tụ hoá cần chú ý chiều của tụ điện, cực âm tụ trước phải nối với cực dương tụ như sơ đồ dưới:

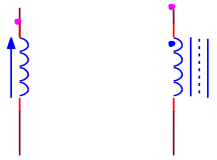


Mắc tụ điện song song:

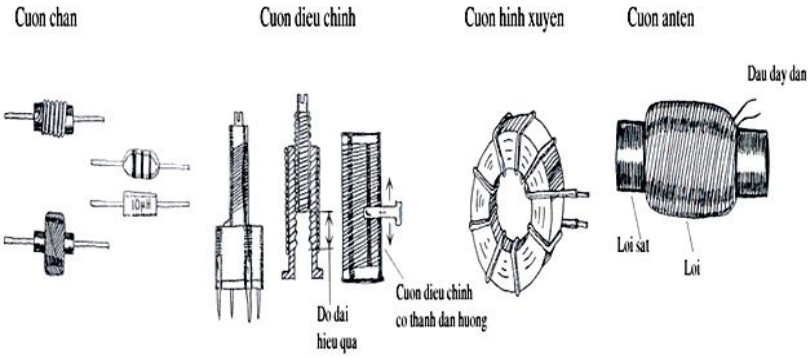
Các tụ điện mắc song song thì có điện dung tương đương bằng tổng điện dung của các tụ cộng lại C = C1 + C2 + C3

3. Cuộn Cảm

3.1 Ký hiệu



3.2 *Phân loại*

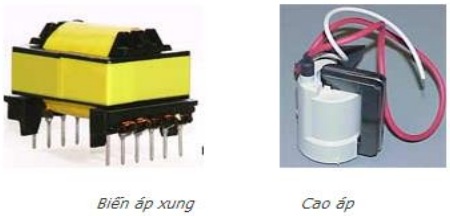


Hình 2.36: Các loại cuộn cảm

3.2.1 Biến áp nguồn và biến áp âm tần

Hình 2.37: Hình dạng biến áp nguồn và biến áp âm tần

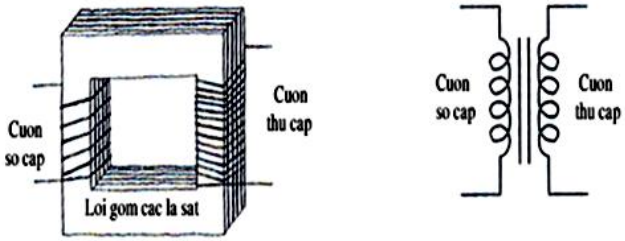
3.2.2 Biến áp xung & Cao áp



Hình 2.39: Hình dáng biến áp xung và cuộn cao áp

3.3 Ứng dụng cuộn cảm :

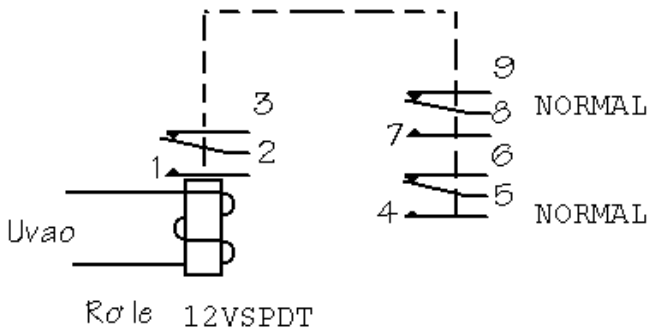
Biến áp:



Hình 2.40: Hình dạng cấu tạo biến áp

Rơle

Từ trường do cuộn dây sinh ra được ứng dụng vào việc chế tạo chuyển mạch điều khiển bằng điện, thay cho việc đóng mở bằng tay, trong kỹ thuật người ta gọi linh kiện này là rơle. Loại rơle thường được gọi là rơle điện từ và có sơ đồ biểu diễn như trên Hình 2.41 . Nhìn vào sơ đồ ta biết hai thông số quan trọng là: áp hoạt động của cuộn dây là 12V, các tiếp điểm chịu dòng là 3A.

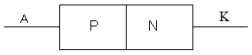


Hình 2.41: Cấu tạo relay

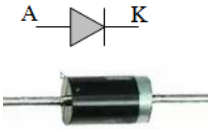
2. Linh kiện bán dẫn

2.1. Diode

- Cấu tạo:



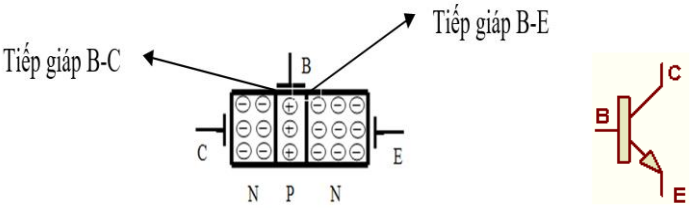
- Ký hiệu



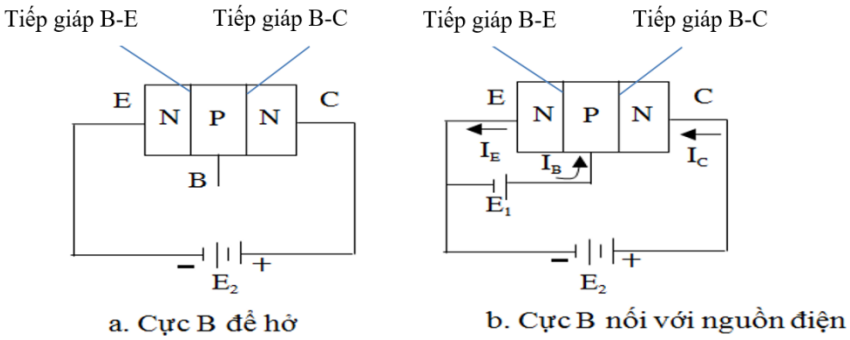
- Cách đo: Dùng máy đo VOM ở thang x1 hoặc x10 tiến hành đo 2 lần có đảo chiều que đo. Trong 2 lần đo thì chỉ có 1 lần kim đồng hồ có giá trị thi ở lần đo đó que đen ở đâu là chân A, còn lại là chân K và chất lượng Diode là tốt

2.2. Tranzitor lưỡng cực BJT

- Loại NPN



Nguyên lý làm việc



a. Cực B để hở b. Cực B nối với nguồn điện

- **Xét TH a**. Các hạt electron là hạt tải điện đa số của vùng cực E không thể di chuyển qua vùng cực B nên không có dòng điện chạy trong T. Tuy nhiên do chuyển động nhiệt nên có một số rất ít điện tử vượt qua lớp tiếp giáp gốc – góp, tạo ra một dòng điện rất nhỏ gọi là dòng điện rò.
- **Xét TH b**. Nối thêm nguồn E_1 sao cho: $V_E < V_B$ và $V_B < V_C$

Khi đó, diode BE phân cực thuận nên các e từ vùng phát E dễ dàng đi qua vùng gốc B. Còn diode BC phân cực ngược nên các e không thể đi qua vùng gốc B.

Do nồng độ tạp chất vùng B thấp và kích thước vùng B rất mỏng nên số lượng lỗ trống là hạt tải đa số ở vùng B rất ít. Do đó số lượng các e từ vùng E chuyển động sang vùng B rất lớn. Nhưng chỉ có rất ít tái hợp với lỗ trống trong vùng B để tạo thành dòng I_B, còn cực góp C do có điện áp lớn hơn nên hút phần lớn điện tử trong vùng cực B sang vùng cực C tạo thành dòng I_C.

Cực E nối với nguồn âm nên khi bị mất e, sẽ hút các e từ nguồn âm đến thế chỗ, tạo thành dòng I_E.

Số lượng các e bị hút từ cực E đến di chuyển sang cực B và C nên dòng điện I_B và I_C đều di chuyển về cực E. Ta có: $I_E = I_B + I_C$

Cách đo, kiểm tra:

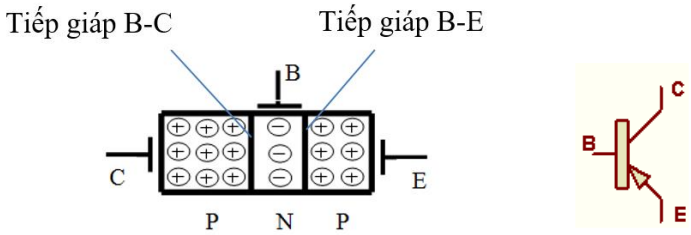
Bước 1: Xác định chân B. Chọn thang đo điện trở x1 hoặc x10

Tiến hành đo 6 lần có đảo chiều que đo. Trong 6 lần đo có 2 lần kim đồng hồ có giá trị. Nếu que đen ở đó là B (Loại NPN) và que đỏ (loại PNP)

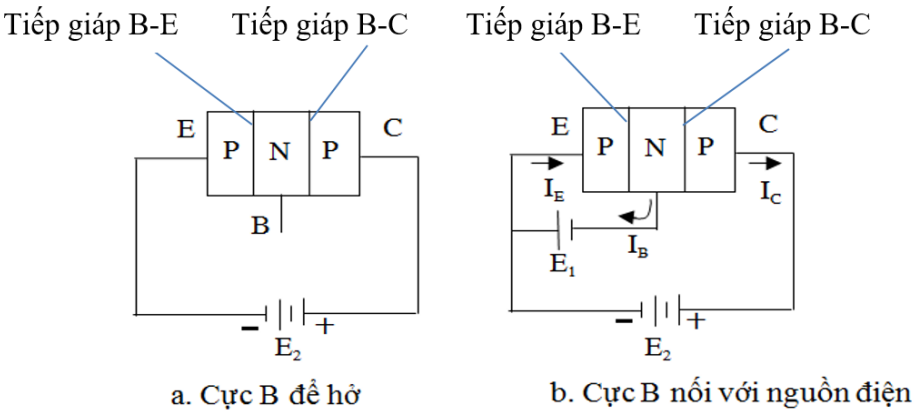
Bước 2: Xác định C, E. Chọn thang x10K

Tiến hành đo 2 lần có đảo chiều. Lần đo nào có giá trị nhỏ hơn mà que đỏ là C, còn lại là E

- Loại PNP:



Xét nguyên lý làm việc của tranzitor PNP



a. Cực B để hở

b. Cực B nối với nguồn điện

- **Xét TH a.** Dưới tác dụng của lực tĩnh điện, các hạt tải điện tối đa của vùng E sẽ di

chuyển sang vùng C nhưng do diode BE không được phân cực nên lỗ trống của vùng E không thể sang vùng B được, vì vậy không có hiện tượng tái hợp giữa lỗ trống và e tức là không có dòng điện chạy qua T

- **Xét TH b**. Nối thêm nguồn E_1 sao cho: $V_E > V_B$ và $V_B > V_C$

Khi đó, diode BE phân cực thuận nên các lỗ trống từ vùng bán dẫn P của cực phát E di chuyển qua vùng bán dẫn N của cực gốc B để tái hợp với các e. Vùng bán dẫn N của cực B có thêm lỗ trống nên có điện tích dương, do cực B nối vào điện áp âm của nguồn E_1 nên nguồn E_1 sẽ hút một số lỗ trống trong vùng bán dẫn N của cực B, tạo thành dòng I_B . Cực C nối vào điện áp âm hơn nên hút hầu hết các lỗ trống trong vùng bán dẫn N của cực B sang vùng bán dẫn P của cực C, tạo thành dòng I_C

Cực E nối với nguồn dương nên khi vùng bán dẫn P của cực E bị mất lỗ trống, sẽ hút lỗ trống từ nguồn dương lên thế chỗ tạo thành dòng I_E.

Số lượng lỗ trống bị hút từ cực E đến di chuyển sang cực B và C nên dòng điện I_B và I_C đều từ cực E đi ra.

Ta có: $I_E = I_B + I_C$

Cách xác định chân B,C,E

Bước1: Sử dụng đồng hồ thang đo Ω nhỏ nhất

Bước 2: Lấy một que bất kỳ làm cố định (que đen) và đặt lên một chân cố định bất kỳ (chân thứ nhất). Que đo còn lại di động lên hai chân khác (chân thứ 2 và chân thứ 3), đồng thời ghi kết quả của hai phép đo đó

Lần đo thứ nhất ta có kết quả của hai phép đo R1-1 và R1-2.

Bước 3: Di chuyển que cố định sang chân thứ hai, thực hiện như bước 2.

Lần đo thứ hai ta có kết quả của hai phép đo R2-1và R2-2.

Bước 4: Di chuyển que cố định sang chân thứ ba, thực hiện như bước 2.

Lần đo thứ ba ta có kết quả của hai phép đo R3-1 và R3-2.

Bước 5: Xác định cực Base và loại Transistor:

Lấy kết quả của ba lần đo trên so sánh lần đo nào có hai kết quả phép đo bằng nhau hoặc gần bằng nhau và nhỏ nhất (lần 1) làm căn cứ để xác định cực Base và loại.

● Tại que đo cố định là cực Base của Transistor.

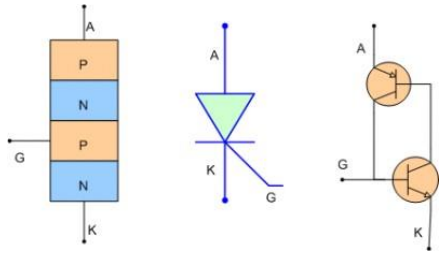
● Nếu que đo cố định là que đen thì Transistor là loại nghịch (N-P-N). Còn nếu que đo cố định là que đỏ thì Transistor là loại thuận (P-N-P).

2.3. Thysistor

Công dụng, Cấu tạo, ký hiệu

- Công dụng: Thyristor là linh kiện bán dẫn thường dùng để điều khiển đóng và ngắt mạch. Nó có thể là linh kiện 2 cực, 3 cực hoặc 4 cực, có thể dẫn điện một chiều hoặc cả hai chiều.

- Cấu tạo: Thyristior là một linh kiện gồm bốn lớp bán dẫn P_1, N_1, P_2, N_2 ghép lại. Tạo nên 3 cực anode A, Cathode K và Gate G



Thyristor có cấu tạo gồm 4 lớp bán dẫn ghép lại tạo thành hai Transistor mắc nối tiếp, một Transistor thuận và một Transistor ngược (như sơ đồ tương đương ở trên).
Thyristor có 3 cực là Anot, Katot và Gate gọi là A-K-G, Thyristor là Diode có điều khiển, bình thường khi được phân cực thuận, Thyristor chưa dẫn điện, khi có một điện áp kích vào chân G => Thyristor dẫn cho đến khi điện áp đảo chiều hoặc cắt điện áp nguồn Thyristor mới ngưng dẫn.

- Đặc điểm của SCR:

+ Thời gian mở và tắt rất nhanh (vài µs đến chục µs)
+ Cường độ dòng điện cao.
+ Điện áp cao (hàng nghìn Vôn)
+ Sụt áp giữa 2 cực nhỏ (từ 1 ÷ 2V)
+ Khả năng điều khiển lớn

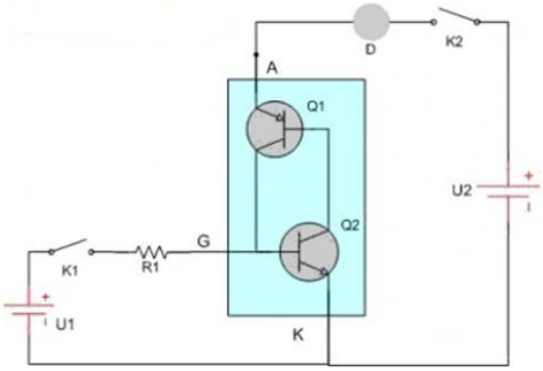
Phân cực cho SCR.

Điều kiện để SCR dẫn:

+ Phân cực thuận A – K ($V_A > V_K$)

+Có một xung dương kích vào cực G ($U_G > 0$)

Nguyên lý hoạt động



Ban đầu công tắc K2 đóng, Thyristor mặc dù được phân cực thuận nhưng vẫn không có dòng điện chạy qua, đèn không sáng
Khi công tắc K1 đóng, điện áp U1 cấp vào chân G làm Tranzito Q2 dẫn→ kéo theo Tranzito Q1 dẫn → dòng điện từ nguồn U2 đi qua Thyristor làm đèn sáng.
Tiếp theo ta thấy công tắc K1 ngắt nhưng đèn vẫn sáng, vì khi Tranzito Q1 dẫn, điện áp chân B Tranzito Q2 tăng làm Tranzito Q2 dẫn, khi Tranzito Q2 dẫn làm áp chân B Tranzito Q1 giảm làm Tranzito Q1 dẫn, như vậy hai đèn định thiên cho nhau và duy trì trang thái dẫn điện
Đèn sáng duy trì cho đến khi K2 ngắt → Thyristor không được cấp điện và ngưng trang thái hoạt động
Khi Thyristor đã ngưng dẫn, ta đóng K2 nhưng đèn vẫn không sáng như trường hợp ban đầu

Cách đo kiểm tra

- Xác định toạ độ 3 chân A, G, K

Đặt đồng hồ ở thang R x1 hoặc R x10

Ta tiến hành 6 phép đo. Trong 6 phép đo chỉ có duy nhất một phép đo cho giá trị điện trở. ở phép đo cho giá trị ohm đó ta xác định các cực theo từng loại SCR như sau

+ Đối với SCR kích xung dương (Cực G lấy ra ở lớp tiếp giáp P): Khi đó que đen là cực G, que đỏ là cực K, còn lại là cực A

+ Đối với SCR kích xung âm (Cực G lấy ra ở lớp tiếp giáp N): Khi đó que đen là cực A, que đỏ là cực G, còn lại là cực K

- Xác định chất lượng SCR

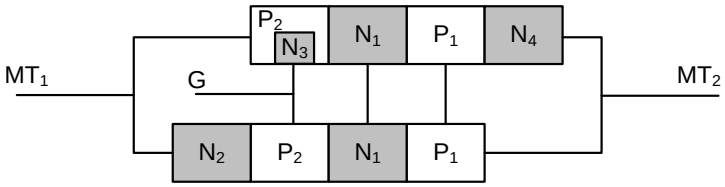
Que đỏ đặt vào cực K, que đen đặt vào cực A. Sau đó kích xung từ cực A sang cực G rồi nhả cực G ra, nếu kim đồng hồ lên và vẫn giữ ở một giá trị nhất định và không đổi khi ta nhả cực G thì SCR còn tốt

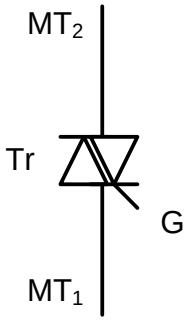
<u>Chú ý:</u> Tốc độ kích nhả cực G càng nhanh càng tốt

2.4. Triac

- Công dụng: Dùng dẫn thông dòng AC cả 2 chiều khi cực G được kích xung dương hoặc âm.

- Cấu tạo, ký hiệu





- Giữa hai đầu ra MT1 và MT2 là một khóa ngắt điện gồm bốn lớp bán dẫn *P-N-P-N* nối song song với bốn lớp bán dẫn *N-P-N-P*. Đầu ra thứ ba gọi là cực điều khiển G. Như vậy triac được coi như hai SCR đấu song song ngược chiều với nhau.

Phân cực cho triac.

Triac có thể được phân cực bằng dòng âm hoặc dòng dương. Dòng phân cực sẽ quyết định chiều dòng điện chạy qua triac.

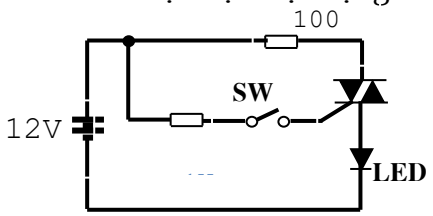
Cách đo, kiểm tra.

Cách đo Triac gần giống như cách đo SCR.

Do Triac có cấu tạo gồm hai SCR bên trong nên khi kẹp que đen vào cực G, đặt que đỏ vào hai cực còn lại, kim đều lên. Đây chính là điểm khác biệt giữa SCR và TRIAC.

Hai cực MT1 và MT2 có điện trở rất lớn.

Để kiểm tra TRIAC còn thực sự hoạt động hay không ta sử dụng sơ đồ test đơn giản như sau:



Trong đó R_1 có nhiệm vụ giới hạn dòng qua TRIAC, còn R_2 giới hạn dòng qua cực G.

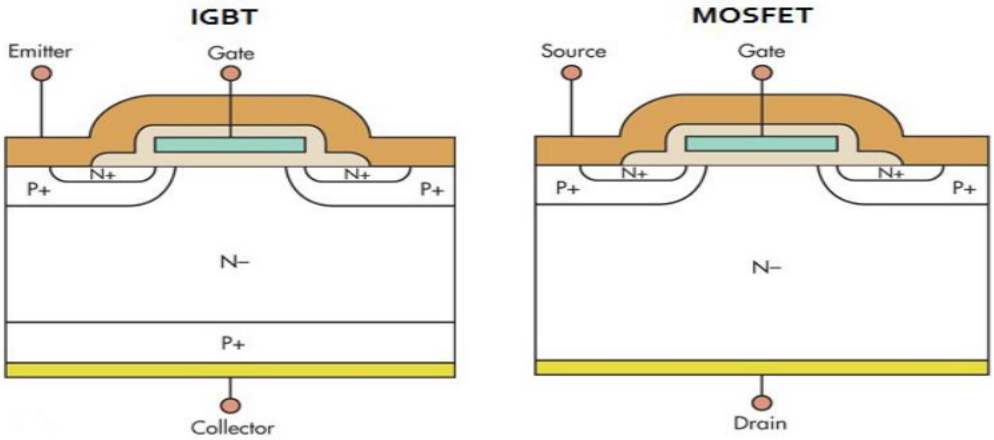
Sau khi đã cấp nguồn ta đóng khoá SW (nghĩa là cực G được nối) khi đó đèn

LED sáng (tương đương với việc TRIAC dẫn). Ngắt khoá SW, nếu LED vẫn sáng tức là TRIAC còn hoạt động tốt.

2.5. IGBT

IGBT (viết tắt của cụm từ tiếng anh Insulated Gate Bipolar Transistor) là Transistor có cực điều khiển cách ly là loại linh kiện bán dẫn công suất 3 cực. IGBT kết hợp khả năng đóng cắt nhanh của MOSFET và có khả năng chịu tải lớn của Transistor thông thường. IGBT cũng là phần tử được điều khiển bằng điện áp, do đó công suất điều khiển yêu cầu sẽ cực bé

Cấu tạo và nguyên lý hoạt động của IGBT

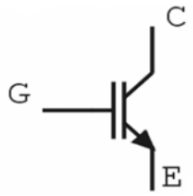


Về cấu trúc bán dẫn, IGBT gần giống với MOSFET, điểm khác nhau là nó có thêm lớp nối với Collector tạo nên cấu trúc bán dẫn P-N-P giữa Emiter (tương tự với cực gốc) với Collector (tương tự cực máng), mà không là N-N như ở MOSFET. Vì thế có thể coi IGBT tương đương với Transistor P-N-P với dòng Base được điều khiển bằng một MOSFET

Dưới tác dụng của áp điều khiển $U_{GE} > 0$, kênh dẫn với những hạt mang điện là những điện tử được hình thành, giống với cấu trúc MOSFET.Các điện tử di chuyển về phía Collector vượt qua lớp tiếp giáp N-P như ở cấu trúc giữa base, Collector ở Transistor thường, và tạo nên dòng Collector

Hình dáng

Ký hiệu



Ưu nhược điểm của IGBT

Ngày nay, IGBT được hy vọng sẽ dần dần sẽ thay thế tất cả các loại khóa còn lại. Bên cạnh các ưu điểm vượt trội thì vẫn còn một vài các hạn chế nhất định.

Ưu điểm:

– Cho phép việc đóng cắt dễ dàng, chức năng điều khiển nhanh chóng

– Chịu áp lớn hơn MOS, thường là 600V tới 1.5kV, một số loại lớn hơn thì hơi đặc biệt

– Tải dòng lớn, cỡ xấp xỉ 1KA. Sụt áp bé và điều khiển bằng áp

***Nhược* điểm:**

– Tần số thấp hơn so với MOS. Do vậy, với các ứng dụng cần tần số cao áp 400V thì MOS vẫn được ưu tiên hơn. Nếu IGBT hoạt động ở tần số cao thì sụt áp sẽ lớn hơn

– Công suất vừa và nhỏ

– Giá thành cao hơn so với các linh kiện khác như MOSFET

Cách đo và kiểm tra IGBT có tốt không?

– Nối tắt hai chân chân Gate và Emittor và cấp điện áp khoảng 12V

– Để đồng hồ vạn năng ở chế độ kiểm tra diode, sau đó đặt cực dương của que đo với chân Emittor và cực âm với chân Collector. Kiểm tra xem kim của đồng hồ vạn năng đã chỉ đúng điện áp rơi trên diode của IGBT chưa là được

– Nối ngược lại bước 2 và kiểm tra đồng hồ, nếu kim đồng hồ chỉ hở mạch hoặc trạng thái điện trở vô cùng lớn là OK

Ứng dụng của IGBT

Trong các mạch đóng cắt nhanh công suất lớn điện áp cao như biến tần, Servo, máy hàn, Lò tôi cao tần…

BÀI 2: MẠCH ĐIỆN TỬ CƠ BẢN Thời gian: 40 giờ

Mục tiêu của bài:

- Phân tích được cấu tạo, nguyên lý của các mạch điện tử cơ bản
- Lắp ráp đúng kỹ thuật các mạch điện tử cơ bản
- Sử dụng thành thạo các máy đo thông dụng để đo kiểm tra, sửa chữa các mạch điện tử cơ bản đúng yêu cầu kỹ thuật
- Rèn luyện tính cần cù, tỉ mỉ, tác phong và vệ sinh công nghiệp.

Nội dung chính:

1. Máy hiện sóng

Máy hiện sóng số DSO1052B

Bước 1: Xác định dạng tín hiệu.

*** Các phím chức năng.**

- **1** và **2**: Là các kênh đo của máy hiện sóng
- **Kênh 1** (hay kênh CH1)

+Coupling: Khớp nối với tín hiệu đo

+ DC: Đo tín hiệu một chiều

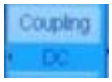
+ AC: Đo tín hiệu xoay chiều

+ Probe: Thang chia biên độ (thang 10X là thang đo chuẩn)

$$U_{thực} = \frac{U_{đo\ được} \cdot 10}{thang\ đo}$$

- **Push to Select:** Truy cập các tính năng
- **Push for Zoom:** Chỉnh chu kì
- **Push for Fine:** Chỉnh biên độ
- **Auto Scale:** Chế độ chạy tự động cho ra dạng tín hiệu tốt nhất

*** Quy trình thực hiện.**

Nội dung	Dụng cụ, thiết bị	Yêu cầu kỹ thuật
- Cấp nguồn cho máy đo hiện sóng và mạch tạo dao động dùng IC555 - Bật công tắc nguồn cho máy hiện sóng - Khởi động chế độ làm việc cho máy hiện sóng bằng phím - Cài đặt kênh đo:  để DC, để ở thang 10X - Chỉnh chu kỳ bằng núm	Bộ nguồn cho máy hiện sóng và mạch đo, máy đo hiến sóng DSO1052B, mạch dao động NE555	Xác định đúng tín hiệu đầu ra của mạch dao động NE555

 - Chỉnh biên độ bằng núm 		

Bước 2: Xuất các thông số của tín hiệu.

*** Các phím chức năng.**

- Meas: Phép đo tự động tất cả các giá trị biên độ, chu kì, tần số,…

Trên thanh công cụ của **Meas** sẽ có các chức năng sau

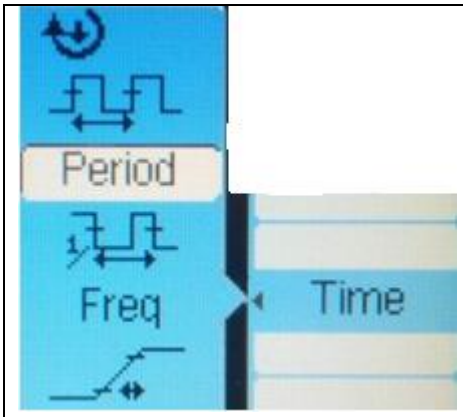
+ **Source:** Chọn kênh đo

+ **Voltage:** Đo biên độ

+ **Time:** Đo chu kì, tần số,…

*** Quy trình thực hiện**

Nội dung	Dụng cụ, thiết bị	Yêu cầu kỹ thuật
- Bấm phím - Chọn kênh đo bấm phím - Xuất biên độ bấm phím - Bấm phím **Time:**	Máy hiện sóng DSO1052B	Xuất đúng các giá trị biên độ, chu kỳ, tần số

 Xuất chu kỳ chon **Period**, xuất biên độ chọn **Freq**		

Bước 3: Lưu trữ tín hiệu

*** Các phím chức năng.**

Sử dụng phím **Save/Recall :** Lưu/gọi dữ liệu

Trên thanh công cụ của **Save/Recall** sẽ có các chức năng sau

+ **Storage :** Lưu Trữ

Waveform : Chỉ đọc được trên máy hiện sóng DSO1052B

Setups : Chỉ đọc được trên máy hiện sóng DSO1052B

8-Bitmap : File ảnh để đưa ra máy tính

24-Bitmap : File ảnh để đưa ra máy tính

PNG : File ảnh để đưa ra máy tính

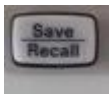
CSV : File đọc các thông số của máy mà của tín hiệu

+ **Internal :** Truy xuất dữ liệu trên máy

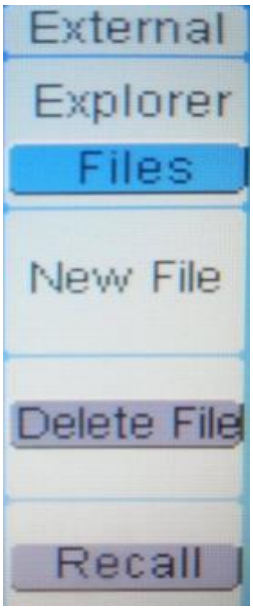
+ **External :** Xuất tín hiệu ra thiết bị lưu trữ

+ **Disk Mgr :** Thông tin trong thiết bị lưu trữ

*** Quy trình thực hiện**

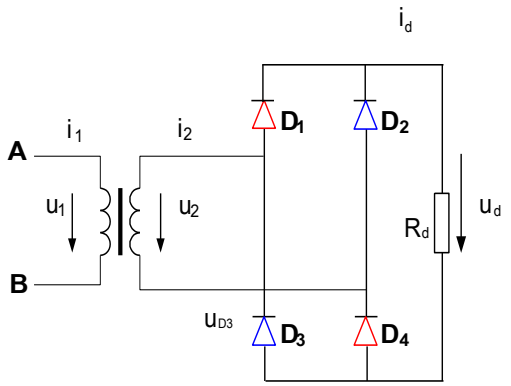
Nội dung	Dụng cụ, thiết bị	Yêu cầu kỹ thuật
Bấm phím  + Chọn file lưu trữ Bấm **Storage**	Máy hiện sóng DSO1052B	Thực hiện lưu trữ dữ liệu trên máy và trên USB phải chính xác

 ** Lưu trữ trên máy* + Bấm phím - **Location**: Chọn vị trí lưu - **Save**: Lưu dữ liệu - **Recall:** Gọi dữ liệu - **delete file:** xóa dữ liệu ** Lưu trên USB* + Cắm **USB** vào máy hiện sóng + Bấm phím **External:** + Tạo thư mục		

 - **New Folder:** Tạo thư mục mới - **Del Folder:** Xóa thư mục - **Recall:** Lấy thư mục + Tao File  - **New file:** Tạo file mới - **Del File:** Xóa File dữ liệu - **Recall:** Lấy File dữ liệu		

2. Mạch nguồn

a. Sơ đồ nguyên lý



Hình 2.5

b. Nguyên lý làm việc

Giả sử mạch đang làm việc ở chế độ xác lập, điện áp phía thứ cấp $u_2 = \sqrt{2}\, U_2 \sin\omega t$(v), coi như khi D dẫn điện, điện áp sụt trên nó là không Volt .

- Trong nửa chu kỳ đầu $\omega t = 0$ đến π, điện áp u_2 dương, khi đó cặp van D_1 và D_4 được phân cực thuận, nên dẫn điện. Còn cặp van D_2 và D_3 bị phân cực ngược nên không dẫn điện. Khi đó ta có:

$u_{D1} = u_{D4} = 0$; $u_{D2} = u_{D3} = -u_2 \le 0$; $u_{tải} = u_2 \ge 0$; $i_{D1} = i_{D4} = i_{tải}$; $i_{D2} = i_{D3} = 0$.

- Trong nửa chu kỳ sau $\omega t = \pi$ đến 2π, điện áp $-u_2$ dương, khi đó cặp van D_1 và D_4 bị phân cực ngược, nên không dẫn điện. Còn cặp van D_2 và D_3 phân cực thuận nên dẫn điện. Khi đó ta có:

$u_{D2} = u_{D3} = 0$; $u_{D1} = u_{D4} = u_2 \le 0$; $u_{tải} = -u_2 \ge 0$; $i_{D2} = i_{D3} = i_{tải}$; $i_{D1} = i_{D4} = 0$.

- Các chu kỳ sau nguyên lý hoạt động tương tự .

c. Giản đồ dòng điện, điện áp (Hình 2.6)

d. Một số biểu thức tính toán

- Điện áp trung bình trên tải.

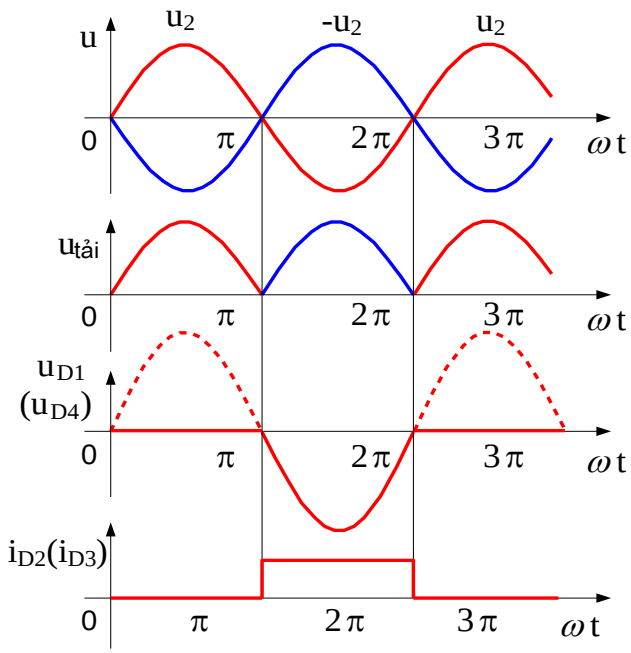
$$U_{tải} = 2.\frac{1}{2\pi}\int_0^{\pi}\sqrt{2}\,U_2 \sin(\omega t)\, d\omega t = 0{,}9\, U_2.$$

- Trị số trung bình của dòng điện tải.

$$I_{tải} = \frac{0{,}90\, U2}{R}.$$

- Điện áp thuận, điện áp ngược đặt trên Diode.

$$u_{D(thuận)} = u_{D(ngược)} = \sqrt{2}\ U_2.$$



Hình 2.6

3. Mạch ổn áp

Mạch ổn áp : Giữ một điện áp cố định cung cấp cho tải tiêu thụ. Mạch ổn áp là 1 khâu quan trọng trong hệ thống mạch nguồn.

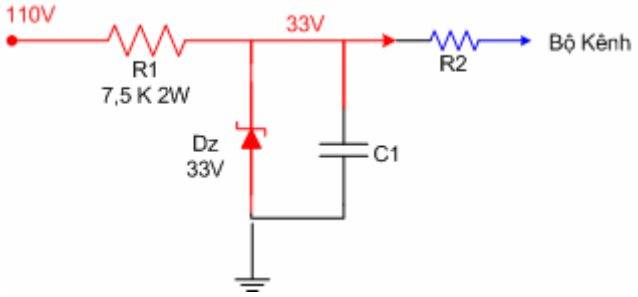
Phân loại: Ổn áp tham số và ổn áp hồi tiếp (nối tiếp và song song)

3.1.Mạch ổn áp tham số

3.1.1.Mạch ổn áp cố định dùng diode zener

3.1.1.1 Sơ đồ nguyên lý

Mạch ổn áp tạo áp 33V cố định dùng diode Zener cung cấp cho mạch dò kênh trong Ti vi mầu



3.1.1.2 Nguyên lý hoạt động

Từ nguồn 110V không cố định thông qua điện trở hạn dòng R1 và gim trên Dz 33V để lấy ra một điện áp cố định cung cấp cho mạch dò kệnh

Khi thiết kế một mạch ổn áp như trên ta cần tính toán điện trở hạn dòng sao cho dòng điện ngược cực đại qua Dz phải nhỏ hơn dòng mà Dz chịu được, dòng cực đại qua Dz là khi dòng qua R2= 0

Như sơ đồ trên thì dòng cực đại qua Dz bằng sụt áp trên R1 chia cho giá trị R1 gọi dòng điện này là I1 ta có :I1 = (110 - 33) / 7500 = 77 / 7500 ~ 10mA

Thông thường ta nên để dòng ngược qua Dz $\leq$25 mA

3.1.1.3. Lắp ráp mạch.

a. Chuẩn bị:

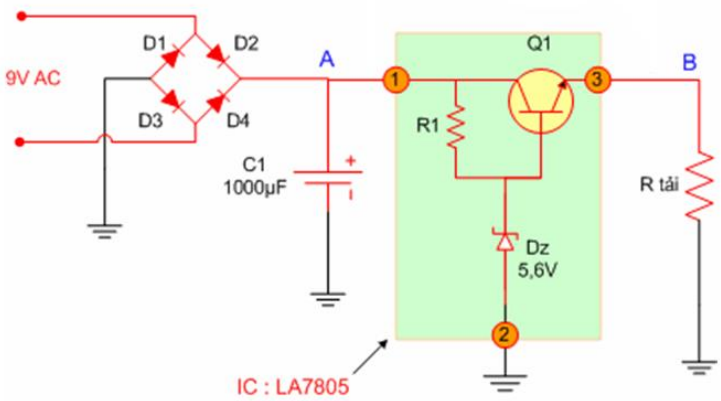
- Dụng cụ: Đồng hồ vạn năng, panh kẹp, kìm cắt dây.
- Thiết bị: Bàn thực tập điện tử.
- Vật tư: Dây dẫn 1 sợi.
- Linh kiện: điện trở, Tụ điện, Diode zener

b. Trình tự các bước thực hiện

- Bước 1: Thiết lập sơ đồ lắp ráp
- Bước 2: Kiểm tra linh kiện và định vị linh kiện
- Bước 3: Lắp ráp mạch
- Bước 4: Kiểm tra mạch và cấp nguồn.
- Bước 5: Khảo sát tín hiệu

3.1.2 Mạch ổn áp cố định dùng tranzitor- IC ổn áp

3.1.2.1. Sơ đồ nguyên lý:

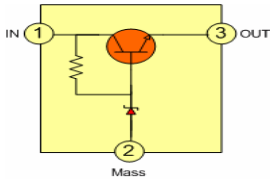


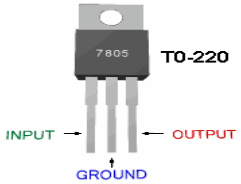
3.1.2.2. Nguyên lý hoạt động

Ở mạch trên điện áp tại điểm A có thể thay đổi và còn gợn xoay chiều nhưng điện áp tại điểm B không thay đổi và tương đối phẳng.

Nguyên lý ổn áp : Thông qua điện trở R1 và Dz gim cố định điện áp chân B của Transistor Q1, giả sử khi điện áp chân E đèn Q1 giảm => khi đó điện áp UBE tăng => dòng qua đèn Q1 tăng => làm điện áp chân E của đèn tăng , và ngược lại ...

Mạch ổn áp trên đơn giản và hiệu quả nên được sử dụng rất rộng rãi và người ta đã sản xuất các loại IC họ LA78.. để thay thế cho mạch ổn áp trên, IC LA78.. có sơ đồ mạch như sau





IC ổn áp họ LA78.. *IC ổn áp LA7805*

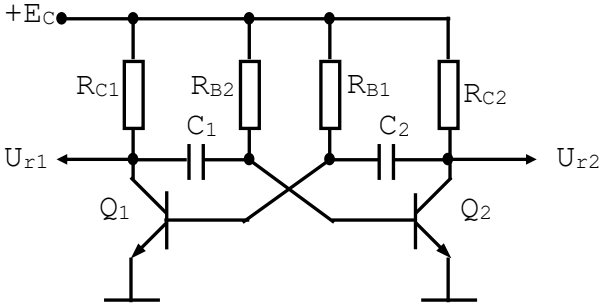
4. Bài kiểm tra

5. Mạch dao động

5.1 Mạch dao động dùng Transistor

a. Mạch dao động đa hài.

- Sơ đồ:



- Tác dụng linh kiện:

+) Q1, Q2 là 2 phần tử khuếch đại

+) Rc1, Rc2 là 2 điện trở tải cực C của Q1, Q2

+) Rb1, Rb2 là 2 điện trở định thiên

+) C1, C2 là 2 tụ tạo dao động và ghép tầng.

Nguyên lý làm việc

- Khi cấp nguồn , giả sử Q1 dẫn trước, áp Uc Q1 giảm => thông qua C1 làm áp Ub Q2 giảm => Q2 tắt => áp Uc Q2 tăng => thông qua C2 làm áp Ub Q1 tăng => xác lập trạng thái Q1 dẫn bão hoà và Q2 tắt , sau khoảng thời gian t , dòng nạp qua R3 vào tụ C1 khi điện áp này > 0,6V thì Q2 dẫn => áp Uc Q2 giảm => tiếp tục như vậy cho đến khi Q2 dẫn bão hoà và Q1 tắt, trạng thái lặp đi lặp lại và tạo thành dao động, chu kỳ dao động phụ thuộc vào C1, C2 và R2, R3.

Lắp ráp mạch.

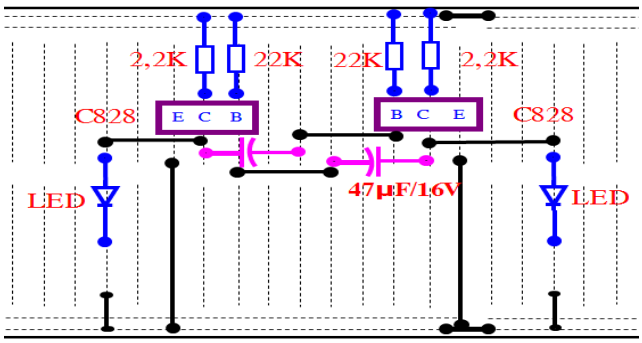
a. Chuẩn bị:

- Dụng cụ: Đồng hồ vạn năng, panh kẹp, kìm cắt dây.
- Thiết bị: Bàn thực tập điện tử.
- Vật tư: Dây dẫn 1 sợi.
- Linh kiện: Tranzito, điện trở, Tụ điện, Diode phát quang

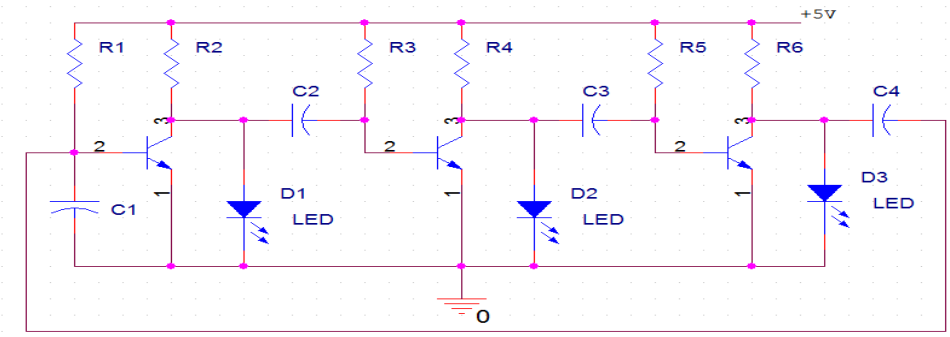
b. Trình tự các bước thực hiện

- Bước 1: Thiết lập sơ đồ lắp ráp
- Bước 2: Kiểm tra linh kiện và định vị linh kiện
- Bước 3: Lắp ráp mạch
- Bước 4: Kiểm tra mạch và cấp nguồn.
- Bước 5: Khảo sát tín hiệu

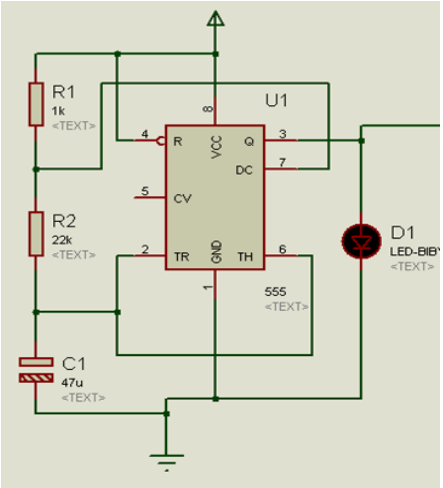
Sơ đồ lắp ráp



Mạch nháy đuổi dùng tranzitor.

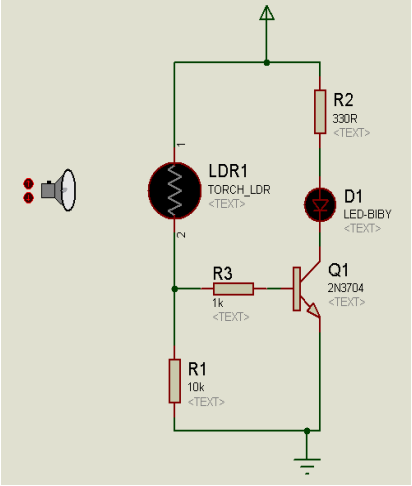


5.2. Mạch dao động dùng IC NE555

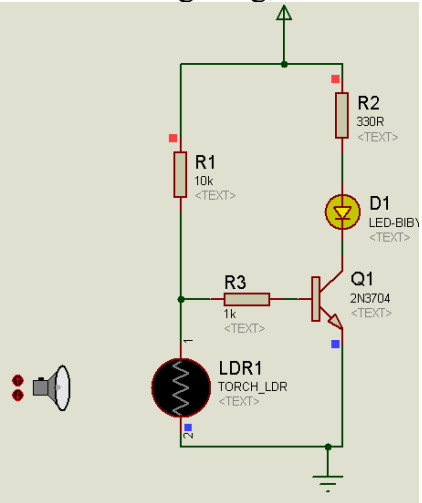


6. Mạch điều khiển đèn đường

Mạch điều khiển: ban ngày thì đèn sáng, ban đêm thì đèn không sáng



Mạch điều khiển: ban ngày thì đèn không sáng, ban đêm thì đèn sáng



BÀI 3: ĐẠI CƯƠNG KỸ THUẬT SỐ Thời gian: 22 giờ

1. Mục tiêu của bài:

- Đo, đọc chính xác trị số các đại lượng điện U, I, R, L, C, tần số, công suất và điện năng...

- Lựa chọn phù hợp phương pháp đo cho từng đại lượng cụ thể.
- Sử dụng và bảo quản các loại thiết bị đo đúng tiêu chuẩn kỹ thuật.
- Rèn luyện tính chính xác, chủ động, nghiêm túc trong công việc.

2. Nội dung chính:

1. Hệ thống số và mã số

- Mục tiêu: Phân biệt và chuyển đổi giữa các hệ thống số với nhau, ưu và nhược điểm của hệ thống mã số.

1.1 Hệ thống số thập phân (Decimal system)

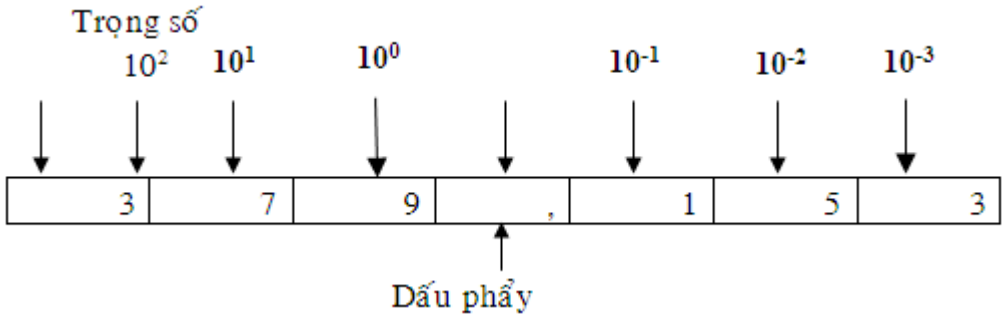
Trong hệ thập phân người ta sử dụng 10 ký tự từ 0 đến 9 kết hợp với các dấu chấm, dấu phẩy để chỉ về lượng:

Trong dãy số thập phân: $d_{n-1}...d_2d_1d_0$ theo qui ước từ phải qua trái vị trí của chúng thể hiện hàng đơn vị, hàng chục, hàng trăm, hàng nghìn . . . với phần nguyên và ngược lại từ trái qua phải là phần chục, phần trăm, phần nghìn . . . đối với phần lẻ sau dấu phẩy.

Ví dụ: Hình 1.3, cho số thập phân 379,153 với phần nguyên là 379 và phần lẻ là 153 được biểu diễn như sau:

- $379{,}153_{10} = 3.10^2+7.10^1+9.10^0+1.10^{-1}+5.10^{-2}+3.10^{-3}$
- $1999_{10} = 1.10^3 + 9.10^2 + 9.10^1 +9.10^0 = 1000 + 900 + 90 + 9$
- $1{,}25 = 1.10^0 + 2.10^{-1} + 5.10^{-2} = 1{,}00 + 0{,}2 + 0{,}05 = 3{,}625_{10}$

Nói tóm lại bất kì số nào cũng là tổng các tích giữa giá trị của mỗi chữ số với giá trị (gọi là trọng số) của nó.



Hình 1.3

Đối với một dãy số thập phân có n số hạng thì có 10^n giá trị và giữa hai giá trị liền kề nhau chênh lệch nhau 10 lần

1.2 Hệ thống số nhị phân (Binary system)

- Ký tự số : 0,1
- Cơ số: 2

Để biểu diễn số nhị phân người ta dùng hai kí số (digit) 0 và 1 để diễn tả về lượng của một đại lượng nào đó.Một dãy số nhị phân chỉ tính phần nguyên được biểu diễn như sau:

$$\mathbf{b_{n-1}b_{n-2}. . .b_2b_1b_0}$$

Qui ước mỗi số hạng là một bit. Bit tận cùng bên trái gọi là MSB (tức là bit có giá trị lớn nhất) và bit ở tận cùng bên phải gọi là LSB (tức là bit có giá trị nhỏ nhất).

Như vậy số nhị phân có n bit thì sẽ có 2^n giá trị khác nhau. Giá trị nhỏ nhất là 0. . .000 và giá trị lớn nhất là 1. . .111. Trọng số các bit từ thấp đến cao lần lượt là 1, 2, 4, 8 và giữa hai bit kề nhau chênh lệch nhau 2 lần.

Ví dụ: Số nhị phân $10101_2 = 1.2^4 + 0.2^3 + 1.2^2 + 0.2^1 + 1.2^0$

- $11,101_2 = 1.2^1 + 1.2^0 + 1.2^{-1} + 0.2^{-2} + 1.2^{-3}$

❖ ***Chuyển đổi từ số nhị phân sang thập phân***.

Quy tắc chuyển như sau:

$$\mathbf{b_{n-1}b_{n-2}. . .b_2b_1b_0 = b_{n-1}.2^{n-1}+b_{n-2}.2^{n-2}. . . b_2.2^2+b_1.2^1+b_0.2^0}$$

Ví dụ: Chuyển đổi số nhị phân sau sang số thập phân.

a) 100111

b) 11,1010

Giải

a) $100111_2 = 1.2^5+0.2^4+0.2^3+1.2^2+1.2^1+1.2^0$

$= 32 + 0 + 0 + 4 + 2 + 1 = 39_{10}$

b) $11,1010_2 = 1.2^1+1.2^0+1.2^{-1}+0.2^{-2}+1.2^{-3}+0.2^{-4}$

$= 2 + 1 + 1/2 + 1/8$

❖ ***Chuyển đổi từ số thập phân sang nhị phân.***

Quy tắc chuyển như sau:

Sử dụng qui tắc chia 2 liên tiếp số A_{10} và lấy phần dư

- Phần dư đầu tiên của phép chia là bit LSB
- Phần dư cuối cùng cùng của phép chia là bit MSB

Ví dụ: Chuyển số thập phân $A_{10} = 20$ sang số nhị phân

Việc chuyển đổi được tiến hành như sau:

40/2 = 20 + dư 1 (LSB)
20/2 = 10 + dư 0
10/2 = 5 + dư 0
5/2 = 2 + dư 1
2/2 = 1 + dư 0 (MSB)

Kết quả: $A_2 = 01001$

1.3 Hệ thống số bát phân (Octal system)

- Ký tự số : 0,1,2,3,4,5,6,7
- cơ số: 8

Trong hệ thống số bát phân người ta dùng các số từ 0 đến 7 để mô tả về lượng của một đại lượng và cũng theo luật vị trí trọng số của 8^m (m=. . .-2,-1,0,1,2. . .). Một dãy số octal được biểu diễn như sau:$0_{n-1}0_{n-2}. . .0_20_10_0$

Trong đó một dãy số bát phân có n số hạng thì sẽ có 8^n giá trị khác nhau, giá trị thấp nhất là 0. . .000 và giá trị lớn nhất là 7. . .777. Trọng số các bit từ thấp đến cao lần lượt là 1, 8, 64. . .và giữa hai số liền kề nhau chênh lệch nhau 8 lần

❖ ***Chuyển đổi từ bát phân sang thập phân***

Quy tắc chuyển như sau:

$0_{n-1}0_{n-2}. . .0_20_10_0$

❖ Chuyển đổi số thập phân sang biểu diễn số bát phân

Quy tắc chuyển như sau:

Để thực hiện chuyển từ A_{10} sang A_8 ta thực hiện phép chia của A_{10} cho A_8 rồi lấy phần dư

Ví dụ: Cho A_{10} = 435 hãy tìm A_8=?

Giải

Ta có: 435/8 = 54 + dư 3 (LSO)

54/8 = 6 + dư 6

6/8 = 0 + dư 6 (MSO)

Kết quả: A_8 = 663

❖ ***Chuyển đổi một số bát phân sang số nhị phân***

Để thực hiện chuyển đổi ta thay thế một ký tự số bằng một số nhị phân 3 bit tương ứng theo bảng sau:

ký tự số bát phân	0	1	2	3	4	5	6	7
Nhóm nhị phân	000	001	010	011	100	101	110	111

Ví dụ: - 4 7 2_8 = 100 111 010_2 ; 10_8 = 001 000_2;

- 3 4 $5_8 = 11100101_2$, 1 3 $7_8 = 1011111_2$

011 100 101 011 011 111

1.4 Hệ thống số thập lục phân (Hexadecimal system)

- Ký tự số : 0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F
- Cơ số: 16

Hệ HEX sử dụng 16 kí tự bao gồm 10 số tự nhiên từ 0 đến 9 và các chữ cái in hoa gồm A, B, C, D, E, F để diễn tả 16 số thập phân từ 0 đến 15.

Lý do dùng hệ thập lục phân là vì một số nhị phân 4 bit có thể diễn tả được 2^4 = 16 giá trị khác nhau nên rất thuận lợi cho hệ thống số nào đó chỉ dùng một ký tự mà có thể tương ứng với số nhị phân 4 bit, đó là hệ thập lục phân.

Một dãy Hex được biểu diễn như sau: $h_{n-1}h_{n-2}...h_2h_1h_0$

Như vậy trong dãy số Hex có n số hạng thì sẽ có 16^n giá trị khác nhau, giá trị nhỏ nhất là 0. . .000 và giá trị lớn nhất là F. . .FFF. Trọng số các bit lần lượt là 1, 16, 256. . . và trọng số của hai số hạng kề nhau chênh lệch nhau 16 lần.

❖ **Chuyển đổi số thập lục phân sang số thập phân**

Ví dụ: $2\ E_{16} = 2.16^1 + 14.16^0 = 46_{10}$

$0\ 1\ 2\ C,\ D_{16} = 0.16^3 + 1.16^2 + 2.16^1 + 12.16^0 + 13.16^{-1}$

$=0 + 256 + 32 + 12 + 0{,}0625 = 300{,}065_{10}$

Ghi chú: nếu số thập lục phân bắt đầu bằng chữ thì khi viết phải thêm số 0 vào trước, ví dụ: EF → 0EF.

❖ **Chuyễn đổi số thập phân sang số thập lục phân**

- *Thực hiện theo quy tắc lấy A_{10} chia cho A_{16} rồi lấy phần dư*

Ví dụ: Cho A_{10} = 5001 tìm A_{16} = ?

Giải

Ta có: 5001/16 = 312 + dư 9

312/16 = 19 + dư 8

19/16 = 1 + dư 3

1/16 = 0 + dư 1

Kết quả: A_{16} = 1389

❖ **Chuyển đổi thập lục phân sang biểu diễn số nhị phân**

- *Thực hiện theo quy tắc biểu diễn một ký số thập lục phân bằng một nhóm tổ hợp 4 bit nhị phân*

Ví dụ: Với A16 = 4EFB suy ra A2 = 0100 1110 1111 1011

Với A16 = BCD2 suy ra A2 = 1011 1100 1101 0010

- Bảng hình 1.4 mô tả quan hệ giữa hệ thập phân, thập lục phân và nhị phân 4 bit

Thập phân	Thập lục phân	Nhị phân
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
10	A	1010
11	B	1011
12	C	1100
13	D	1101
14	E	1110
15	F	1111

Hình 1.4

1.5. Các phép tính số học trong hệ nhị phân

❖ ***Cộng và trừ hai số nhị phân***

- *Cộng hai số nhị phân*

Như ta đã biết cộng hai số thập phân là hàng đơn vị cộng trước và nếu tổng nhỏ hơn 10 thì viết tổng, nếu tổng lớn hơn 10 thì phải viết hàng đơn vị và nhớ 1 cho lần cộng kế trên.

Trong phép cộng nhị phân cũng tạo ra số nhớ. Đầu tiên cộng hai bít nhị phân có nghĩa ít nhất (LSB) nếu kết quả cộng hai bit =< 1 thì viết kết quả và nếu kết quả cộng hai bit > 1 thì phải có nhớ vào kết quả cùa phép cộng ở bít kế tiếp.

- *Quy tắc cộng hai số nhị phân một bit như sau:*

Số bị cộng:	0	0	1
Số cộng:	+ 0	+1	+1
Tổng:	0	1	10

↑ Số nhớ

Ví dụ:

```
  1010 (= 10)          1101  (= 13)
+ 1001 (= 9)         +  1111 (= 15)
 10011 (= 19)         11100 (= 28)
```

- *Trừ hai số nhị phân:*

Trong phép trừ nếu số bị trừ nhỏ hơn số trừ, cụ thể là 0 trừ đi 1, thì phải mượn 1 ở hàng cao kế mà là 2 ở hàng đang trừ và số mượn này phải trả cho hàng cao kế tương tự như phép trừ hai số thập phân.

- *Quy tắc trừ hai số nhị phân một bit*

```
Số bị trừ:   0     1     1     0
Số trừ:    - 0   - 1   - 0   - 1
Hiệu:        0     0     1    11
                                ↑ Số mượn
```

Để ý rằng 0 – 1 không phải là bằng 11 mà là 1 với 1 là số mượn. Khi trừ hai số nhiều bit thì mượn ở hàng nào thì phải cộng vào với số trừ của hàng đó trước khi thực hiện việc trừ.

Ví dụ:

```
 1011        1100
-1001       -0111
 0010        0101
```

❖ ***Nhân và chia hai số nhị phân***

- *Quy tắc nhân hai số nhị phân một bit*

Cần lưu ý: **0 x 0 = 0**
0 x 1 = 0
1 x 1 = 1

Ví dụ: *Tính a)* ***1 1 0 1 x 1 0 1***

```
      1 1 0 1
    x   1 0 1
    .........
    1 1 0 1
  0 0 0 0
1 1 0 1
.............
1 0 0 0 0 0 1
```

b) 1 0 1 0 x 1 0 1

```
      1 0 1 0
        x 1 0 1
    .........
    1 0 1 0
  0 0 0 0
    1 0 1 0
.............
1 1 0 0 1 0
```

- *Quy tắc nhân hai số nhị phân một bit*

Ví dụ: Thực hiện phép chia 1001100100 cho 11000

Lần chia đầu tiên, 5 bit của số bị chia nhỏ hơn số chia nên ta được kết quả là 0, sai đó ta lấy 6 bit của số bị chia tiếp (tương ứng với việc dịch phải số chia 1 bit trước khi thực hiện phép trừ)

```
1001100100 | 11000
-11 000    |  011001.1
0011100
 -  11000
   00100100
     - 11000
       011000 ← Thêm vào để chia
      - 11000   tiếp lấy phần lẻ
        00000
```

Kết quả ta được: $11001.1_2 = 25.5_{10}$

❖ ***Cộng và trừ hai số thập lục phân***

• *Cộng hai số thập lục phân*

Khi cộng hai số thập phân nếu tổng lớn hơn 9 thì ta viết con số đơn vị và nhớ số hàng chục lên hàng cao kế. Tương tự như vậy đối với số thập lục phân nếu tổng lớn hơn F (15 trong hệ 10) thì ta viết con số đơn vị và nhớ con số hàng thập lục lên hàng cao kế.

Cộng hai số thập lục phân chỉ có một số

```
  8      8      8      8
 +7     +8     +A     +F
  F     10     12     17
```

Ta thấy:

- Trường hợp 8 + 7 = 15 tương ứng với F
- Trường hợp 8 + 8 = 16, ta viết 16 – 16 = 0 và nhớ 1 và kết quả là 10
- Trường hợp 8 + A = 18, ta viết 18 – 16 = 2 và nhớ 1 và kết quả là 12
- Trường hợp 8 + F = 23, ta viết 23 – 16 = 7 và nhớ 1 và kết quả là 17
- Cùng quy luật trên áp dụng khi cộng hai số Hex có nhiều con số và dĩ nhiên số nhớ cho hàng nào thì phải cộng thêm cho hàng đó.

Ví dụ:

```
  18      AA      3CA
 + 8    + EE    + 5F7
  20     198     9C1
```

Trừ hai số thập lục phân

Khi trừ hai số Hex nếu số trừ lớn hơn số bị trừ ta mượn 16 để thêm vào số bị trừ và trả 1 cho số trừ ở hàng cao kế.

Ví dụ:

```
  F       5A      BC2
 - A     - F     - CF
  5      4B      AC4
```

❖ ***Cộng và trừ hai số BCD***

• *Cộng hai số BCD*

Cộng hai số BCD khác với cộng hai số nhị phân bình thường. Khi tổng ở mỗi số hạng của số BCD bằng 9 (= 1001) hay nhỏ hơn 9 thì đó là kết quả cuối cùng.

Ví dụ:

$$\begin{array}{r} +\ 0101\ (=5) \\ 0010\ (=2) \\ \hline 0111\ (=7) \end{array} \qquad \begin{array}{r} +\ 0101\ (=5) \\ 0100\ (=4) \\ \hline 1001\ (=9) \end{array}$$

Khi tổng hai số nhị phân lớn hơn 9 tức là từ 1010 trở lên thì tổng phải được cộng phải được cộng thêm 6 (= 0110) để có tổng là 9 hoặc nhỏ hơn và số nhớ 1 lên hàng BCD có nghĩa cao hơn.

Ví dụ:

$$\begin{array}{r} +\ 1000\ (=8) \\ 0111\ (=7) \\ \hline 1111\ (=15)\ \text{không phải số BCD} \end{array}$$

Lý do cộng thêm 6 vì mã BCD không dùng 6 mã cao nhất của số nhị phân 4 bit đó là các mã từ 1010 đến 1111.

- *Trừ hai số BCD*

Trừ hai số BCD cung giống như trừ hai số nhị phân nhiều bit. Nếu số bị trừ nhỏ hơn số trừ thì phải mượn 1 ở hàng có nghĩa trên mà là 10 ở hàng đang trừ. Để tiện sắp xếp ta chuyển 1 ở hàng có nghĩa trên thành 10 ở hàng đang trừ rồi cộng vào số bị trừ trước khi thực hiện phép trừ.

Ví dụ:

$$\begin{array}{r} 0010\ 1010 \\ +\quad 0101 \\ \hline 0010\ 1000 \\ -\ 0001\ 0111 \\ \hline 0001\ 1000 \end{array} \qquad \begin{array}{r} 0111\ 1001\ (=79) \\ 0101\ 0101 (=55) \\ \hline 0010\ 0100\ (=24) \end{array}$$

✓ **Bài tập:**

1. Biến đổi các số nhị phân sau sang thập phân:
   a) 10110_2
   b) 10001101_2
   c) 1111010111_2
   d) 10111111_2
   e) 100100001001_2
   f) 110001101_2
2. Biến đổi các số thập phân sau số nhị phân:
   a) 37 b) 14 c) 189
   d) 205 e) 2313 f) 511
3. Biến đổi các số thập lục phân sau sang nhị phân:
   a) 47_8 b) 23_8 c) 170_8
   d) $12A4_{16}$ e) $BC12_{16}$ f) 517_{16}
4. Biến đổi các số thập phân sau sang bát phân:
   a) 111 b) 97 c) 234
   d) 45 e) 3214 f) 517

5. Biến đổi các số thập phân sau sang thập lục phân:

a) 22 b) 321 c) 2007

d) 123 e) 4234 f) 517

6. Hãy chuyển đổi các mã số sau:

a. Từ mã Binary sang Hexadecimal: 111001011_2

b.Từ mã Hexadecimal sang Octal: ED_H

c.Từ mã Decimal sang Octal: 67_{10}

d.Từ mã Decimal sang Binary: 49_{10}

e.Từ mã Decimal sang BCD: 76_{10}

f. Hãy tìm số bù 2 của: (-12)

7. Mã hóa số thập phân dưới đây dùng mã BCD :

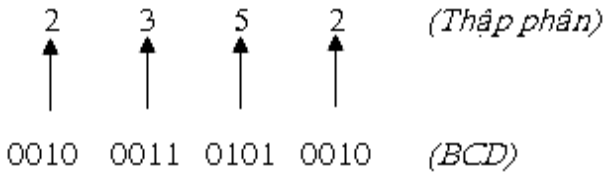
a/ 12 b/ 192 c/ 2079 d/15436 e/ 0,375 f/ 17,250

1.6. Mã BCD (Binary code decimal)

Thông tin được xử lí trên mạch số điều là các số nhị phân nên mọi thông tin dữ liệu dù là số lượng, các chữ, các dấu, các mệnh lệnh sau cùng phải ở dạng nhị phân thì mạch số mới hiểu và xử lí được. Do đó phải qui định cách thức mà các số nhị phân dùng để biểu diễn các dữ liệu khác nhau từ đó xuất hiện các mã số. Trước tiên mã thập phân thông dụng nhất là mã BCD (Binary code decimal: mã của số thập phân được mã hóa theo số nhị phân).

Vì ký số thập phân lớn nhất là 9 nên ta cần 4 bit để mã hóa mỗi kí số thập phân

<u>Ví du</u>: Để minh họa mã BCD ta tiến hành mã hóa số thập phân 2352sang mã BCD. Trong đó mỗi kí số của hệ thập phân được biểu diễn bởi một tổ hợp mã BCD như sau:



Mỗi số thập phân được đổi sang số nhị phân tương đương và luôn luôn dùng 4 bít cho từng số thập phân

Mã BCD biểu diễn mỗi số thập phân bằng một số nhị phân 4 bit và ta nhận thấy rằng chỉ có các số từ 0000 đến 1001 được sử dụng, ngoài các nhóm số nhị phân 4 bit này không được dùng làm mã BCD.

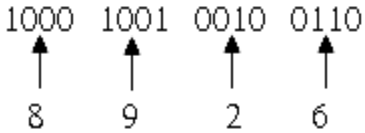
<u>Ví dụ:</u> Đổi số BCD sang số thập phân

a) 1000100100100110_{BCD}

b) 1100100001010111_{BCD}

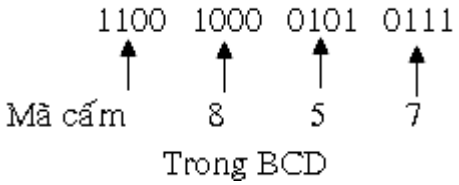
<u>Giải</u>

a) Chia số BCD thành từng nhóm 4 bit và đổi mỗi nhóm sang thập phân



Kết quả số thập phân tương ứng là: 8926_{10}

b) Tương tự như câu a ta có



- ***Ưu điểm*** : Chính của mã BCD là dễ dàng chuyển đổi từ mã thập phân sang nhị phân và ngược lại bằng cách chỉ cần nhớ các nhóm mã 4 bit ứng với các kí số thập phân từ o đến 9.

- So sánh mã BCD và mã nhị phân

Ta cần phải hiểu rằng mã BCD không phải là một hệ thống số như hệ thống số thập phân, nhị phân, bát phân và thập lục phân. Mà thật ra, BCD là hệ thập phân với từng kí số được mã hóa thành giá trị nhị phân tương ứng và cũng phải hiểu rằng mã BCD không phải là một mã nhị phân quy ước.

Mã nhị phân quy ước biểu diễn số thập phân hoàn chỉnh ở dạng nhị phân, còn mã BCD chỉ chuyển đổi từng ký số thập phân sang số nhị phân tương ứng

1.7. Mã ASCII

Ngoài dữ liệu dạng số máy tính còn có khả năng thao tác thông tin khác số như mã biểu thị mẫu tự abc, dấu chấm câu, những ký tự đặc biệt cũng như ký tự số. Những mã này được gọi chung là mã chữ số. Bộ mã chữ số hoàn chỉnh bao gồm 26 chữ thường, 26 chữ hoa, 10 ký tự số, 7 dấu chấm câu và chừng độ 20 đến 40 ký tự khác. Ta có thể nói rằng mã chữ số biểu diễn mọi ký tự và chữ số có trên bàn phím máy tính.

Mã chữ số được sử dụng rộng rãi hiện nay là mã ASCII(American Standard Code Information Interchange).

Mã ASCII là bộ mã có 7 bit nên có 2^7= 128 nhóm mã đủ để biểu thị tất cả các ký tự trên bàn phím máy tính.

Bảng danh sách bảng mã ASCII

Ký tự	Mã ASCII 7 bit	Octal	Hexa
A	100 0001	101	41
B	100 0010	102	42
C	100 0011	103	43
D	100 0100	104	44
E	100 0101	105	45
F	100 0110	106	46
G	100 0111	107	47
H	100 1000	110	48
I	100 1001	111	49
J	100 1010	112	4A
K	100 1011	113	4B
L	100 1100	114	4C
M	100 1101	115	4D
N	100 1110	116	4E
O	100 1111	117	4F
P	101 0000	102	50
Q	101 0001	121	51
R	101 0010	122	52
S	101 0011	123	53

T	101 0100	124	54
U	101 0101	125	55
V	101 0110	126	56
W	101 0111	127	57
X	101 1000	130	58
Y	101 1001	131	59
Z	101 1010	132	5A

Ngoài dữ liệu dạng số máy tính còn có khả năng thao tác thông tin khác số như mã biểu thị mẫu tự abc, dấu chấm câu, những ký tự đặc biệt cũng như ký tự số. Những mã này được gọi chung là mã chữ số. Bộ mã chữ số hoàn chỉnh bao gồm 26 chữ thường, 26 chữ hoa, 10 ký tự số, 7 dấu chấm câu và chừng độ 20 đến 40 ký tự khác. Ta có thể nói rằng mã chữ số biểu diễn mọi ký tự và chữ số có trên bàn phím máy tính.

0	011 0000	060	30
1	011 0001	061	31
2	011 0010	062	32
3	011 0011	063	33
4	011 0100	064	34
5	011 0101	065	35
6	011 0110	066	36
7	011 0111	067	37
8	011 1000	070	38
9	011 1001	071	39
<Ký tự trắng>	010 0000	040	20
.	010 1110	056	2E
(	010 1000	050	28
+	010 1011	053	2B
	010 0100	044	24
*	010 1010	052	2A
)	010 1001	051	29
-	010 1101	055	2D
/	010 1111	057	2F
,	010 1100	054	2C
=	011 1101	075	3D
<RETURN>	000 1101	015	0D
<LINEFEED>	000 1010	012	0A

2. Các cổng Logic cơ bản

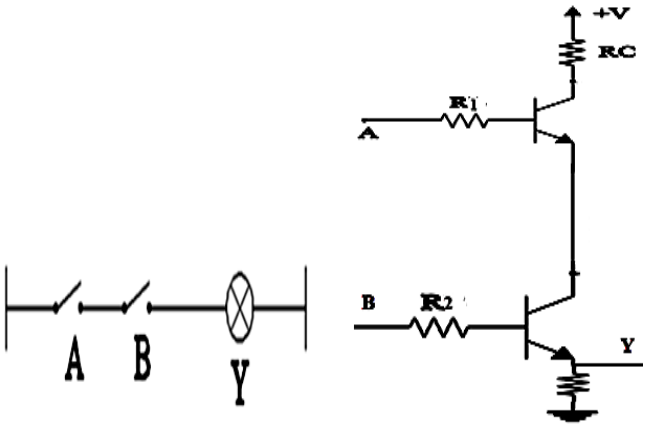
- M*ục tiêu: Phân tích được các mạch của các cổng Logic, tín hiệu của ngõ vào và ra khi có sự kết hợp của nhiều cổng với nhau.*

Trong kỹ thuật điện tử người ta dùng những linh kiện điện tử cần thiết kết nối với nhau theo các quy luật nhất định tạo nên các phần tử cơ bản và từ đó hình thành các mạch chức năng phức tạp hơn. Những phần tử cơ bản này gọi là các cổng logic căn bản.

Một cổng logic căn bản bao gồm một hay nhiều ngõ vào nhưng có duy nhất một ngõ ra và giữa các ngõ vào và ngõ ra biểu thị mối quan hệ với nhau được biểu diễn qua các số nhị phân 0 và 1.

Xét về mức điện áp thì 0 đặc trưng cho điện áp thấp và 1 đặc trưng cho điện áp cao và các cổng logic cơ bản bao gồm các cổng sau.

2.1 Cổng AND, hình 1.5a,b



Hình 1.5a

Ký hiệu:

Bảng trạng thái

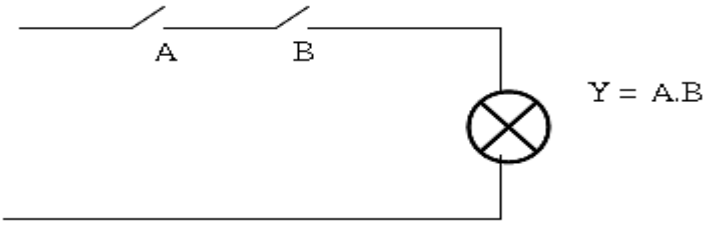
A	B	Y = A.B
0	0	0
0	1	0
1	0	0
1	1	1

Hình 1.5b: ký hiệu và bảng trạng thái

Nhận xét:

- Cổng AND thực hiện toán nhân thông thường giữa 0 và 1
- Ngõ ra cổng AND bằng 0 khi có ít nhất một ngõ vào bằng 0
- Ngõ ra cổng AND bằng 1 khi tất cả các ngõ vào điều bằng 1

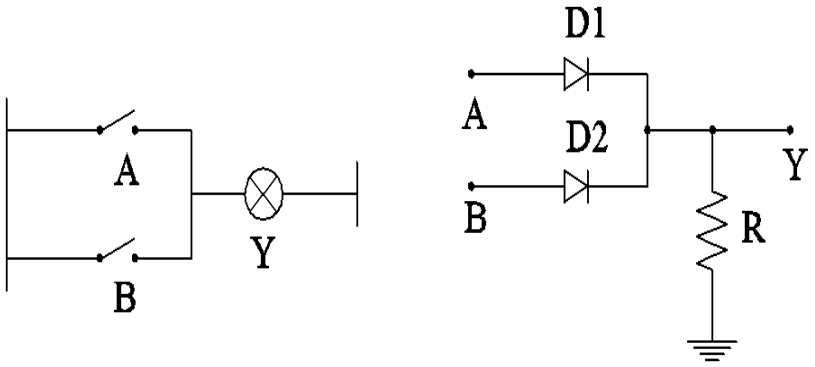
Ví dụ: Mạch điện hình 1.6 sau thực hiện chức năng của cổng AND



Hình 1.6

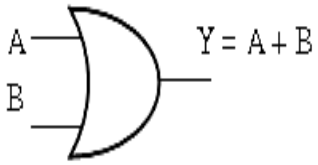
Bóng đèn sẽ sáng khi cả hai công tắc A và B đều đóng

2.2 Cổng OR, hình 1.7



Hình 1.7a

Ký hiệu:



Bảng trạng thái

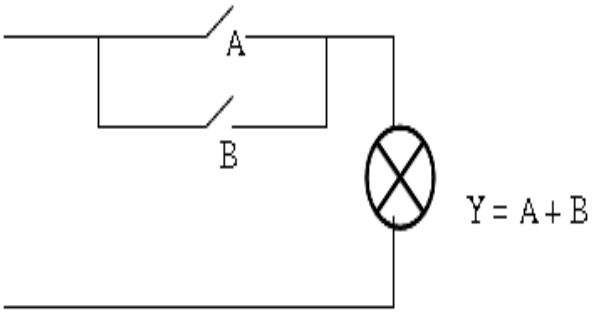
A	B	Y = A + B
0	0	0
0	1	1
1	0	1
1	1	1

Hình 1.7b: ký hiệu và bảng trạng thái

<u>Nhận xét</u>**:**

- Cổng OR thực hiện toán cộng thông thường giữa 0 và 1
- Ngõ ra cổng OR bằng 0 khi tất cả các ngõ vào bằng 0
- Ngõ ra cổng OR bằng 1 khi có ít nhất một ngõ vào bằng 1

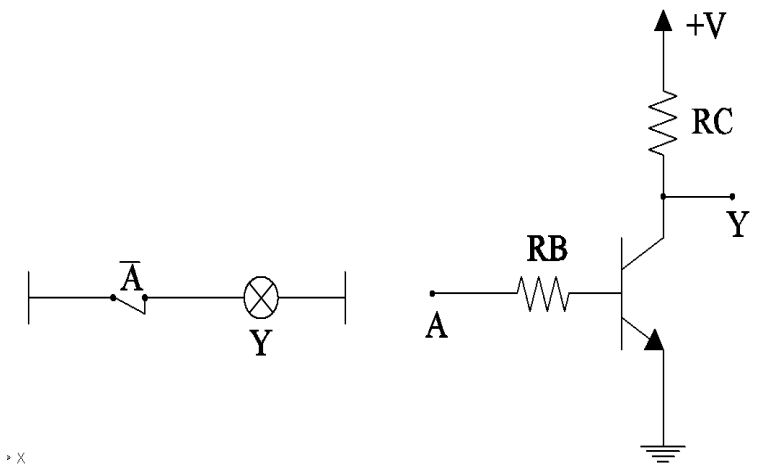
<u>Ví dụ</u>: Mạch điện hình 1.8 sau thực hiện chức năng của cổng OR



hình 1.8

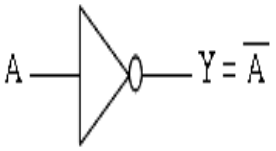
Bóng đèn sẽ sáng khi công tắc A hoặc công tắc B được bật

2.3 Cổng NOT, hình 1.9a,b



Hình 1.9a

Ký hiệu: *Bảng trạng thái*

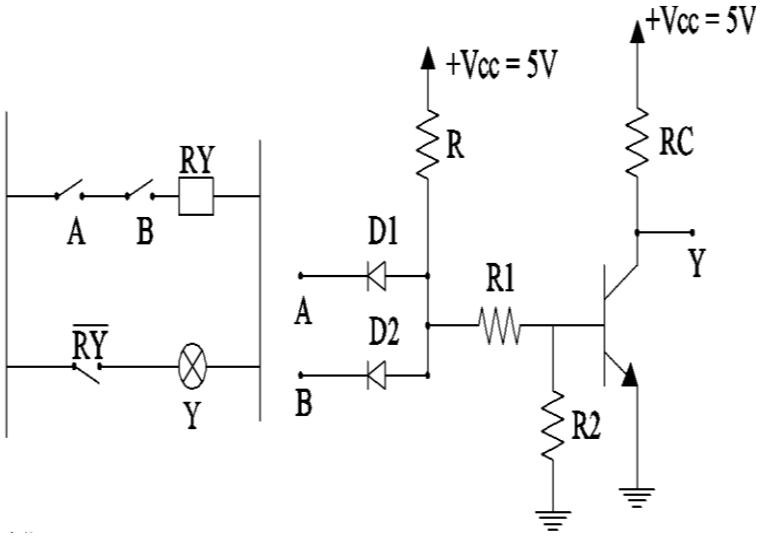


A	Y = $\overline{A}$
0	1
1	0

Hình 1.9b: ký hiệu và bảng trạng thái

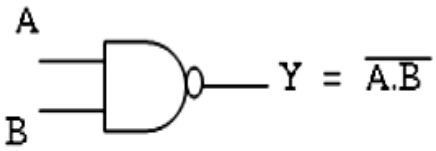
<u>Nhận xét</u>: Trạng thái ngõ vào và ngõ ra của cổng NOT luôn đối nhau

2.4. Cổng NAND, hình 1.10a,b



Hình 1.10a

Ký hiệu: *Bảng trạng thái*



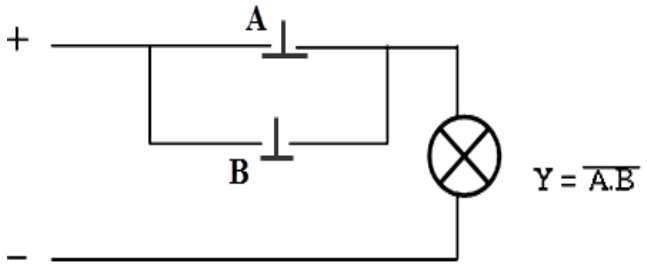
A	B	Y = $\overline{A.B}$
0	0	1
0	1	1
1	0	1
1	1	0

hình 1.10: ký hiệu và bảng trạng thái

Nhận xét:

- Cổng NAND là đảo trạng thái ngõ ra của cổng AND
- Ngõ ra cổng NAND bằng 0 khi có tất cả các ngõ vào bằng 1
- Ngõ ra cổng AND bằng 1 khi có ít nhất một ngõ vào bằng 0

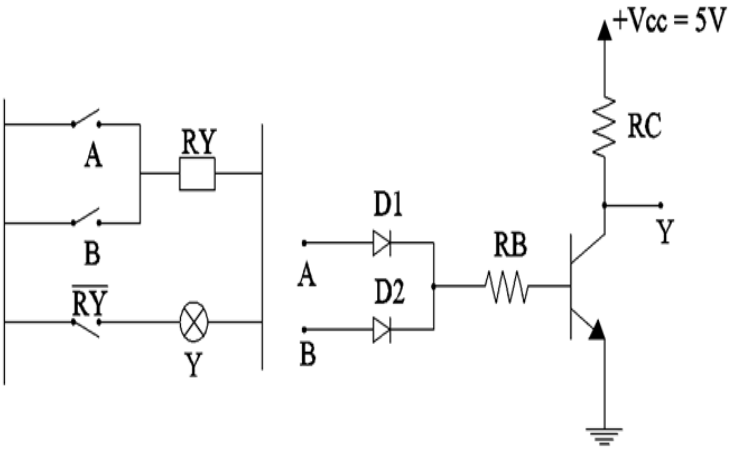
Ví dụ: Mạch điện hình 1.11 sau thực hiện chức năng của cổng NAND



Hình 1.11

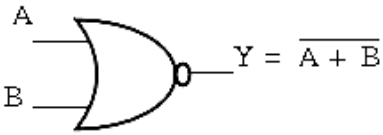
Bóng đèn sẽ sáng khi công tắc A hoặc công tắc B không được nhấn với quy ước khi nhấn trạng thái của công tắc là 1 và khi không nhấn là 0

2.5. Cổng NOR, hình 1.12a,b



Hình 1.12a

Ký hiệu: *Bảng trạng thái*



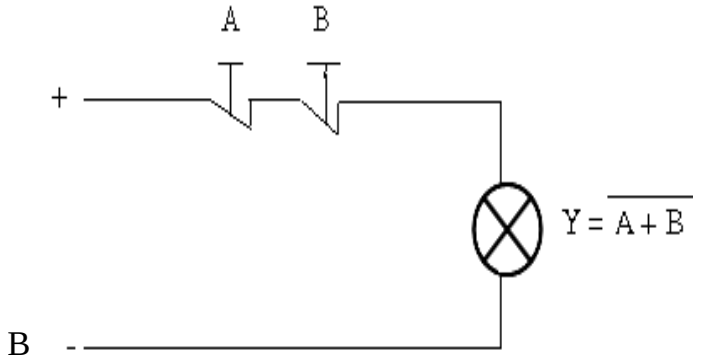
A	B	Y = $\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Hình 1.12b: ký hiệu và bảng trạng thái

Nhận xét:

- Cổng NOR là đảo của cổng OR
- Ngõ ra cổng NOR bằng 0 khi có ít nhất một ngõ vào bằng 1
- Ngõ ra cổng NOR bằng 1 khi tất cả các ngõ vào bằng 0

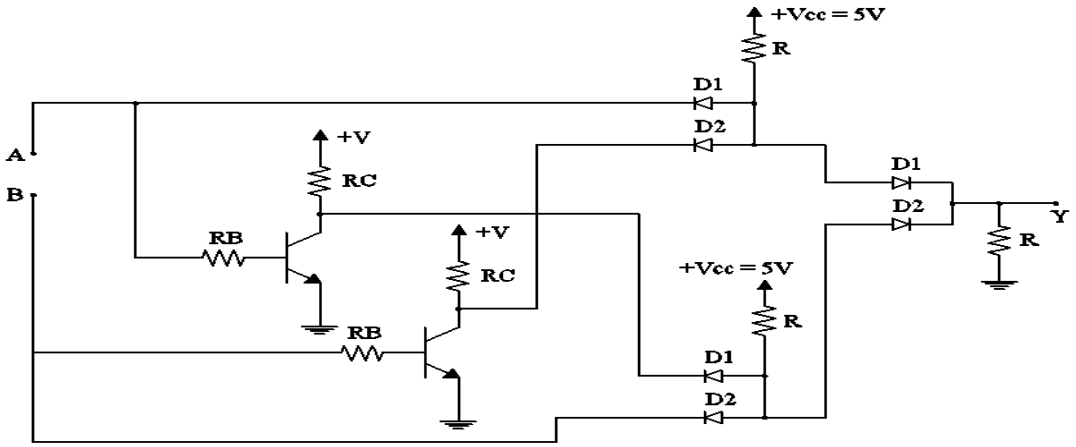
Ví dụ: Mạch điện thể hiện quan hệ của cổng NOT, h*ình 1.13*



Hình 1.13

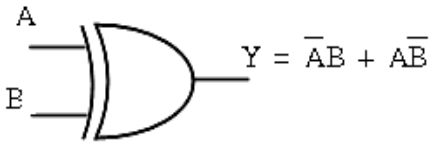
Chỉ cần nhấn một trong hai nút nhấn thì đèn sẽ tắt

2.6. Cổng EX-OR, *hình 1.14*



Hình 1.14a

Ký hiệu:



Bảng trạng thái

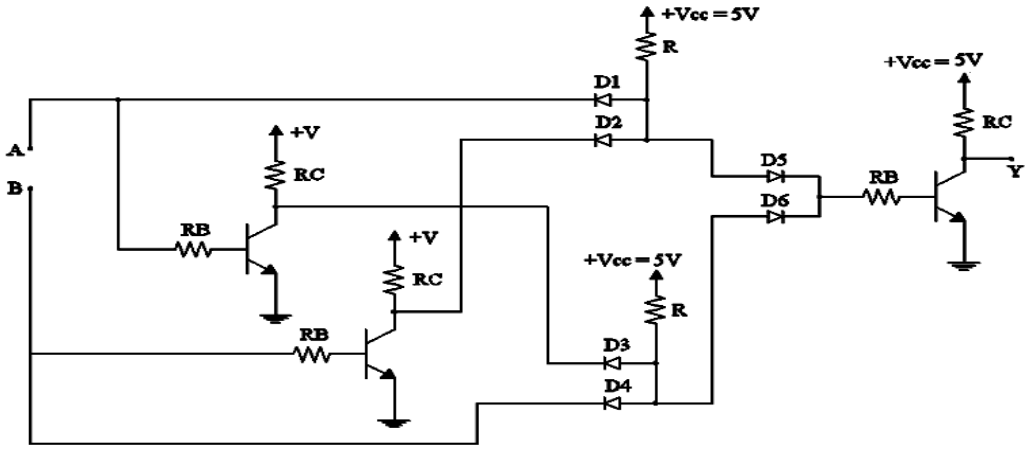
A	B	Y = $\overline{A}B + A\overline{B}$
0	0	0
0	1	1
1	0	1
1	1	0

Hình 1.14 b: ký hiệu và bảng trạng thái

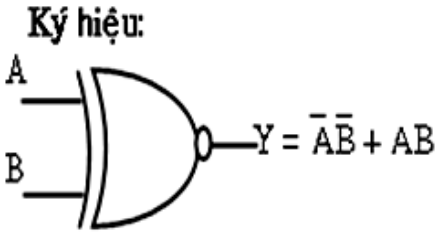
Nhận xét:

- Ngõ ra cổng EX-OR bằng 0 khi tất cả các ngõ vào cùng trạng thái
- Ngõ ra cổng EX-OR bằng 1 khi các ngõ vào khác trạng thái

Cổng EX-NOR, hình 1.15a,b



Hình 1.15a



Bảng trạng thái

A	B	Y = $\bar{A}\bar{B}$ + AB
0	0	**1**
0	1	**0**
1	0	**0**
1	1	**1**

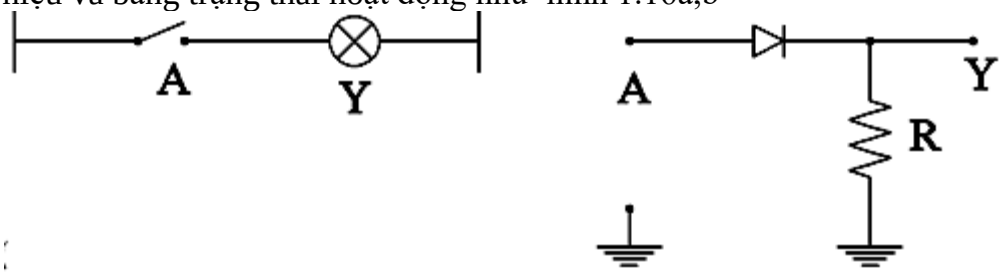
Hình 1.15b: ký hiệu và bảng trạng thái

Nhận xét:

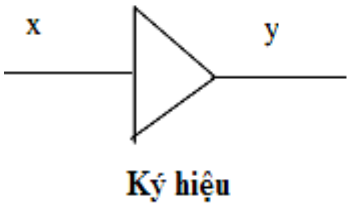
- Ngõ ra cổng EX-NOR chính là đảo của cổng EX-OR
- Ngõ ra cổng EX-NOR bằng 1 khi tất cả các ngõ vào cùng trạng thái
- Ngõ ra cổng EX-NOR bằng 0 khi các ngõ vào khác trạng thái

2.7 Cổng đệm (Buffer)

Cổng đệm (Buffer) hay còn gọi là cổng không đảo là cổng có một ngõ vào và một ký hiệu và bằng trạng thái hoạt động như hình 1.16a,b



Hình 1.16a



Bảng trạng thái

x	y
0	0
1	1

Hình 1.16: ký hiệu và bảng trạng thái của cổng đệm

Nhận xét:

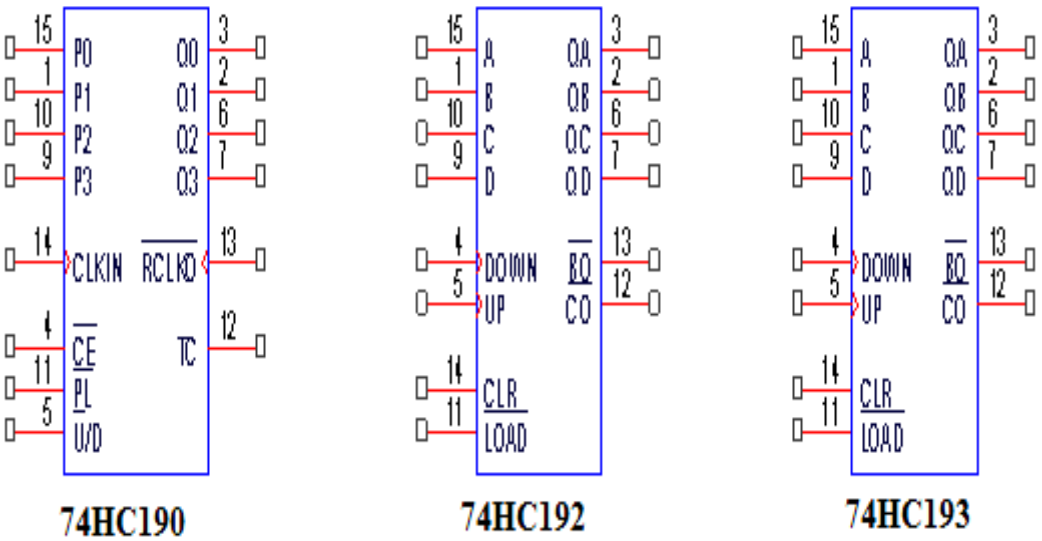
- X là ngõ vào, có trở kháng vào (Z_{in}) vô cùng lớn. Vì vậy dòng vào của cổng đệm rất nhỏ.
- Y là ngõ ra, có trở kháng ra (Z_{out}) rất nhỏ. Vì vậy cổng đệm có khả năng cung cấp dòng ngõ ra lớn.
- Dùng để phối hợp trở kháng vào.
- Dùng để cách ly và nâng dòng cho tải

3. Mạch đếm, thanh ghi

3.1. Giới thiệu một số IC đếm và thanh ghi thông dụng

- Mục tiêu: Phân biệt sự giống và khác nhau giữa các họ IC, chức năng và ứng dụng của nó vào các mạch điện.

- *IC đếm, hình 3.23*



Hình 3.23

- Giải thích hoạt động của các họ IC:

+ Nhóm 74LS160/161/162/163

Cả 4 IC đều có cùng kiểu chân và các ngõ vào ra tương tự nhau, có xung ck nhảy ở cạnh xuống do đó trong cấu tạo có thêm mạch đệm sau ngõ đồng bộ, có khả năng nạp song song và preset đồng bộ.

- LS160 là IC đếm chia 10 , còn LS161 và LS163 là IC đếm chia 16

- LS160 và LS161 có chân xoá Cl không đồng bộ còn LS162, LS163 có chân xoá Cl đồng bộ

+ Nhóm 74LS190, 74LS191

74LS190 là mạch đếm chia 10 còn 74LS191 là mạch đếm chia 16. Chúng có kiểu chân ra như nhau và chức năng cũng như nhau

- Chân EnG (enable gate) là ngõ vào cho phép tác động ở thấp; chân U/D là ngõ cho phép đếm lên hay xuống (thấp)

- Chân RC (ripple clock) xung rợn sẽ xuống thấp khi đếm hết số; được dùng cho việc nối tầng và xác định tần số của xung max/min khi nối tới chân LD (load) của tầng sau.

Cách nối tầng như sau : chân RC của tầng trước nối tới chân ck của tầng sau, khi này tuy mỗi mạch là đếm đồng bộ nhưng toàn mạch là đếm bất đồng bộ. Cách khác là chân RC của tầng trước nối tới chân EnG của tầng sau, xung ck dùng đồng bộ tới các tầng.

+Nhóm 74LS192, LS193

LS192 là mạch đếm chia 10 còn LS193 là mạch đếm chia 16

Cả 2 loại đều cấu trúc chân như nhau và đều có khả năng đếm lên hay xuống

Khi đếm lên xung ck được đưa vào chân CKU còn khi đếm xuống xung ck được đưa vào chân CKD

Khi đếm lên hết số chân Carry xuống thấp, khi đếm xuống hết số chân Borrow xuồng thấp. 2 chân này dùng khi cần nối tầng nhiều IC

Đặc biệt mạch có thể đặt trước số đếm ban đầu ở các chân ABCD và chân LD xuống thấp để cho phép nạp số ban đầu.

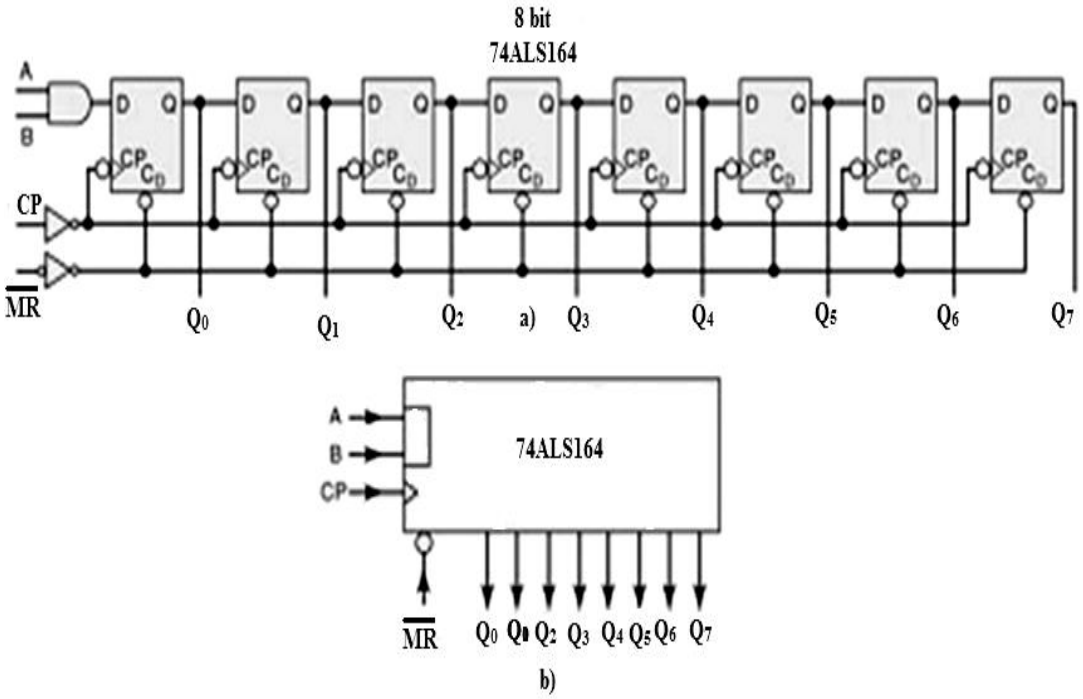
+ Nhóm 74HC/HCT4518 và 74HC/HCT4520

Đây là 2 IC đếm đồng bộ họ CMOS dùng FF D về hoạt động cũng tương tự như những IC kể trên nhưng vì cấu tạo cơ bản từ các cổng logic CMOS nên tần số hoạt động thấp hơn so với những IC cùng loại bù lại tiêu tán công suất thấp.

4518 là IC đếm chia 10 còn 4520 là IC đếm chia 16. Cấu trúc chân và đặc tính của chúng như nhau. Chân nhận xung ck và chân cho phép E có thể chuyển đổi chức năng cho nhau do đó mạch có thể tác động cạnh xuống hay cạnh lên

Mạch cũng cho phép nối tầng nhiều IC khi nối Q3 của tầng trước tới ngõ E của tầng sau.

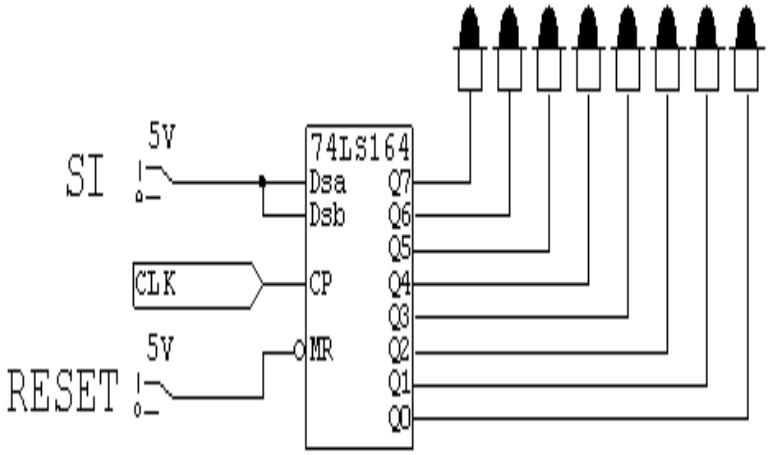
IC thanh ghi 74LS164, hình 3.24



Hình 3.24

Chúng ta đã được biết đến các loại FF. Chúng đều có thể lưu trữ (nhớ 1 bit) và chỉ khi có xung đồng bộ thì bit đó mới truyền tới ngõ ra (đảo hay không đảo). Bây giờ nếu ta mắc nhiều FF nối tiếp lại với nhau thì sẽ nhớ được nhiều bit. Các ngõ ra sẽ phần hoạt động theo xung nhịp ck. Có thể lấy ngõ ra ở từng tầng FF (gọi là các ngõ ra song song) hay ở tầng cuối (ngõ ra nối tiếp). Như vậy mạch có thể ghi lại dữ liệu (nhớ) và dịch chuyển nó (truyền) nên mạch được gọi là ghi dịch. Ghi dịch cũng có rất nhiều ứng dụng đặc biệt trong máy tính, như chính cái tên của nó: lưu trữ dữ liệu và dịch chuyển dữ liệu chỉ là ứng dụng nổi bật nhất

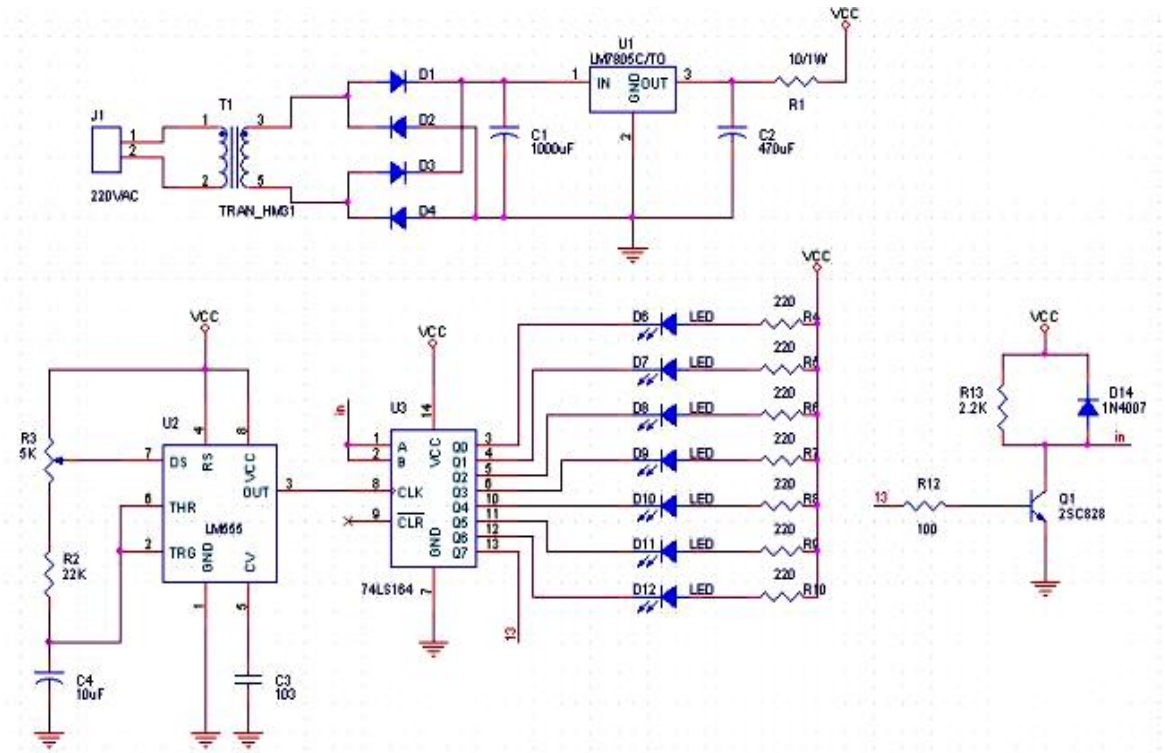
Sơ đồ mạch điện hình 3.25, các đèn Led sẻ sáng từ Q0 đến Q7



Hình 3.25

Sơ đồ thực tế hình 3.26

IC *74164* là một thanh ghi dịch 8 bit vào nối tiếp và song song, làm việc được ở tần số cao



Hình 3.26

❖ *Nguyên lý mạch điện :* Mạch điện được chia làm 4 khối chính như sau:

- Khối nguồn gồm.

Dòng điện 220V AC đưa vào biến thế T1 hạ áp thành 12V AC

D1-D4 chỉnh lưu dòng điện AC thành dòng điện DC

C1 tụ lọc DC

IC 7805 ổn định điện áp chuẩn

- Khối tạo xung vuông.

IC 555 được thiết kế tạo ra mạch xung vuông , và biến trở dùng để điều chỉnh độ rộng xung .Ngõ ra được lấy từ chân số 3 cũa IC 555

- Khối quét Led (hay còn gọi là ghi dịch)

Ngõ ra chân số 3 cũa IC 555 được đưa vào chân số 8 cũa IC 74LS164. Ngõ ra từ Q0-Q7 sẽ dịch chuyển (hay còn gọi là sáng dần)

- Khối mạch đảo tín hiệu.

Dùng BJT Q1 tín hiệu được đưa vào chân B và lấy ra chân C

3.2. Mạch đếm

- Mục tiêu: Phân biệt được mạch đếm lên, đếm xuống đồng bộ và không đồng bộ những tác động ảnh hưởng đến mạch đếm như tần số, điện áp…Trình bày được ưu nhược điểm mạch đếm vòng và vòng xoắn (Johnson), mạch đếm với số đếm đặt trước.

Mạch đếm thực hiện chức năng đếm lên hoặc đếm xuống dưới tác động của xung đồng hồ (xung CK). Mạch đếm có thể chia làm hai loại như sau:

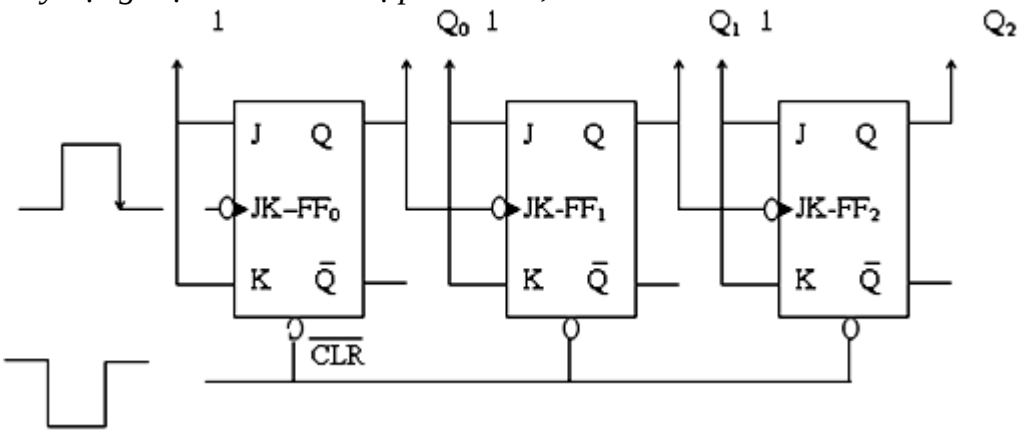
Mạch đếm không đồng bộ là mạch đếm mà người ta sử dụng các FF liên kết với nhau theo dạng nối tiếp. Mỗi ngõ ra của một FF đồng thời làm xung CK cho tầng sau.

Vì vậy các FF sẽ đổi trạng thái một cách tuần tự từ FF đầu tiên đến FF cuối cùng.

Mạch đếm đồng bộ các FF được kích hoạt song song bởi xung CK, đều này làm cho các FF thay đổi trạng thái đồng thời.

Mạch đếm lên không đồng bộ

Xây dựng mạch đếm lên nhị phân 3 bit, hình 3.1



Hình 3.1: Cấu trúc mạch đếm lên không đồng bộ

Mạch đếm lên nhị phân 3 bit với xung CK tác động cạnh xuống và ngõ vào xóa CLR tích cực ở mức thấp.

Bảng trạng thái hình 3.2:

C_K	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Hình 3.2

Giải thích hoạt động của mạch:

Giả sử trạng thái ban đầu các ngõ ra $Q_0 = Q_1 = Q_2 = 0$.

Các ngõ vào J, K của FF đều nối lên mức cao nên các FF luôn lật trạng thái ngõ ra khi có xung CK tác động cạnh xuống.

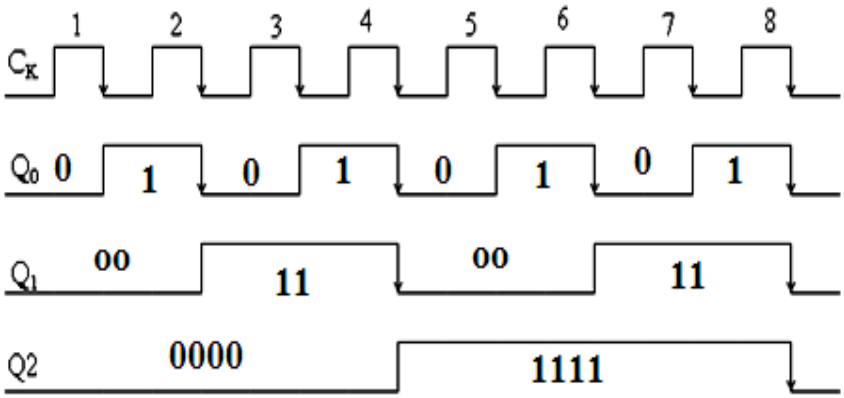
Khi xuất hiện cạnh xuống của xung CK thứ nhất Q_0 thay đổi trạng thái từ $Q_0 = 0$ sang $Q_0 = 1$. Còn Q_1 vẫn bằng 0 do FF chưa được tác động.

Khi xuất hiện cạnh xuống của xung CK thứ hai Q_0 thay đổi trạng thái từ $Q_0 =1$ sang $Q_0 = 0$ làm CK1 thay đổi theo. Lúc đó CK1 thay đổi trạng thái từ Ck1 = Q_0 = 1 sang Ck1 = Q_0 = 0 làm ngõ ra Q1 của FF1 thay đổi trạng thái thái từ Q1 = 0 sang Q1 = 1.

Với cạnh xuống của xung CK thứ ba tương tự ta có Q_0 thay đổi trạng thái từ $Q_0 = 0$ sang $Q_0 = 1$.

Quá trình cứ xảy ra tại cạnh xuống của xung CK và như vậy mạch đã thực hiện đếm lên nhị phân 3 bit.

Dạng sóng tín hiệu, hình 3.3 :



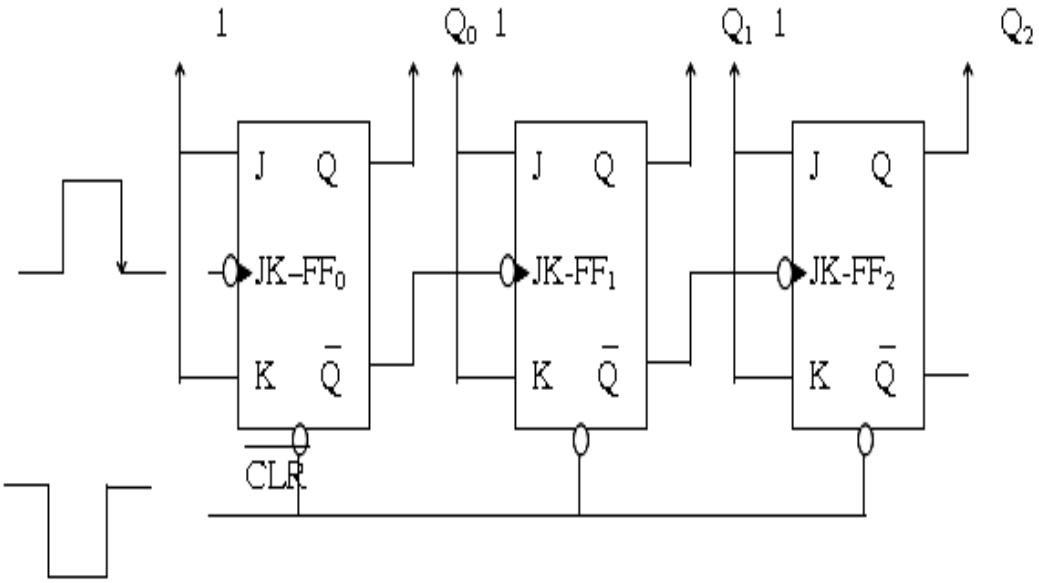
Hình 3.3

Ta thấy ngõ ra của các FF là các mã số nhị phân 3 bit có giá trị từ 0000 –1111. Giá trị của số đếm tăng dần theo xung CK.

Dựa vào dạng sóng tín hiệu ta thấy: Tần số của Q_0 = f/2, tần số của Q_1 = f/4 và tần số của Q_2 = f/4.

Mạch đếm xuống không đồng bộ

❖ *Xây dựng mạch đếm xuống nhị phân 3 bit, hình 3.4*



Hình 3.4 : Mạch đếm xuống không đồng bộ

Mạch đếm xuống nhị phân 3 bit với xung CK tác động cạnh xuống và ngõ vào xóa CLR tích cực ở mức thấp.

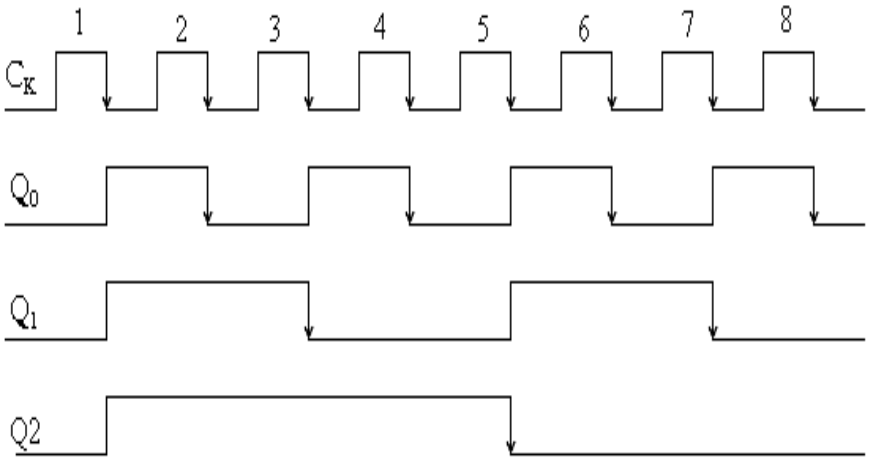
Bảng trạng thái hình 3.5

C_K	Q_2	Q_1	Q_0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0

5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

Hình 3.5

Dạng sóng tín hiệu hình 3.6:



Hình 3.6

- *Nếu thực hiện đếm xuống dùng xung Ck tác động cạnh xuống thì*:

  - Xung CK đầu tiên tác động bình thường
  - Ngõ ra Q của tầng trước nối đến CK của tầng kế cận.

❖ *Giải thích hoạt động của mạch:*

- Đối với mạch đếm xuống khi sử dụng FF có xung C_k tác động cạnh xuống thì ngõ ra $\overline{Q_0}$ của FF_0 được nối tới ngõ vào C_{K1} của FF_1, ngõ ra $\overline{Q_1}$ của FF_1 được nối tới ngõ vào C_{K2} của FF_2.

- Giả sử trạng thái ban đầu $Q_0 = Q_1 = Q_2 = 0$ thì $\overline{Q_0} = \overline{Q_1} = 1$

- Các ngõ vào J,K của các FF được nối lên mức logic 1 nên các FF luôn đảo trạng thái khi có xung C_K tác động

- Tại thời điểm cạnh xuống của xung C_k thứ nhất ngõ ra Q_0 của FF_0 từ $Q_0 = 0$ sang $Q_0 = 1$và $Q_0 = 1$ xuống $\overline{Q_0} = 0$. Khi đó C_{K1} cũng thay đổi theo $\overline{Q_0}$ (từ 1 xuống 0) khi đó ngõ ra từ $Q_1 = 0$ sang $Q_1 = 1$ và $\overline{Q_0} = 1$ xuống 0, làm FF_2 cũng thay đổi theo $\overline{Q_1} = 0$, ngõ ra $Q_2 = 0$ lên 1. Trạng thái ngõ ra lúc này là: $Q_2, Q_1, Q_0 = 111$.

- Tại thời điểm cạnh xuống của xung C_k thứ hai ngõ ra Q_0 của FF_0 từ $Q_0 = 1$ xuống $Q_0 = 0$ và $\overline{Q_0} = 0$ lên $\overline{Q_0} = 1$. Khi đó C_{K1} cũng thay đổi theo $\overline{Q_0}$ (từ 0 lên 1) làm FF_1 không được tác động (do tại thời điểm này tương ứng với cạnh lên của xung C_K đưa vào FF_1) dođó ngõ ra của FF_1 vẫn giữ nguyên trạng thái trước đó tức là $Q_1 = 1$. Tương tự $Q_2 = 1$ và trạng thái ngõ ra của các FF lúc này là: $Q_2, Q_1, Q_0 = 110$.

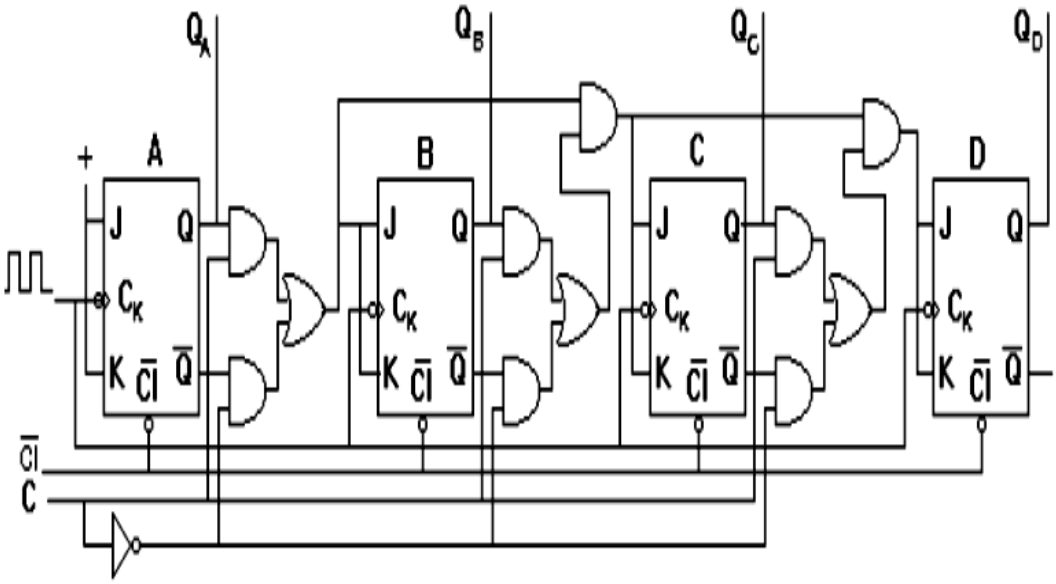
- Tại thời điểm cạnh xuống của xung C_k thứ ba ngõ ra của FF_0, FF_1 là $Q_0 = 0$ lên , $Q_0 = 0$ và $Q_1 = 1$ xuống 0 làm $\overline{Q_1} = 1$nên Q_2 vẫn bằng . Trạng thái ngõ ra của các FF lúc này là: $Q_2, Q_1, Q_0 = 101$.

- Tương tự với các xung C_K còn lại và ngõ ra của các FF cuối cùng $Q_2, Q_1, Q_0 = 000$.

Mạch đếm lên, đếm xuống không đồng bộ (n=4):

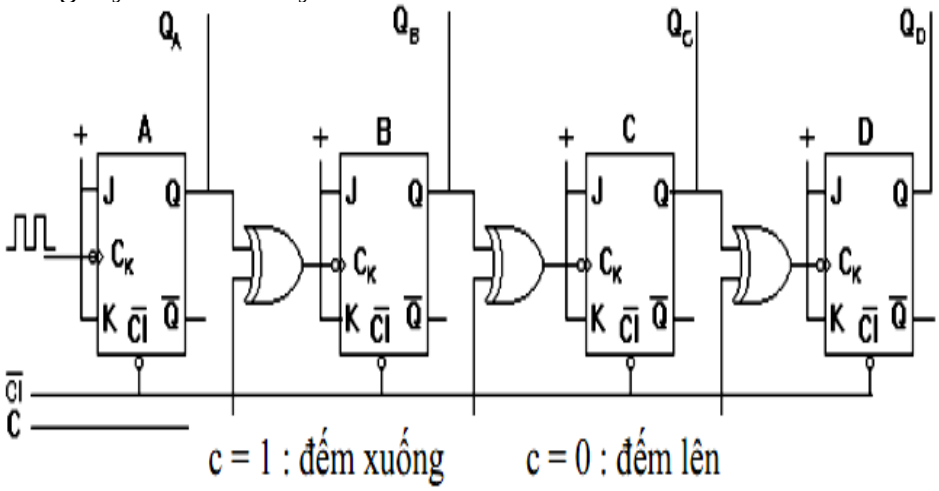
Để có mạch đếm lên hoặc đếm xuống người ta dùng các mạch đa hợp 2→1(hai

trang thái 1 ngõ ra) với ngã vào điều khiển C chung để chọn Q hoặc Q đảo đưa vào tầng sau qua các cổng NAND. Trong mạch (hình 3.7) dưới đây khi C =1, Q nối vào C_k, mạch đếm lên và C =0. Q đảo nối vào Ck, mạch đếm xuống.



Hình 3.7

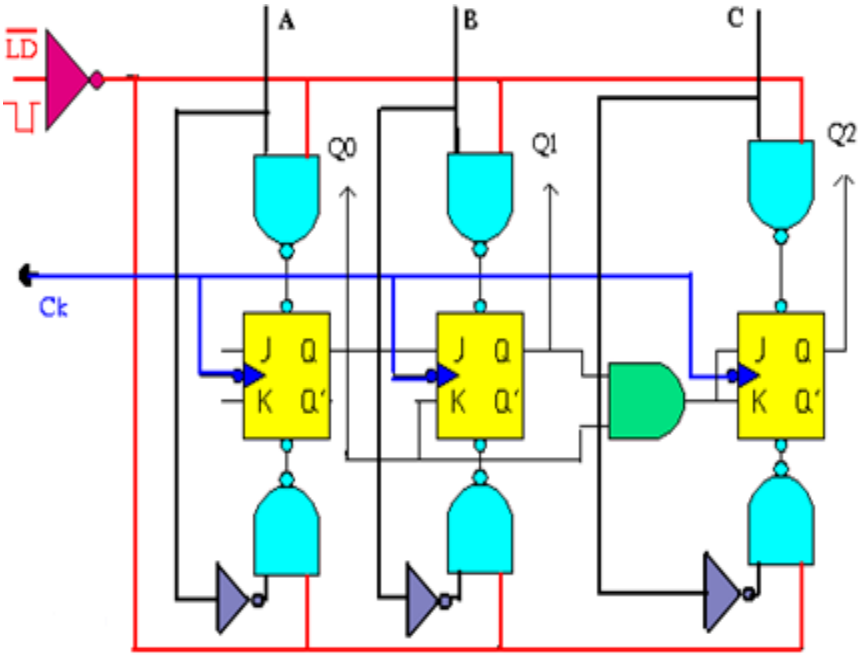
Trên thực tế , để đơn giản, ta có thể thay đa hợp 2→1 bởi một cổng EX-OR (hình 3.8) , ngã điều khiển C nối vào một ngã vào cổng EX-OR, ngã vào còn lại nối với ngã ra Q của FF và ngã ra của cổng EX-OR nối vào ngã vào C của FF sau, mạch cũng đếm lên/xuống tùy vào C=0 hay C=1.



Hình 3.8

Mạch đếm với số đếm đặt trước

Nhiều bộ đếm song song ở dạng IC tích hợp được thiết kế để có khả năng nạp trước số cần đếm thay vì 0 như ta thường thấy. Số đặt trước là bất kì trong những số có thể ra của mạch và mạch có thể đếm lên hay đếm xuống 1 cách đồng bộ hay không đồng bộ từ số này.Việc này giống như là nạp song song ở mạch ghi dịch vậy, bằng cách tận dụng ngõ Cl và Pr (ngõ không đồng bộ độc lập với ck). Cấu trúc mạch với 3 tầng FF được minh hoạ như hình và hoạt động nạp được thực hiện như hình 3.18:



Hình 3.18. Mạch đếm đặt trước 3 bit

Giả sử mạch đang đếm hay dừng ở 1 số đếm nào đó. Đưa sẵn số đếm có trạng thái cần nạp vào ngõ A B C. Đặt một xung mức thấp vào đầu LD (parallel load), xung này sẽ cho phép trạng thái logic ABC qua cổng NAND để đưa vào 3 tầng FF qua 3 ngõ Pr hay Cl (tuỳ thuộc bit mức thấp hay cao). Kết quả là Q0 = A, Q1 = B, Q2 = C.

Khi LD lên cao trở lại, lúc này nếu có xung nhịp Ck thì mạch sẽ tiếp tục đếm từ số vừa nạp (trước đó ck và các ngõ T không có tác dụng).

3.3. Thanh ghi

- Mục tiêu: Phân biệt được các loại thanh ghi. Trình bày được ưu nhược điểm của nó.

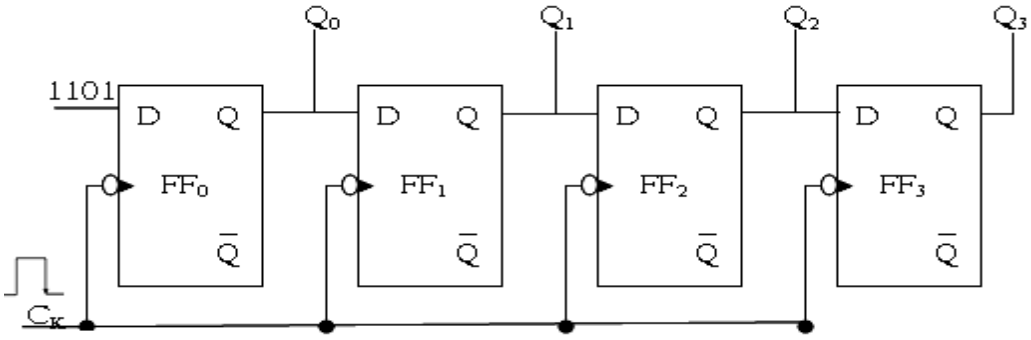
Thanh ghi được xây dựng trên cơ sở các DFF (hoặc các FF khác thực hiện chức năng của DFF) và trong đó mỗi DFF sẽ lưu trữ 1 bit dữ liệu.

Để tạo thanh ghi nhiều Bit, người ta ghép nhiều DFF lại với nhau theo qui luật như sau

- Ngõ ra của DFF đứng trước được nối với ngõ vào DATA của DFF sau ($D_{i+1} = q_i$) (thanh ghi có khả năng dịch phải)
- Hoặc ngã ra của DFF đứng sau được nối với ngõ vào của DATA dứng trước ($D_i = Q_{i-1}$) 9 thanh ghi có khả năng dịch trái.

3.3.1.Thanh ghi vào nối tiếp ra song song dịch phải, hình 3.18

Cấu trúc :



Hình 3.18 : Thanh ghi vào nối tiếp ra song song dịch phải

❖ *Nguyên tắc hoạt động:*

Giả sử cho dữ liệu ngõ vào D_{in} = 111101 như hình, ban đầu $Q_3Q_2Q_1Q_0$ = 0000

$D_0 = 1, D_1 = 0, D_2 = 0, D_3 = 0$ tại C_{K1} $Q_0 = 1, Q_1 = 0, Q_2 = 0, Q_3 = 0$.

$D_0 = 0, D_1 = 1, D_2 = 0, D_3 = 0$ tại C_{K2} $Q_0 = 0, Q_1 = 1, Q_2 = 0, Q_3 = 0$.

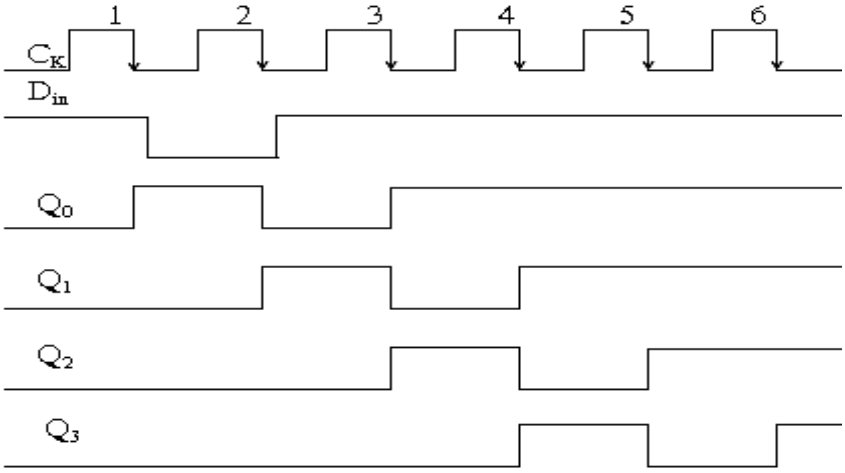
$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 0$ tại C_{K3} $Q_0 = 1, Q_1 = 0, Q_2 = 1, Q_3 = 0$.

$D_0 = 1, D_1 = 1, D_2 = 0, D_3 = 1$ tại C_{K4} $Q_0 = 1, Q_1 = 1, Q_2 = 0, Q_3 = 1$.

$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 0$ tại C_{K5} $Q_0 = 1, Q_1 = 1, Q_2 = 0, Q_3 = 1$.

$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 1$ tại C_{K6} $Q_0 = 1, Q_1 = 1, Q_2 = 1, Q_3 = 1$.

Dạng sóng tín hiệu hình 3.19:



Hình 3.19: Tín hiệu thanh ghi vào nối tiếp ra song song dịch phải

3.3.2. Thanh ghi vào nối tiếp ra song song dịch trái

❖ *Nguyên tắc hoạt động:*

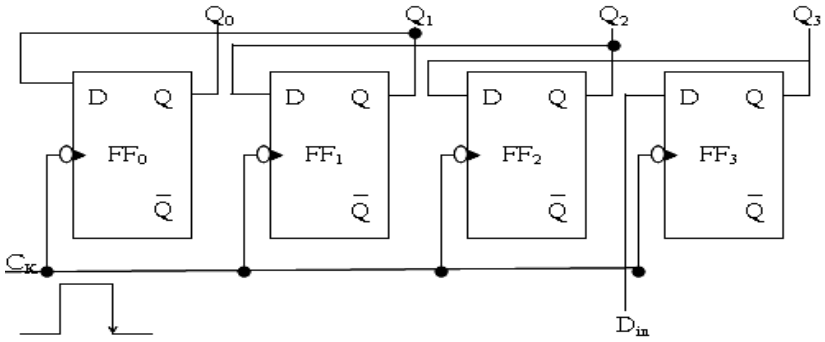
Giả sử cho dữ liệu ngõ vào D_{in} = 111101 như hình, ban đầu $Q_3Q_2Q_1Q_0$ = 0000

$D_3 = 1, D_2 = 0, D_1 = 0, D_0 = 0$ tại CK_1 $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 0$.

$D_3 = 0, D_2 = 1, D_1 = 0, D_0 = 0$ tại CK_1 $Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 0$.

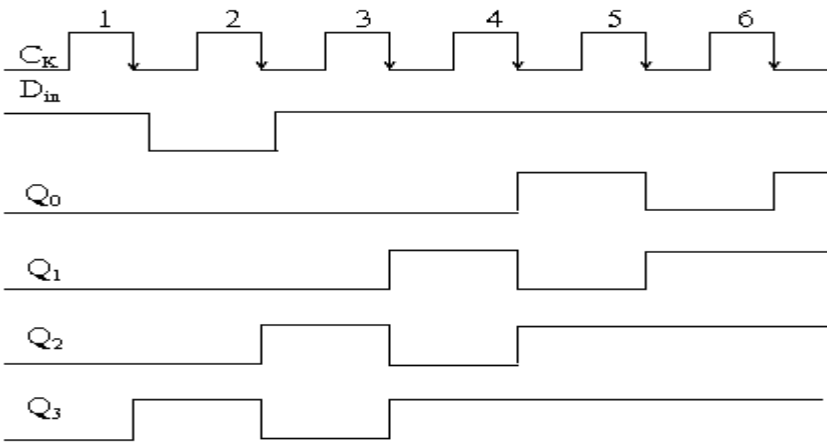
$D_3 = 1, D_2 = 1, D_1 = 1, D_0 = 0$ tại CK_1 $Q_3 = 1, Q_2 = 0, Q_1 = 1, Q_0 = 0$.

$D_3 = 1, D_2 = 1, D_1 = 0, D_0 = 1$ tại CK_1 $Q_3 = 1, Q_2 = 1, Q_1 = 0, Q_0 = 1$.



Hình 3.20 : Thanh ghi vào nối tiếp ra song song dịch trái

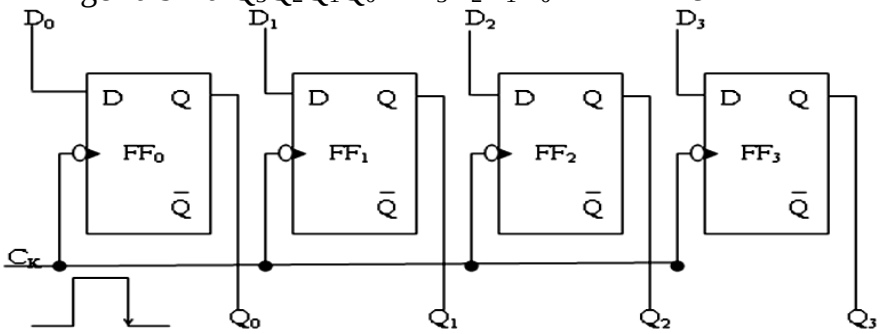
Dạng sóng tín hiệu hình 3.21



Hình 3.21: Tín hiệu thanh ghi vào nối tiếp ra song song dịch trái

3.3.3. Thanh ghi vào song song ra song song

Giả sử dữ liệu vào là $D_3D_2D_1D_0 = B_3B_2B_1B_0$. Khi có cạnh xuống của xung Ck xuất hiện thì với $D_3 = B_3$ thì $Q_3 = B_3$, $D_2 = B_2$ thì $Q_2 = B_2$, $D_1 = B_1$ thì $Q_1 = B_1$, $D_0 = B_0$ thì $Q_0 = B_0$. Thì ngõ ra sẽ là $Q_3Q_2Q_1Q_0 = B_3B_2B_1B_0$ như hình 3.22

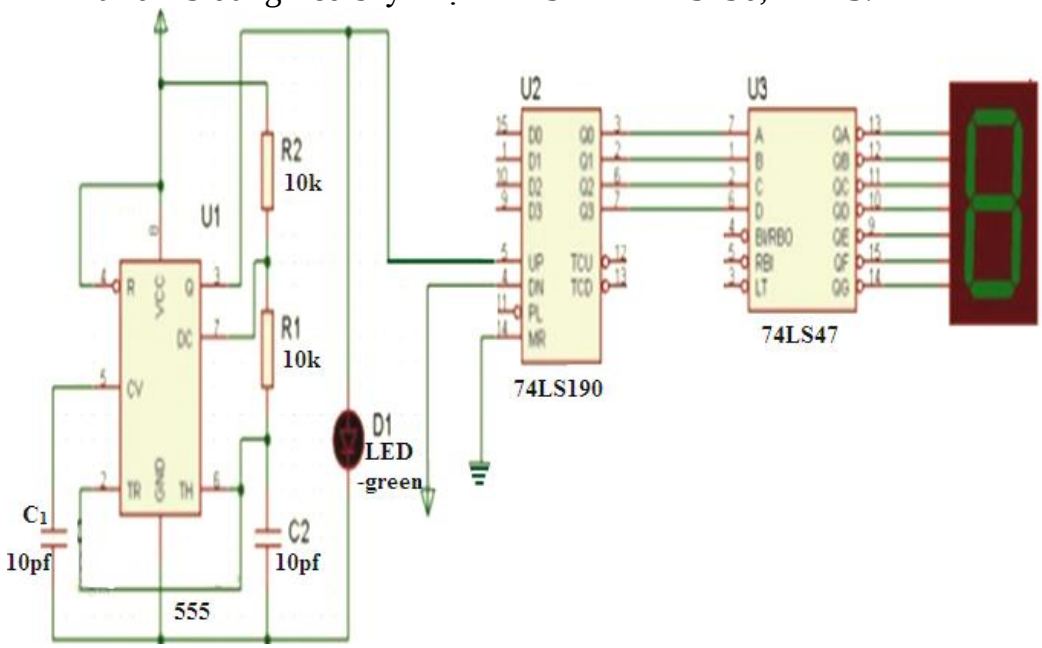


Hình 3.22 : Thanh ghi vào song song ra song song

4. Tính toán, lắp ráp một số mạch ứng dụng cơ bản

- Mục tiêu: Lắp ráp, sửa chữa, đo kiểm được các mạch giải mã, mã hóa và hiển thị của các LED trong các mạch điện.

- Mạch đếm từ 0 – 9 dùng Led bảy đoạn 74LS47 – 74LS190, hình 3.27



Hình 3.27

- **Dao động tạo xung vuông với tần số tùy chọn.**

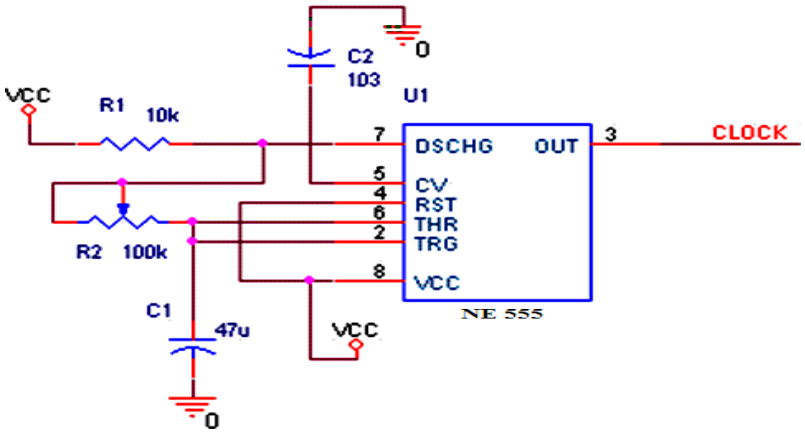
Ở đây chúng ta sử dụng NE555 hình 3.28. Nhiệm vụ của 555 là tạo ra xung vuông để cấp cho mạch đếm.

❖ *Sơ đồ nguyên lý mạch tạo xung vuông*

- Trong sơ đồ mạch trên tần số đầu ra của 555 được tính theo công thức :

f = 1/(ln2*C1*(R1+2R2))

- Biến trở R2 dùng để điều chỉnh tần số đầu ra. Tần số lớn thì mạch đếm nhanh còn tần số thấp thì mạch đếm chậm.



Hình 3.28

• **Mã hóa-giải mã và hiển thị**

- Do đếm từ 0 đến 25 nên ta sử dụng 1 LED 7 đoạn hiện thị số lần đếm và 2 IC –IC 74LS190 và 1 IC 74LS47 giải mã BCD ra LED 7 đoạn .

+ **74LS190:** IC này cũng khá quen thuộc nó dùng để đếm mã nhị phân chia 10 mã hóa ra BCD. Cứ mỗi 1 xung vào thì nó đếm tiến lên 1 và được mã hóa ra 4 chân. Khi đếm đến 10 tự nó sẽ reset và quay trở về ban đầu. Hai thông số quan trọng để thiết kế mạch đếm này là: Bảng trạng thái mã hóa ra BCD và điều kiện để Reset (trở về trạng thái ban đầu).

- Bảng giá trị mã hóa ra BCD, khi sản xuất ra IC này nhà sản xuất đã cung cấp cho chúng ta bảng trạng thái như hình 3.29.

Đếm	Ngõ ra			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

H: Mức cao, L: Mức thấp

Hình 3.29

Trong bảng trạng thái trên cần chú ý là : Đầu ra của Q_0 được nối với đầu vào của CP1.

- *Mức Reset cho 74LS190:* IC có 4 chân Reset dùng để reset hệ thống với các chân : MR1, MR2, MS1, MS2. Đưa các mức thích hợp vào các chân này thì nó sẽ tự động Reset và bảng mức Reset, hình 3.30

Reset/Set các ngõ vào				Ngõ ra			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X		Count		
X	L	X	L		Count		
L	X	X	L		Count		
X	L	L	X		Count		

H: mức cao
L: mức thấp
X: không xác định

Hình 3.30

+ **74LS47 :** IC này dùng để giải mã BCD sang mã LED 7 đoạn. Khi IC 74LS90 mã hóa ra mã BCD, sau đó 74LS47 sẽ mã hóa các mã BCD này chuyển sang LED 7 đoạn hiện thị các giá trị đếm. Bảng trạng thái các mức hiện thị sau khi giải mã BCD như hình 3.31.

NUMERICAL DESIGNATIONS — RESULTANT DISPLAYS

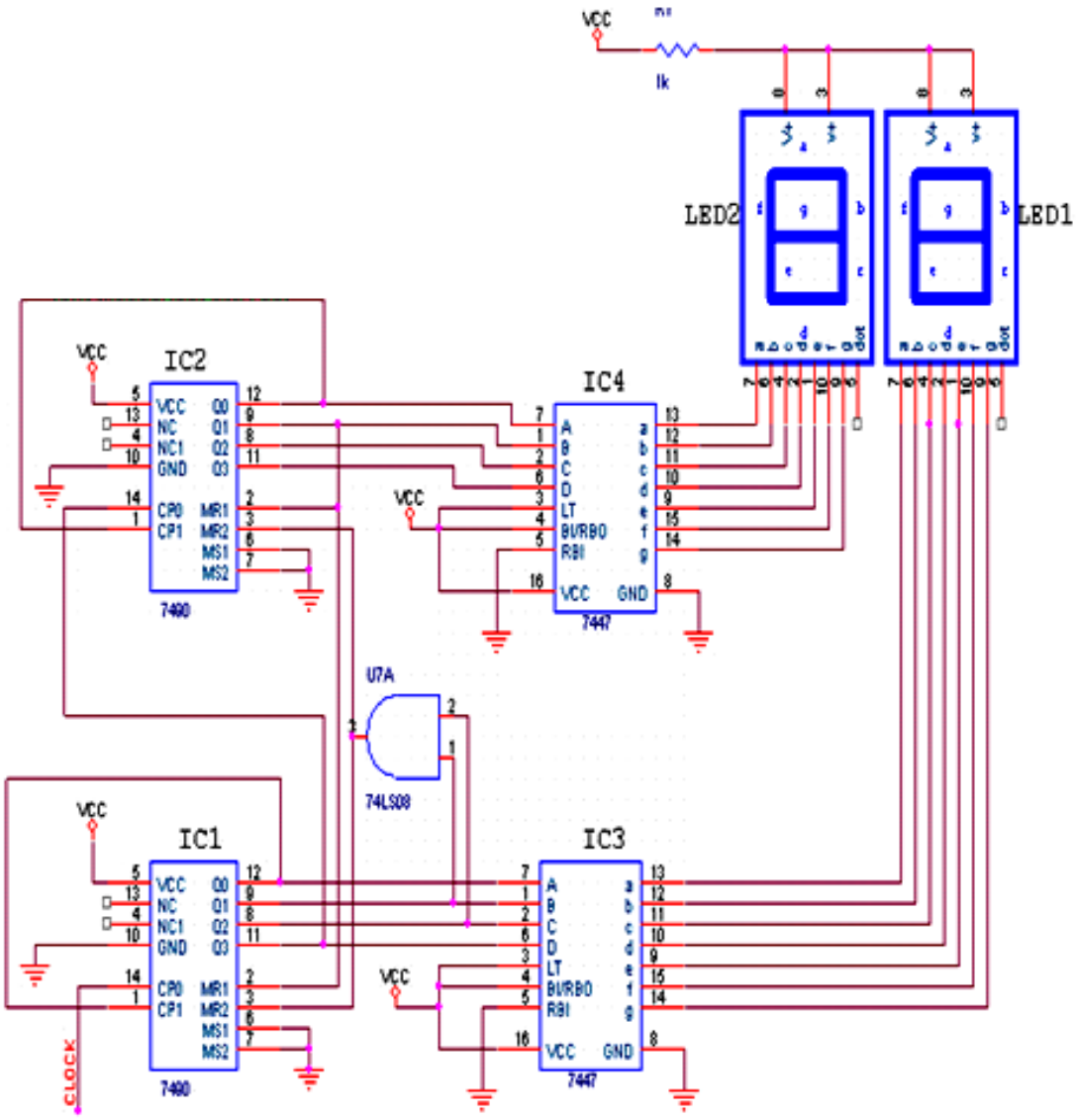
TRUTH TABLE

	INPUTS							OUTPUTS							
DECIMAL OR FUNCTION	$\overline{LT}$	$\overline{RBI}$	D	C	B	A	$\overline{BI/RBO}$	$\overline{a}$	$\overline{b}$	$\overline{c}$	$\overline{d}$	$\overline{e}$	$\overline{f}$	$\overline{g}$	NOTE
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	A
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	A
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
$\overline{BI}$	X	X	X	X	X	X	L	H	H	H	H	H	H	H	B
$\overline{RBI}$	H	L	L	L	L	L	L	H	H	H	H	H	H	H	C
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	D

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

Hình 3.31

- Sơ đồ của mạch đếm từ 0-25.



Hình 3.32

❖ ***Nguyên lý :***

- Khi ta cấp xung vào IC_1 nó sẽ đếm lần lượt từ từ 0 cho đến 9. Khi tới 9 thì lúc này nó sẽ cấp 1 xung cho IC2 và IC2 được nhận 1 xung và nó đếm 1. Sau đó IC1 vẫn tiếp tục đếm đến 9 thì IC2 lại nhận được 1 xung nữa và đếm thành 2. Do mạch chỉ đếm đến 25 nên các mức reset phải chọn cho hợp lý để khi đếm đến 25 nó tự trở về 0.

- Ở mạch trên các chân reset tương ứng của 2 IC1 và IC2 được nối với nhau và được nối với 1 chân đầu ra của IC1 và IC2 sao cho các chân 2 và 3 của IC1 và IC2 phải ở mức cao (Vì các chân 6 và 7 của hai IC đã cho trước điều kiện là nối với GND) như hình 3.32 .Ở đây do đếm đến 25 ta không chọn được mức Reset trong bảng trạng thái phù hợp nên phải dùng cổng AND thì mới ra được 25.

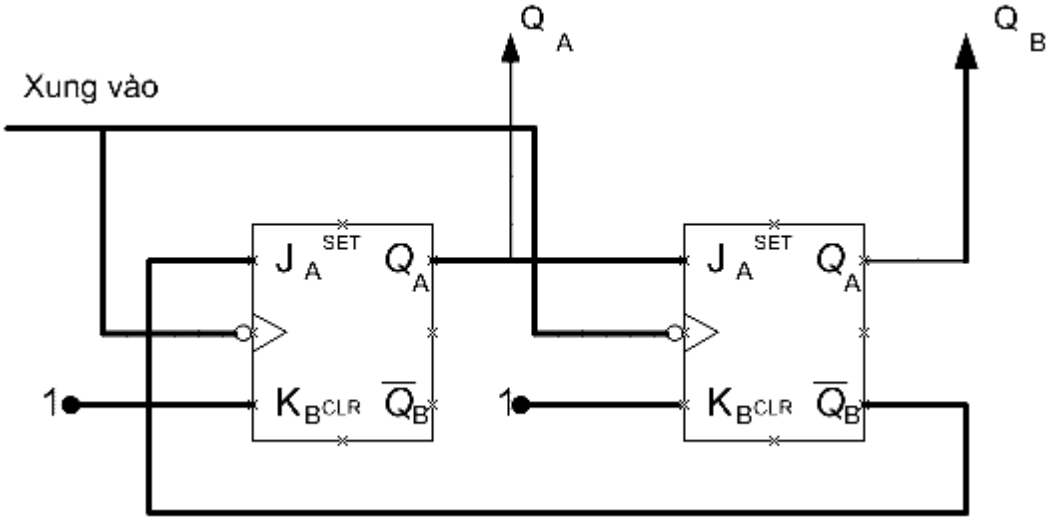
Ví dụ :

- Thiết kế mạch đếm đồng bộ Mod-3 như hình 3.33a. (mạch đếm chia 3) có hoạt động logic theo như bảng trạng thái hình 3.33b.

Xung vào	Q_B	Q_A
0 (xóa)		

1 2		
3 4		

Hình 3.33a



Hình 3.33b. Mạch đếm đồng bộ Mod-3

Giải :

Số tầng FF là hai (hình 3.33b). Sau khi được xóa số đếm là 00 = 0,sau đó mạch đếm lên 01 = 1, 10 = 2 rồi tự động reset trở về 00 = 0 để đếm lên trở lại.

Vì mạch đếm đồng bộ nên xung vào được đưa thẳng đến ngõ đồng hồ của mỗi FF. Quan sát bảng trạng thái thấy Q_A từ 0 lên 1 ở xung 1 nhưng vẫn ở 0 ở xung 3 nên giữ K_a ở 1 (đối với FF JK nếu K ở 1 thì J = 0 sẽ cho Q = 0, J = 1 sẽ cho Q= $\overline{Q}$) và nối $\overline{Q_B}$ đến J_A (ở xung đếm 0 $\overline{Q_B}$ =1 tức là$J_A = K_A = 1$ nên ở xung 1 Q_A =1 và $\overline{Q_B}$ tiếp tục là 1 tức là $J_A = K_A$ =1 nên ở xung 2 Q_A = 0. lúc bấy giờ $\overline{Q_B}$ = 0, lúc bấy giờ $\overline{Q_B}$ = 0, lúc bấy giờ / $\overline{Q_B}$.

Đối với Q_B quan sát bảng trạng thái thấy ở xung 1 Q_B = 0 và Q_A = 1, ở xung 2 Q_B=1 (tức đảo so với trước) nên thử nối Q_A đến J_B và giữ K_B ở mức cao. Sau xung 2 Q_A =0 tức J_B =0, K_B =1 nên ở xung 3 Q_B = 0 như mong muốn. Kiểm tra thấy ở xung 4 Q_A= 1, Q_B = 0,…

4. ROM, RAM

4.1. ROM

- Mục tiêu: Trình bày được các sơ đồ, cấu trúc của ROM, bảng trạng thái cài đặt các thông số.

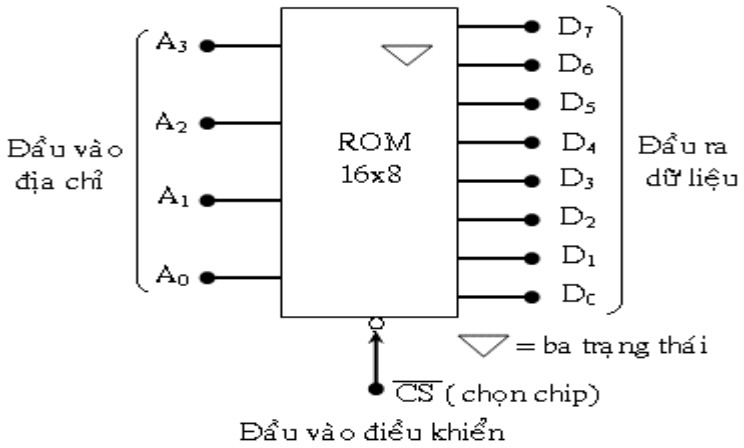
4.1.1. Cấu trúc ROM

Bộ nhớ chỉ đọc được (ROM) là một dạng của bộ nhớ bán dẫn mà nó được thiết kế giữ cho dữ liệu không thay đổi. Khi hoạt động dữ liệu mới không thể viết vào ROM được mà chỉ có thể đọc được.

ROM được sử dụng để lưu trữ dữ liệu và tin tức. Nó không làm thay đổi dữ liệu trong suốt quá trình hoạt động của hệ thống. ROM chủ yếu thực hiện chức năng đọc là chính.

4.1.1.1. SƠ ĐỒ KHỐI CỦA ROM

Hình 6.1 minh họa sơ đồ khối tiêu biểu cho một ROM, gồm có đầu vào địa chỉ, đầu vào điều khiển và đầu ra dữ liệu.



Hình 6.1: Sơ đồ khối cơ bản của ROM

Giả sử ROM đã được lập trình với dữ liệu minh họa như ở (h.6. 2), 16 từ dữ liệu khác nhau được ghi vào 16 địa chỉ khác nhau dưới dạng nhị phân. Người ta còn sử dụng số thập lục phân để biểu diễn dữ liệu đã lập trình (hình 6.3).

Địa chỉ					Dữ liệu							
Từ	A_3	A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	1	1	0	1	1	1	1	0
1	0	0	0	1	0	0	1	1	1	0	1	0
2	0	0	1	0	1	0	0	0	0	1	0	1
3	0	0	1	1	1	0	1	0	1	1	1	1
4	0	1	0	0	0	0	0	1	1	0	0	1
5	0	1	0	1	0	1	1	1	1	0	1	1
6	0	1	1	0	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	0	1	1	0	1
8	1	0	0	0	0	0	1	1	1	1	0	0
9	1	0	0	1	1	1	1	1	1	1	1	1
10	1	0	1	0	1	0	1	1	1	0	0	0
11	1	0	1	1	1	1	0	0	0	1	1	1
12	1	1	0	0	0	0	1	0	0	1	1	1
13	1	1	0	1	0	1	1	0	1	0	1	0
14	1	1	1	0	1	1	0	1	0	0	1	0
15	1	1	1	1	0	1	0	1	1	0	1	1

Hình 6. 2 Bảng minh họa dữ liệu nhị phân mỗi địa chỉ

Địa chỉ		Dữ liệu
Từ	$A_3 A_2 A_1 A_0$	D_7 - D_0

0	0	DE
1	1	3A
2	2	8U5
3	3	AF
4	4	19
5	5	7B
6	6	00
7	7	ED
8	8	3C
9	9	FF
10	A	B8
11	B	C7
12	C	27
13	D	6A
14	E	D2
15	F	5B

Hình 6.3 Bảng minh họa dữ liệu tại mỗi địa chỉ với hệ thập lục phân.

Hoạt động đọc

Để đọc một từ dữ liệu từ ROM, ta phải làm như sau: áp đầu vào địa chỉ thích hợp, sau đó kích hoạt đầu vào điều khiển.

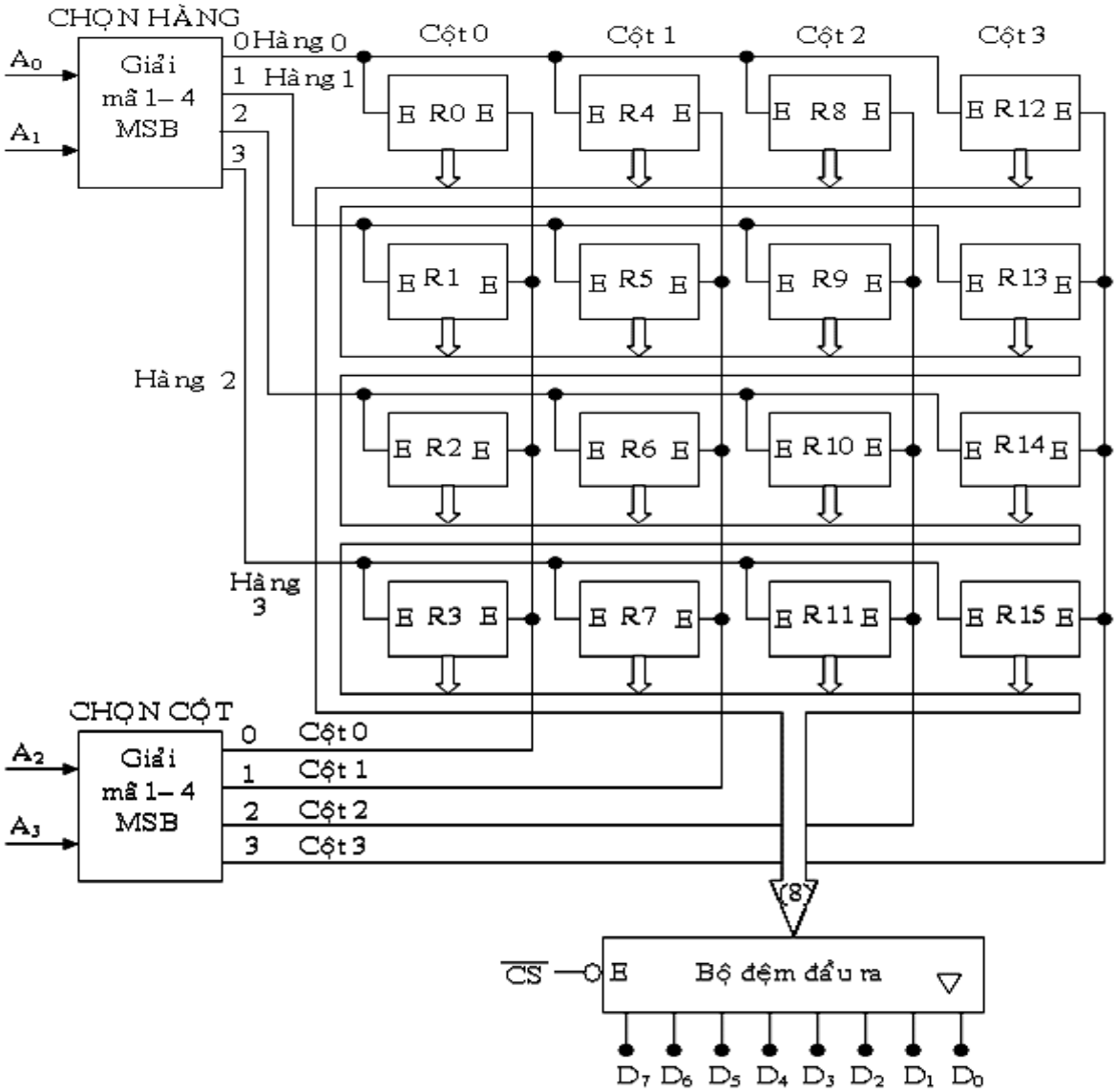
Ví dụ: Muốn đọc dữ liệu tại địa chỉ 0111 của ROM (hình 6.3) ta phải áp $A_3A_2A_1A_0$= 0111 cho đầu vào địa chỉ, sau đó áp dụng trạng thái thấp cho $\overline{CS}$.

Đầu vào địa chỉ được giải mã bên trong ROM để chọn được dữ liệu đúng là 11101101. giá trị này sẽ xuất hiện tại đầu ra D_7 đến D_0.

4.1.1.2. CẤU TRÚC CỦA ROM

Cấu trúc bên trong của ROM rất phức tạp. Hình 6.4 là sơ đồ đơn giản mô tả cấu trúc bên trong của một ROM có dung lượng 16x8. Gồm có 4 phần cơ bản: mảng thanh *ghi, bộ giải mã hàng, bộ giải mã cột, bộ đệm đầu ra.*

- Mảng thanh ghi (Resister array) lưu trữ dữ liệu được lập trình vào ROM. Mỗi thanh ghi gồm một ô nhớ bằng số kích thước từ. Trong trường hợp này mỗi thanh ghi chứa một từ 8 bit. Các thanh ghi được sắp xếp theo ma trận vuông, các thanh ghi ở đây là thanh ghi “ chết ”, không ghi thêm được.



Hình 6.4: Cấu trúc của ROM có dung lượng 16x8

Vị trí của từng thanh ghi được định rõ qua số hàng và số cột cụ thể. 8 đầu ra dữ liệu của mỗi thanh ghi được nối vào một đường dữ liệu bên trong chạy qua toàn mạch. Mối thang ghi có hai đầu vào cho phép. Cả hai phải ở mức cao thì dữ liệu ở thanh ghi mới được phép đưa vào dường truyền.

- Bộ giải mã địa chỉ

Mã địa chỉ $A_3A_2A_1A_0$ quyết định thanh ghi nào trong dãy được phép đặt từ dữ liệu 8 bit của nó vào đường truyền. Ở đây dùng 2 bộ giải mã: bộ giải mã chọn hàng (chọn 1 trong 4) và chọn cột. Thanh ghi giao giữa hàng và cột được chọn bởi đầu vào địa chỉ sẽ là thanh ghi được kích hoạt (cho phép).

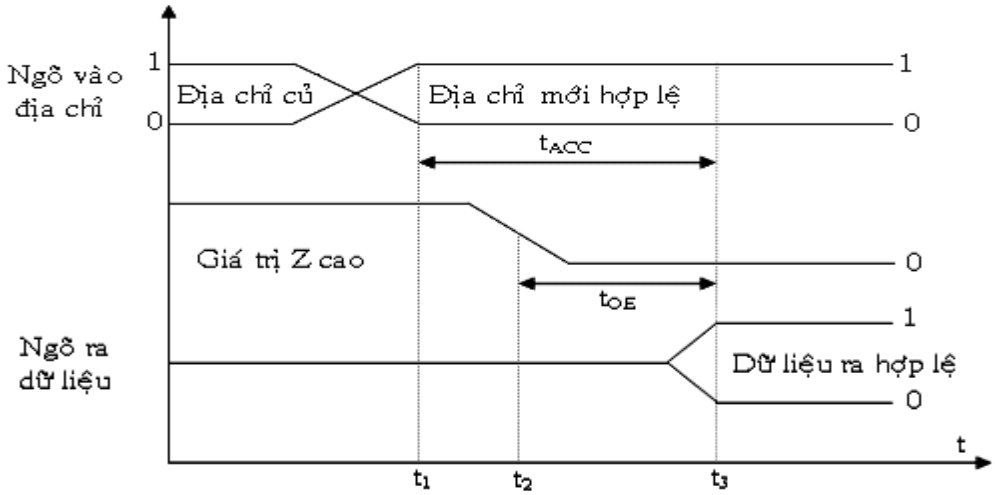
Ví dụ: Địa chỉ vào là 1101 thì thanh ghi nào xuất dữ liệu. Với $A_3A_2 = 11$, bộ giải mã cột sẽ kích hoạt đường chọn cột số 3. Với $A_1A_0 = 01$, bộ giải mã hàng sẽ kích hoạt đường chọn hàng số 1

Như vậy kết quả là cả hai đầu vào cho phép thanh ghi số 13 sẽ ở mức cao và dữ liệu của thanh ghi này sẽ được đưa vào đường truyền dữ liệu.

- Bộ đệm đầu ra, thường sử dụng mạch đệm 3 trạng thái, điều khiển bằng chân $\overline{CS}$. Khi $\overline{CS}$ ở mức thấp, bộ đệm đầu ra chuyển dữ liệu này ra ngoài. Khi $\overline{CS}$ ở mức cao, bộ đệm đầu ra sẽ ở trạng thái trở kháng cao. D_7 đến D_0 thả nổi.

4.1.1.3. THÔNG SỐ THỜI GIAN CỦA ROM

Sẽ có một khoảng thời gian trễ do truyền từ khi yêu cầu được đưa vào qua đầu vào của ROM đến khi dữ liệu xuất hiện ở đầu ra trong hoạt động đọc. Thời gian này gọi là thời gian truy xuất (t_{ACC}). Thời gian truy xuất được biểu diễn ở dạng sóng trong hình 6.5.



Hình 6. 5 Sơ đồ thời gian cho một hoạt động đọc của ROM

Dạng sóng phía trên biểu diễn đầu vào địa chỉ; dạng sóng ở giữa là một $\overline{CS}$ tích cực ở mức thấp; dạng sóng dưới cùng biểu diễn đầu ra của dữ liệu.

Một thông số thời gian khác cũng quan trọng đó là thời gian cho phép ra t_{OE}. Đó là thời gian trễ giữa đầu vào $\overline{CS}$ và đầu ra dữ liệu hợp lệ.

t_{ACC} (TTL) : 30 – 90ns.

t_{ACC} (NMOS) : 200 – 900ns.

t_{ACC} (CMOS) : 20 – 60ns

t_{OE} (TTL) : ROM 10 - 20ns

t_{OE} (NMOS) : ROM 25 - 100ns

t_{OE} (CMOS) : ROM 10 – 20ns

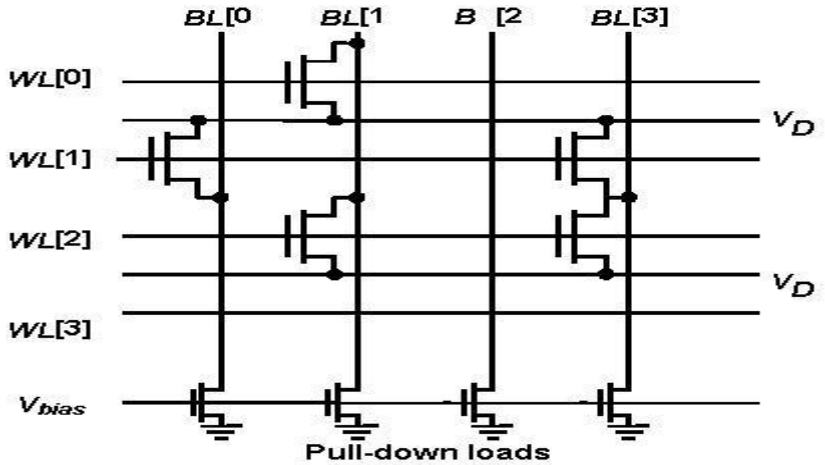
4.1.2. Cấu trúc ma trận nhớ

Ma trận nhớ chỉ đọc cũng có thể xem như một mạch logic kết hợp đơn giản tạo nên một giá trị lối ra xác định đối với mỗi tổ hợp vào, tức đối với một địa chỉ. Do dó việc lưu trữ thông thông tin nhị phân tại một vị trí địa chỉ riêngcó thể đạt được bằng sự có mặt hoặc không có mặt của một đường số liệu từ hàng được chọn (đường từ) tới cột được chọn (đường bit), là tương đương với sự có mặt hoặc không có mặt của một dụng cụ tại vị trí riêng đó. Dưới đây ta sẽ khảo sát hai thi hành khác nhau đối với các ma trận MOS ROM. Ta khảo sát ma trận nhớ 4x4 được chỉ ra trên hình 6. 6. Ở đây mỗi cột bao gồm một cổng NOR nMOS được điều khiển bằng một số tín hiệu hàng tức các đường từ.

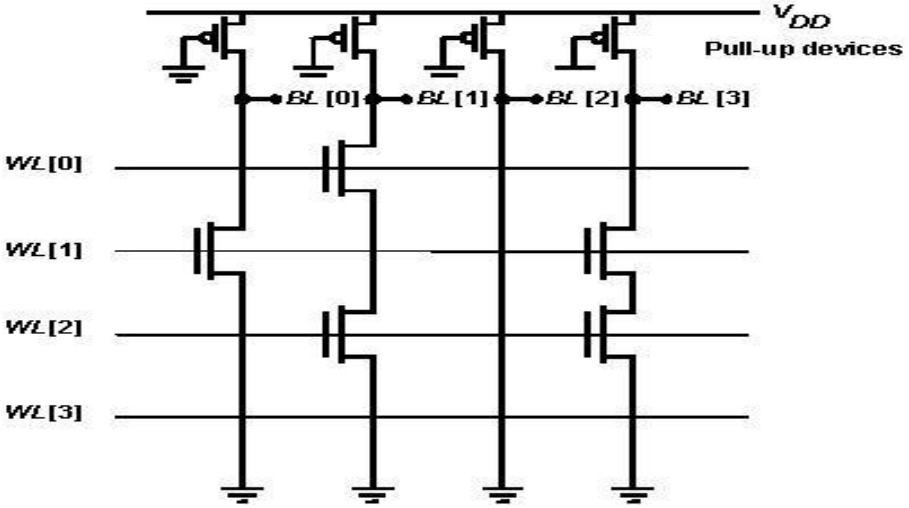
Như đã mô tả ở phần trước chỉ có đường từ được hoạt động (được chọn) tại thời điểm tăng thế của nó lên V_{DD} , trong khi tất cả các hàng khác giữ tại mức thế thấp. Nếu một transistor hoạt động tồn tại tại giao điểm của cột và hàng được chọn, thì

thế cột bị kéo xuống mức logic thấp bằng mức transistor đó. Nếu transistor không hoạt tồn tại tại giao điểm thì thế cột được kéo lên cao bằng dụng cụ tải pMOS. Do đó bit logic "1" được lưu trữ khi không có transistor hoạt, trong khi đó bit logic "0" được lưu trữ khi có mặt của một transistor hoạt tại điểm cắt. Để giảm công suất tiêu thụ tĩnh, transistor tải trong ma trận ROM được chỉ trên hình 6.6 cũng có thể được điều khiển bằng tín hiệu nạp trước tuần hoàn dẫn đến ROM *động*.

Tiếp theo chúng ta sẽ thực hiện thiết kế một ma trận ROM khác một cách có ý nghĩa được gọi là NAND ROM (hình 6.7). Ở đây mỗi đường bit bao gồm một cổng NAND được điều khiển bằng một số tín hiệu hàng,tức đường từ. Bình thường, tất cả các đường từ được giữ lại tại mức thế logic cao, trừ đường được chọn được kéo xuống mức thế thấp nhất. Nếu một transistor tồn tại tại giao điểm của cột và hàng được chọn, transistor bị ngắt và thế cột bị kéo lên cao bằng dụng cụ tải. Mặt khác nếu không có transistor tồn tại (ngắn mạch) tại giao điểm riêng, thế cột bị kéo xuống thấp bằng các transistor nMOS khác trong cấu trúc NAND nhiều lối vào. Do đó bit logic "1" được lưu trữ bằng sự có mặt của một transistor có thể không hoạt động, trong khi bit logic "0" được lưu trữ bằng ngắn mạch hay bình thường trên transistor tại giao điểm.



Hình 6. 6: Ma trận 4x4 NOR ROM



Hình 6. 7: Ma trận 4x4 NAND ROM

Thiết kế các bộ giải mã hàng và cột

Một bộ giải mã hàng được thiết kế để điều khiển một ma trận ROM NOR để chọn một trong 2^n đường từ bằng tăng thế của nó tới V_{OH}.

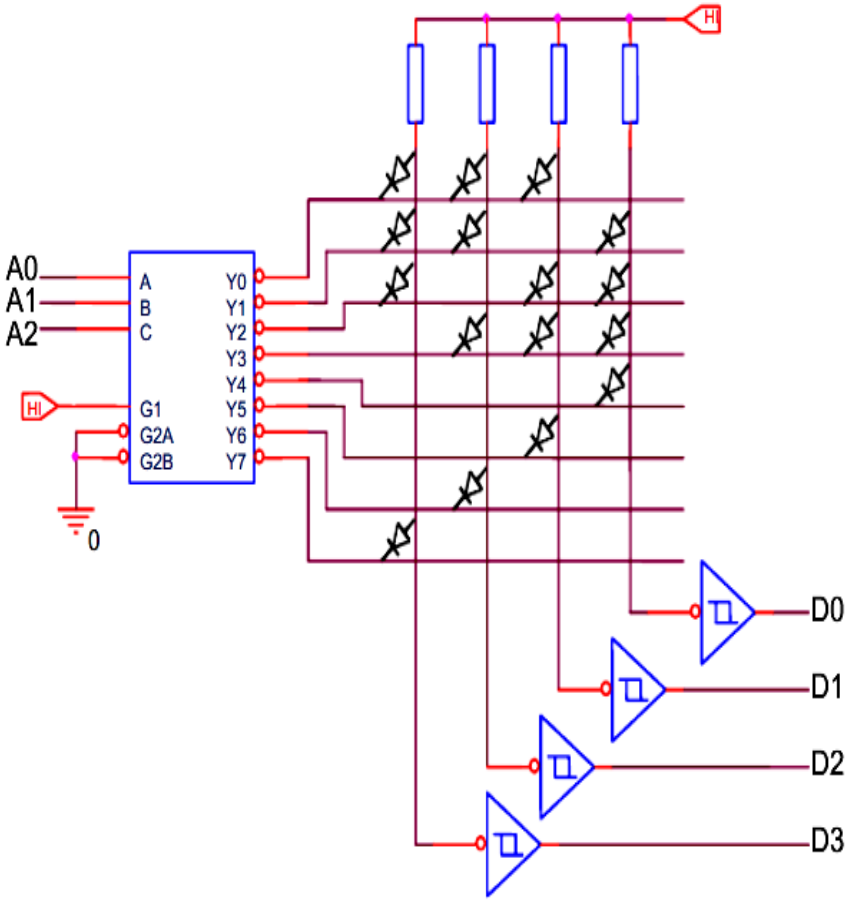
Bộ giải mã ROM NAND phải là mức thiết kế thấp của logic hàng được chọn ”0”, trong khi tất cả các hàng khác phải mức logic cao. Chúc năng này cóthể thực hiện bằng cách sử dụng một cổng NAND có N lối vào cho mỗi lối ra hàng.

4.1.3. Cấu trúc tế bào ROM

Cơ chế sử dụng ROM để lưu trữ thì thay đổi ứng với các công nghệ của ROMkhác nhau. Trong phần lớn các ROM, sự xuất hiện hoặc vắng mặt của mộtdiode hay transistor sẽ phân biệt giữa 0 và 1

Cấu trúc với giải một chiều.

Sơ đồ ROM 8x4 với cấu trúc giải mã 1 chiều (dùng 1 bộ giải mã TTL và cácdiode), hình 6.8



Hình 6. 8: Sơ đồ ROM 8x4 với cấu trúc giải mã 1 chiều

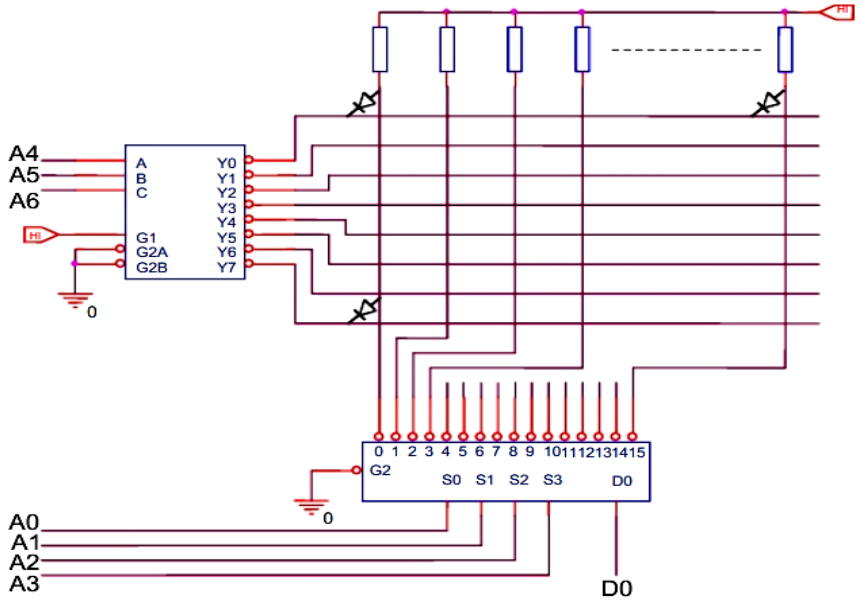
Mỗi đường ra bộ giải mã được gọi là đường từ (word line) bởi vì nó chọn mộthàng hoặc một từ của bảng chứa trong ROMMỗi đường thẳng đứng trong hình được gọi là đường bit (bit line) bởi vì nó tươngứng với một bit ra của ROM

Nhận xét: Có diode tương ứng mức 0, không có diode tương ứng mức 1Các MOS ROM thường dùng transistor thay vì là diode ở mỗi vị trí mà bit sẽđược lưu trữ.

Cấu trúc giải mã 2 chiều, hình 6.9

Nếu xây dựng một ROM 128x1 dùng cấu trúc ở phần trước phải sử dụng một bộgiải mã 7 sang 128, nghĩa là phải sử dụng đến một lượng lớn 128 các cổngNAND 7 ngõ vào, nếu thiết kế cho ROM với hàng triệu bits hoặc nhiều hơn sẽkhông có bộ giải mã 20 sang 1048576. Thay vào đó người ta sẽ sử dụng cấu trúckhác được gọi là giải mã hai chiều (two-dimentional decoding)

Ví dụ:



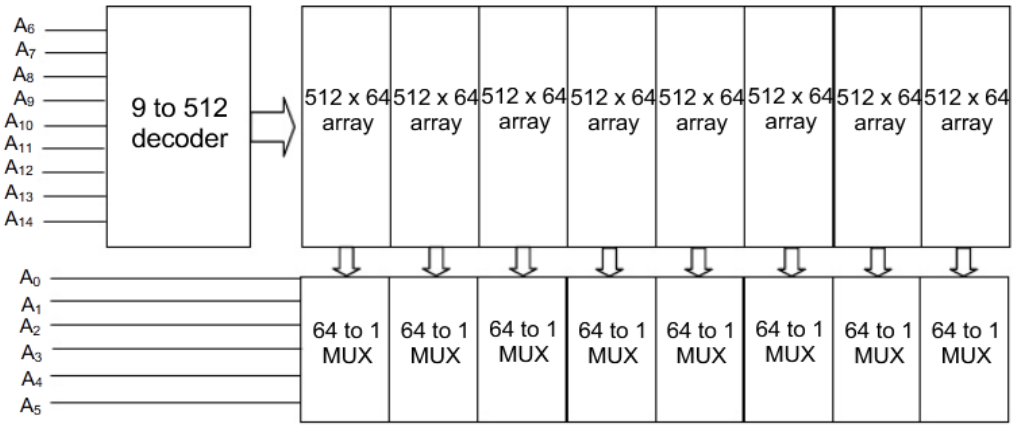
Hình 6. 9 Cấu trúc giải mã 2 chiều

3 bit địa chỉ cao A6 A5 A4 sẽ chọn hàng, mỗi hàng chứa 16 bit bắt đầu tại địa chỉ A6 A5 A4 0000. Khi đặt địa chỉ cho ROM, 16bit ở hàng được chọn đưa vào bộ MUX và 4 bit địa chỉ thấp sẽ chọn bit data mong muốn.

Ngoài việc giảm tính phức tạp việc giải mã, giải mã 2 chiều có một thuận lợi kháclà ROM có một kích thước vật lý gần vuông, điều này quan trọng cho việc chế tạovà đóng gói IC

Với ROM có nhiều ngõ ra dữ liệu, các dãy lưu trữ tương ứng với mỗi ngõ ra dữ liệucó thể được làm hẹp hơn để đạt được bố trí chip gần với hình vuông hơn.

Ví dụ: Một bố trí của ROM 32K x 8



Hình : 6.10

4.1.4. Cấu trúc tế bào PROM

PROM có cấu tạo như ROM nhưng có hai đặc điểm khác biệt, đó là:

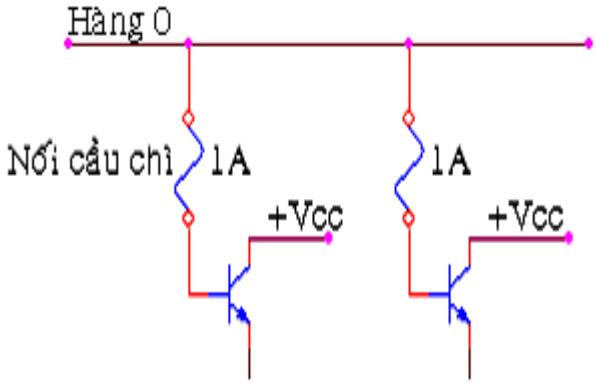
Tất cả các tế bào nhớ đều có diode hay transistor lưỡng cực hay transistor MOS, tùy theo công nghệ chế tạo.

Phần tử bán dẫn được nối với cầu chì tích hợp. Cầu chì đứt rồi không thể nối lại được do đó ta chỉ có thể lập trình PROM một lần thôi.

Muốn đổi từ bit 1 sang bit 0 người ta dùng một xung điện có biên độ và độ rộng xung thích hợp (cho biết bởi nhà sản xuất) giữa đường từ và đường bit tương ứng để

làm đứt cầu chì.

Hình 6.11 minh họa hoạt động lập trình của một PROM



Hình 6.11: PROM sử dụng cầu trì để lập trình

4.1.5. EPROM

PROM chỉ lập trình được một lần vì cầu chì đứt không thể nối lại được từ bên ngoài. Nên khi nạp chương trình sai hay muốn đổi chương trình thì ta phải dùng một PROM mới. Do đó người ta đã chế tạo ra loại EPROM cho phép người sử dụng có thể lập trình và xóa được.

Cách nạp như sau:

- Đặt mức điện áp đặt biệt (từ 25V – 50V tùy loại) vào ngõ vào (+Vpp) và cần một thời gian (50ns cho một vùng nhớ) do đó thời gian nạp một EPROM mất vài phút.

- Ô nhớ trong EPROM là những transistor MOS với cổng logic silic thả nổi. Ở trạng thái bình thường mọi transistor đều tắt và mỗi ô nhớ lưu trữ logic 1. Xung điện áp sẽ đẩy các electron năng lượng cao vào khu vực cổng thả nổi và chúng vẫn còn kẹt trong lúc xung điện đã kết thúc, do không có đường phóng điện. Vì vậy transistor cứ tiếp tục mở ngay khi ngắt điện với thiết bị và ô nhớ lúc này lưu trữ logic 0.

- Khi một ô nhớ của EPROM được lập trình thì có thể xóa nó bằng cách chiếu tia cực tím (UV) qua một của sổ trên vỏ chip. Tia UV tạo một dòng quang điện từ cổng thả nổi trở về chân đế bằng silic, qua đó nó xóa đi các điện tích lưu trữ, tắt transistor và phục hồi ô nhớ về trạng thái logic 1. Quá trình xóa này thường cần từ 15 đến 20 phút.

Nhược điểm của EPROM:

- Phải tháo EPROM ra khỏi mạch mới để xóa rồi mới nạp trình được.

- Khi cần xóa hay thay đổi một từ cũng không thể nạp chồng lên từ đó mà phải xóa hết và nạp lại từ đầu.

4.2. RAM

- Mục tiêu: Nêu được các sơ đồ, cấu trúc của RAM, bảng trạng thái cài đặt các thông số.

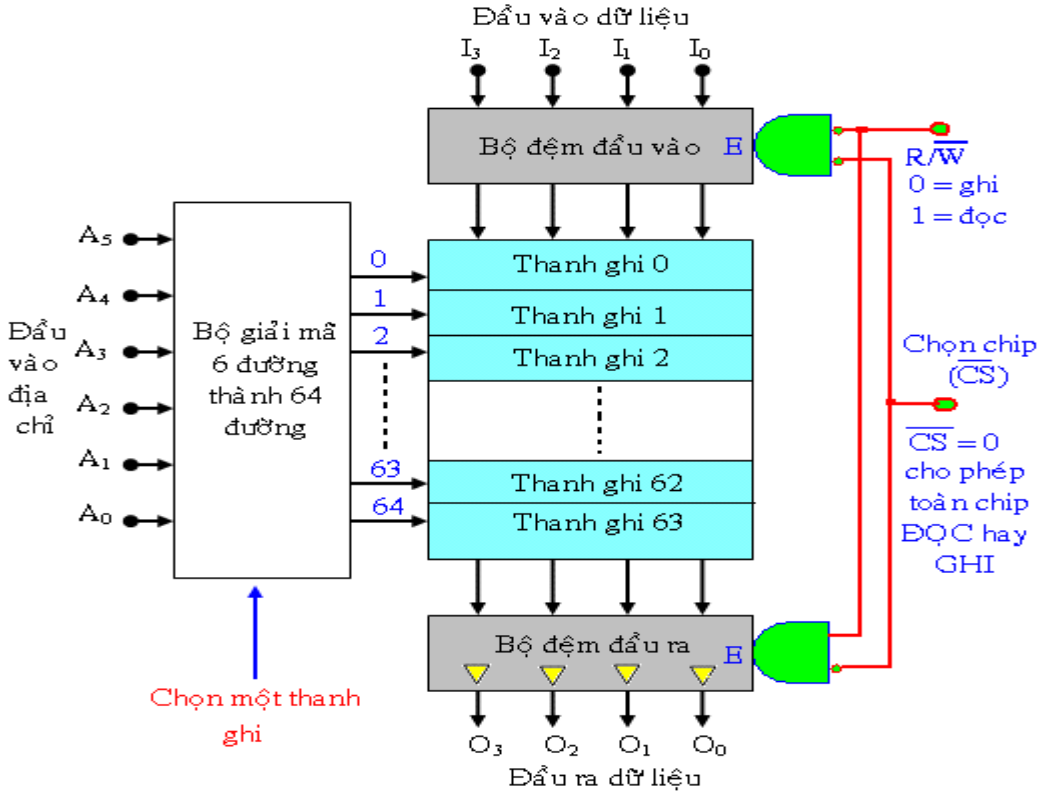
RAM (Random Access Memory) là bộ nhớ truy cập ngẫu nhiên. Khác với truy cập tuần tự. Có thể lấy ví dụ có 100 ô nhớ được đánh địa chỉ từ 1 đến 100. Với cách truy cập tuần tự muốn lấy dữ liệu từ ô nhớ thứ 99, cần phải truy cập tuần tự từ ô nhớ thứ 1,2,3…….cho đến ô nhớ thứ 99. Nhưng với phương thức truy cập ngẫu nhiên, có thể truy cập ngay đến ô nhớ thứ 99 mà không cần phải qua các ô nhớ trước đó.

4.2.1. Cấu trúc RAM

RAM: Random Access Memory – bộ nhớ truy xuất bất kỳ còn gọi là bộ nhớ đọc viết (RWM: read write memory). Nghĩa là mọi địa chỉ nhớ đều cho phép dễ dàng truy cập như nhau. Trong máy tính RAM được dùng như bộ nhớ tạm hay bộ nhớ nháp.

Ưu điểm: chính của RAM đọc hay viết dữ liệu lưu trữ ở RAM bất cứ lúc nào.

Nhược điểm: của RAM: do RAM là một dạng bộ nhớ bốc hơi nên khi mất điện dữ liệu sẽ bị xóa do đó cần nguồn nuôi pin – accu dự phòng (back up batterry). Tương tự như ROM, RAM bao gồm một số thanh ghi, mỗi thanh ghi lưu trữ một từ dữ liệu và có địa chỉ không trùng lập. RAM thường có dung lượng 1K, 4K, 8K, 64K, 128K, 256K và 1024K với kích thước từ 1, 4 hay 8 bit (có thể mở rộng thêm).



Hình 6.12: Cấu trúc bên trong của RAM 64x4

Hình 6.12 minh họa cấu trúc của đơn giản của một RAM lưu trữ 64 từ 4 bit (bộ nhớ 64x4). Số từ này có địa chỉ trong khoảng từ 0 đến 63_{10}. Để chọn 1 trong 64 địa chỉ để đọc hay ghi, một mã địa chỉ nhị phân sẽ được đưa vào mạch giải mã. Vì $64=2^6$ nên bộ giải mã cần mã vào 6 bit.

- Hoạt động đọc (Read Operation)

Mã địa chỉ nhận được từ chọn thanh ghi để đọc hoặc viết. Để đọc thanh ghi được chọn thì đầu vào đọc ghi ($R/\overline{W}$) phải là logic 1. Ngoài ra đầu vào chip select $\overline{CS}$ phải ở mức logic 0. Sự kết hợp giữa $R/\overline{W}$ = 1 và $\overline{CS}$ = 0 sẽ cho phép bộ đệm đầu ra, sao cho nội dung của thanh ghi được chọn xuất hiện ở bốn đầu ra dữ liệu.

$R/\overline{W}$ = 1 cũng cấm bộ đệm đầu vào nên đầu vào dữ liệu không tác động đến bộ nhớ suốt hoạt động đọc.

$R/\overline{W}$ Hoạt động ghi (Write Operation)

Để viết một từ 4 bit mới vào thanh ghi được chọn, khi đó cần phải có $R/\overline{W}$= 0 và $\overline{CS}$ = 0. Tổ hợp này cho phép bộ đệm đầu vào, vì vậy từ 4 bit đã đặt vào dữ liệu sẽ

được nạp vào thanh ghi đã chọn. $R/\overline{W}$ = 0 cũng cấm bộ đệm đầu ra. Bộ đệm đầu ra là bộ đệm 3 trạng thái nên đầu ra dữ liệu sẽ ở trạng thái Hi-Z trong hoạt động ghi. Hoạt động ghi sẽ xóa bỏ từ nào đã được lưu trữ tại địa chỉ đó.

- Chọn chip (Chip Select)

Hầu hết các chip nhớ đều có một hay nhiều đầu vào CS dùng để cho phép toàn chip hoặc cấm nó hoàn toàn. Trong chế độ cấm, tất cả đầu vào và ra dữ liệu đều bị vô hiệu hóa (Hi-Z), chính vì vậy không hoạt động ghi đọc nào có thể xảy ra. Ngoài tên gọi CHỌN CHIP các nhà sản xuất còn gọi là CHIP ENABLE (CE). Khi đầu vào CS hay CE ở trạng thái tích cực thì chip nhớ đã được chọn còn ngược lại thì không được chọn. Tác dụng của chân CS hay CE là dùng để mở rộng bộ nhớ khi kết hợp nhiều chip nhớ với nhau.

- Các chân vào ra chung (Common Input Output)

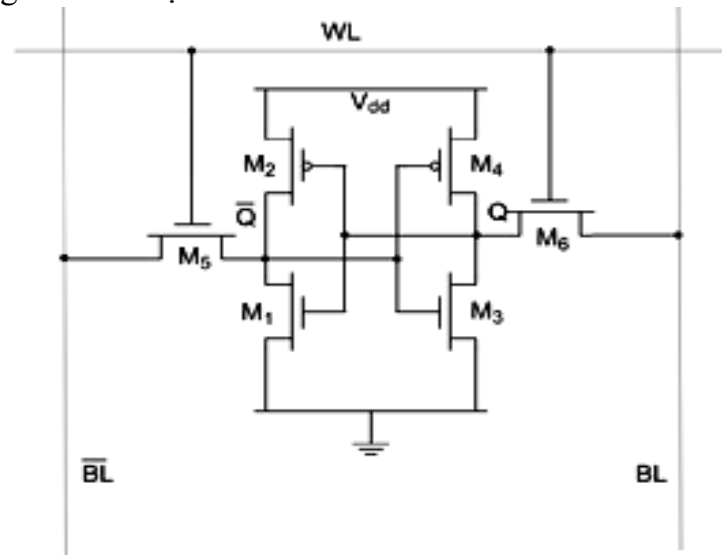
Để hạn chế số chân trong một IC, các nhà sản xuất thường kết hợp các chức năng nhập/xuất dữ liệu, dựa vào chân vào/ra (I/O). Đầu vào $R/\overline{W}$ điều khiển các chân vào/ra này.

Trong hoạt động đọc, chân I/O đóng vai trò như đầu ra dữ liệu, tái tạo nội dung của ô nhớ được chọn. Trong hoạt động ghi, chân I/O là đầu vào dữ liệu, dữ liệu cần ghi được đưa vào đây.

4.2.2. Cấu trúc tế bào RAM

- RAM tĩnh

RAM tĩnh hình 6.13 được chế tạo theo công nghệ ECL (dùng trong CMOS và BiCMOS). Mỗi bit nhớ gồm có các cổng logic với 6 transistor MOS. SRAM là bộ nhớ nhanh, việc đọc không làm hủy nội dung của ô nhớ và thời gian thâm nhập bằng chu kỳ của bộ nhớ.nhưng sram là một nơi lưu

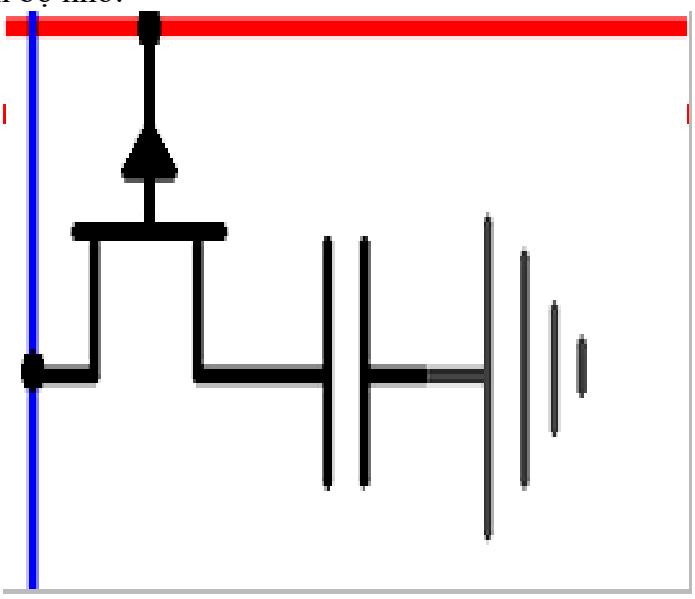


Hình 6.13: 6 transistor trong một ô nhớ của RAM tĩnh

- RAM động

RAM động dùng kỹ thuật MOS. Mỗi bit nhớ gồm một transistor và một tụ điện , hình 6.14. Việc ghi nhớ dữ liệu dựa vào việc duy trì điện tích nạp vào tụ điện và như vậy việc đọc một bit nhớ làm nội dung bit này bị hủy. Do vậy sau mỗi lần đọc một ô nhớ, bộ phận điều khiển bộ nhớ phải viết lại nội dung ô nhớ đó. Chu kỳ bộ nhớ cũng theo đó mà ít nhất là gấp đôi thời gian thâm nhập ô nhớ.

Việc lưu giữ thông tin trong bit nhớ chỉ là tạm thời vì tụ điện sẽ phóng hết điện tích đã nạp và như vậy phải làm tươi bộ nhớ sau khoảng thời gian 2µs. Việc làm tươi được thực hiện với tất cả các ô nhớ trong bộ nhớ. Công việc này được thực hiện tự động bởi một vi mạch bộ nhớ.



Hình 6.14: 1 transistor và 1 tụ điện trong một ô nhớ của RAM động

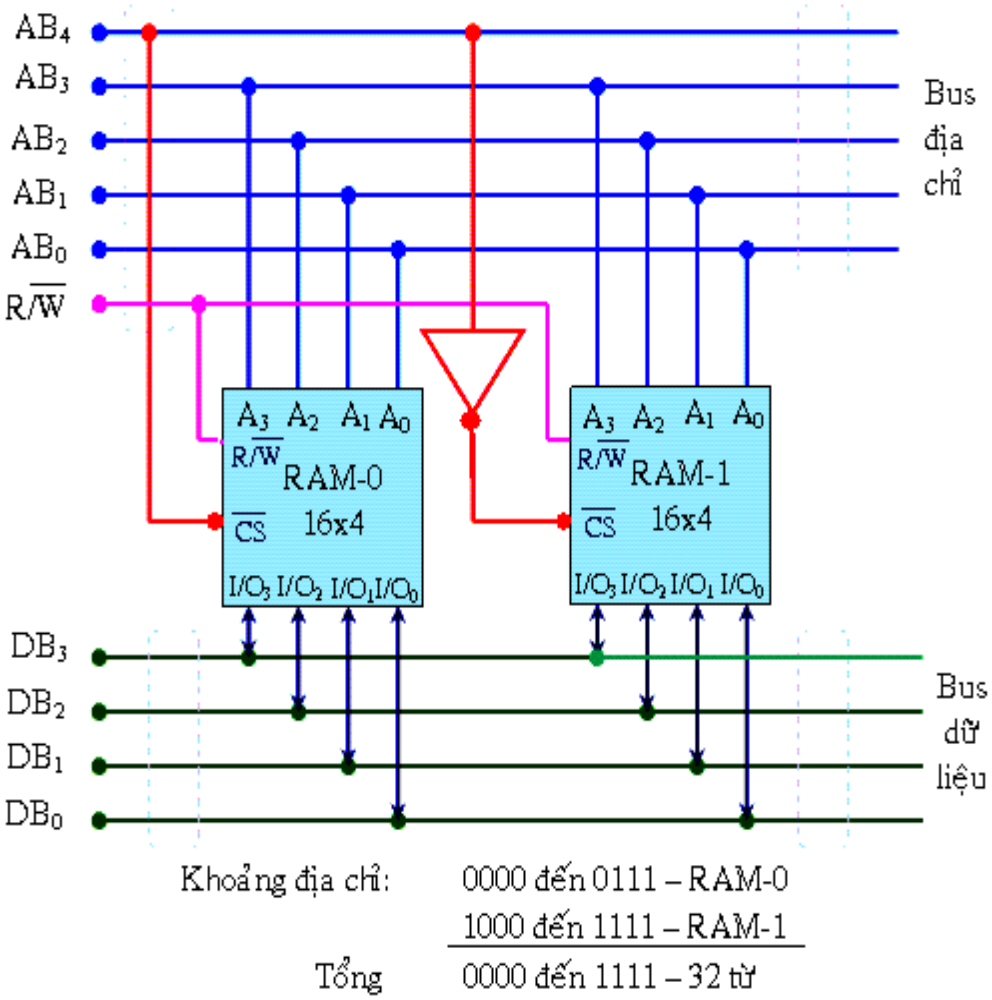
4.3. Mở rộng dung lượng bộ nhớ

- Mục tiêu: Trình bày cách mở rộng dung lượng bộ nhớ bằng cách mở rộng địa chỉ hoặc dữ liệu.

Trong thực tế nhiều ứng dụng một chip nhớ không thể đáp ứng được, do đó việc mở rộng bộ nhớ và tăng kích cở từ là một vấn đề hết sức cần thiết.

4.3.1. Phương pháp mở rộng số đường địa chỉ

Giả sử ta cần mộ bộ nhớ có dung lượng chưa 32 từ 4 bit mà trong tay ta chỉ có các chip 16x4. Để tạo ra bộ nhớ có dung lượng 32x4 ta sẽ kết hợp 2 chip 16x4. Cách kết hợp được minh họa như hình 6.15.



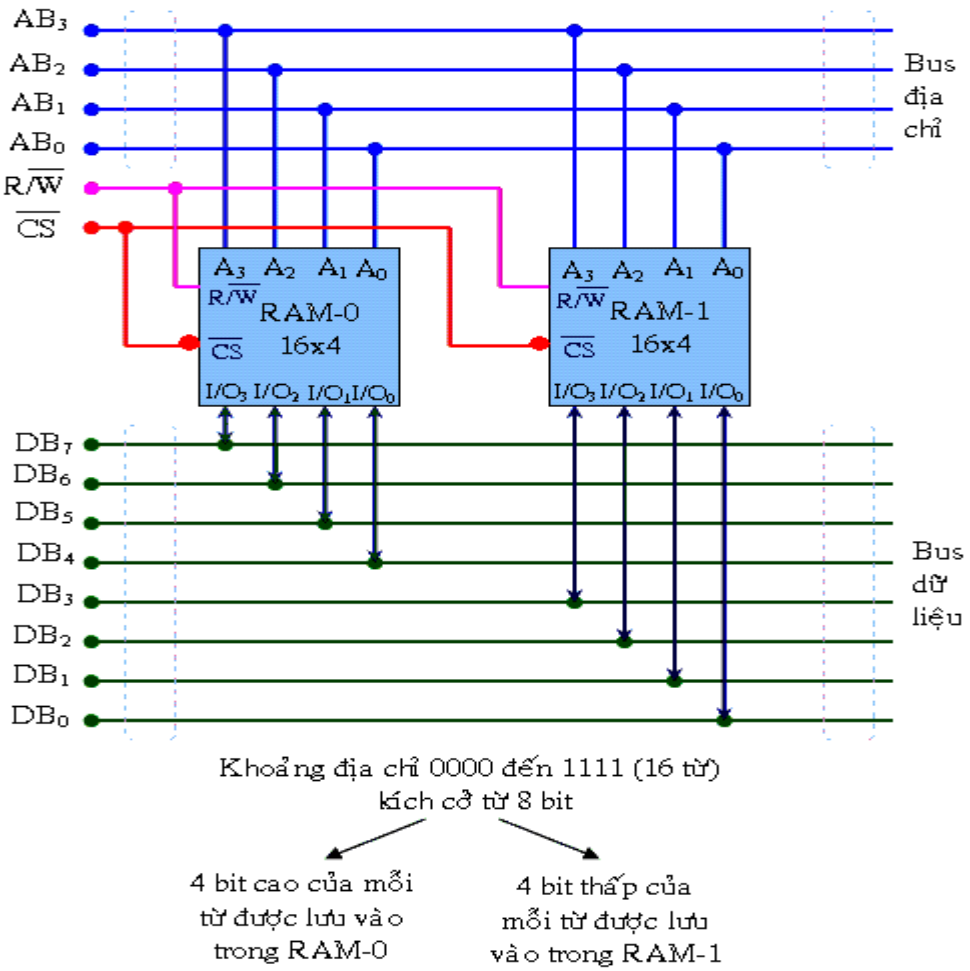
Hình 6.15: Kết hợp hai chip 16x4 thành 32x4

Mỗi RAM được dùng để lưu trữ 16 từ 4 bit. 4 chân vào ra dữ liệu (I/O) của mỗi RAM được nối chung một bus dữ liệu 4 đường. Tại một thời điểm chỉ cho phép chọn một chip RAM để không nảy sinh vấn đề tranh chấp bus.

Vì tổng dung lượng của mô-đun nhớ này là 32x4 nên phải có 32 địa chỉ khác nhau, đòi hỏi đến 5 đường địa chỉ. Đường địa chỉ AB4 cùng để chọn một trong hai RAM (qua đầu vào $\overline{CS}$) được đọc ra hay ghi vào. 4 đường địa chỉ còn lại dùng để xác định một trong 16 vị trí ô nhớ của chip RAM được chọn.

4.3.2. Phương pháp mở rộng số đường dữ liệu

Giả sử chúng ta cần một bộ nhớ có thể lưu trữ được 16 từ 4 bit, nhưng thực tế ta chỉ có các chip RAM 16x4 với các đường vào/ra (I/O) chung. Để giải quyết vấn đề này ta có thể kết hợp hai chip 16x4 lại với nhau để tạo thành một bộ nhớ mong muốn. Hình 6.16 minh họa cách kết hợp này.



Hình 6.16: Kết hợp hai RAM 16x4 thành một mo-đun 16x8

Bởi vì mỗi chip chỉ có thể lưu trữ 16 từ 4 bit nên ta có thể xem như đang sử dụng mỗi chip để lưu trữ phân nữa từ. Có nghĩa là RAM-0 chứa 4 bit cao của từng từ trong số 16 từ, và RAM-1 chứa 4 bit thấp của từng từ trong số 16 từ. Một từ có đủ 8 bit có mặt tại các đầu ra của RAM nối với bus dữ liệu.

Như vậy thì bất cứ từ nào trong số 16 từ cũng được chọn bằng cách đưa mã địa chỉ tương ứng vào 4 đường của bus địa chỉ. Điều này có nghĩa là, một khi được đặt lên bus địa chỉ, mã địa chỉ sẽ được áp vào cả hai chip, sao cho mỗi chip được truy xuất cùng vị trí đồng thời. Khi có địa chỉ được chọn, ta có thể đọc hoặc ghi tại địa chỉ này dưới sự điều khiển của đường $R/\overline{W}$ và đường $\overline{CS}$ chung.

- Để đọc thì $R/\overline{W}$ phải ở mức cao, còn $\overline{CS}$ ở mức thấp. Điều này làm các đường I/O của RAM hoạt động như đầu ra. RAM-0 đặt từ 4 bit được chọn của nó lên 4 đường trên của bus dữ liệu, RAM -1 đặt từ 4 bit được chọn của nó lên 4 đường dưới của bus dữ liệu. Lúc này bus dữ liệu đã chứa từ 8 bit hoàn chỉnh được chọn.

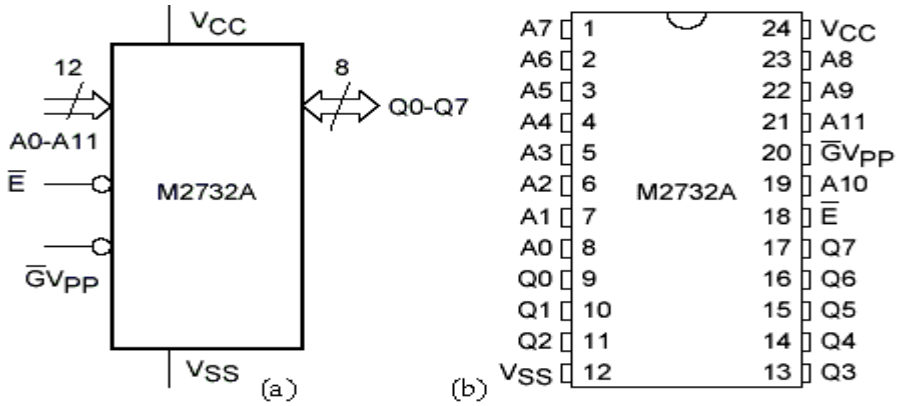
- Để ghi thì $R/\overline{W}$ ở mức thấp và $\overline{CS}$ cũng ở mức thấp, làm cho các đường I/O của RAM hoạt động như đầu vào. Từ 8 bit cần ghi được đặt lên bus dữ liệu, 4 bit cao sẽ được ghi vào vị trí đã chọn của RAM-0 và 4 bit thấp sẽ được ghi vào vị trí đã chọn của RAM-0.

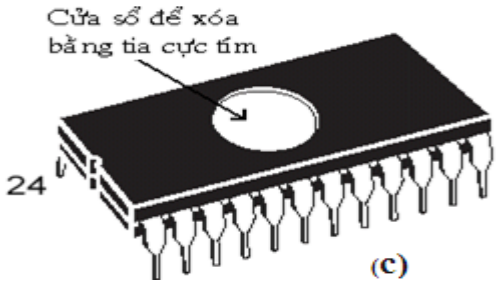
4.4. Giới thiệu IC

- Mục tiêu: Phân biệt các họ IC, ưu nhược điểm và ứng dụng của nó trong mạch .

4.4.1 Chip EPROM M2732A

Hiện nay trên thị trường có nhiều loại EPROM với dung lượng và thời gian truy xuất khác nhau. IC 2732A là loại EPROM NOMS nhỏ có dung lượng 4Kx8 hoạt động với nguồn điện +5V trong suốt tiến trình vận hành bình thường. Hình 6.18 minh họa sơ đồ chân và các chế độ hoạt động của IC này. IC M2732A có 12 đầu vài địa chỉ và 8 đầu ra dữ liệu. Hai đầu vào điều khiển là $\bar{E}$ và $\bar{G}V_{pp}$. $\bar{E}$ là đầu vào cho phép của chip, được sử dụng để đặt thiết bị vào chế độ có đợi khi năng lượng tiêu thụ giảm. Chân $\bar{G}V_{pp}$ là đầu vào hai mục đích, có chức năng phụ thuộc vào chế độ hoạt động của thiết bị. $\bar{G}$ cho phép đầu ra và được sử dụng để kiểm soát vùng đệm đầu ra dữ liệu của thiết bị, sao cho có thể nối thiết bị này với bus dữ liệu của bộ vi xử lý mà không xảy ra chanh chấp bus. Vpp là điện thế lập trình đặt biệt bắt buộc phải có trong suốt giai đoạn lập trình.





Dạng	$\bar{E}$	$\bar{G}V_{PP}$	V_{PP}	$Q_0 – Q_7$
Đọc	V_{IL}	V_{IL}	V_{CC}	Dữ liệu ra
Chương trình	V_{IL} Pulse	V_{PP}	V_{CC}	Dữ liệu vào
Xác định	V_{IL}	V_{IL}	V_{CC}	Dữ liệu ra
Chương trình hãm	V_{IH}	V_{PP}	V_{CC}	Hi-Z
Chuẩn	V_{IH}	X	V_{CC}	Hi-Z

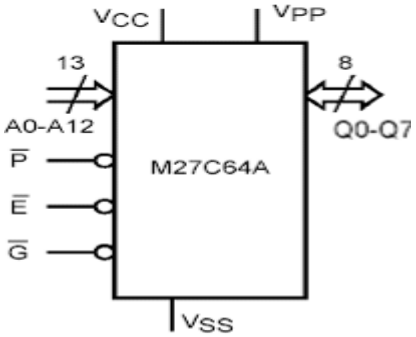
(d)

Chi chú: V_{IL} = TTL LOW; V_{IH} = TTL HIGH; X = Không quan tâm;
V_{PP} = 21V danh định

Hình 6.18: (a) Kí hiệu logic của EPROM M2732A;
(b) Sơ đồ chân;
(c) Vỏ EPROM với cửa sổ tia tử ngoại;
(d) Chế độ hoạt động của EPROM M2732A

4.4.2 Chip EPROM M27C64A

IC EPROM M27C62A là loại EPROM có dung lượng lớn 8Kx8 và thời gian truy xuất là 150ns. Đây là loại EPROM đang phổ biến trên thị trường, có hai dạng vỏ khác nhau để người dùng có thể chọn lựa tuỳ theo nhu cầu. Hình 6.19 minh họa ký hiệu logic và chức năng của các chân EPROM M27C64A.



Hình 6.19

Chức năng của các chân

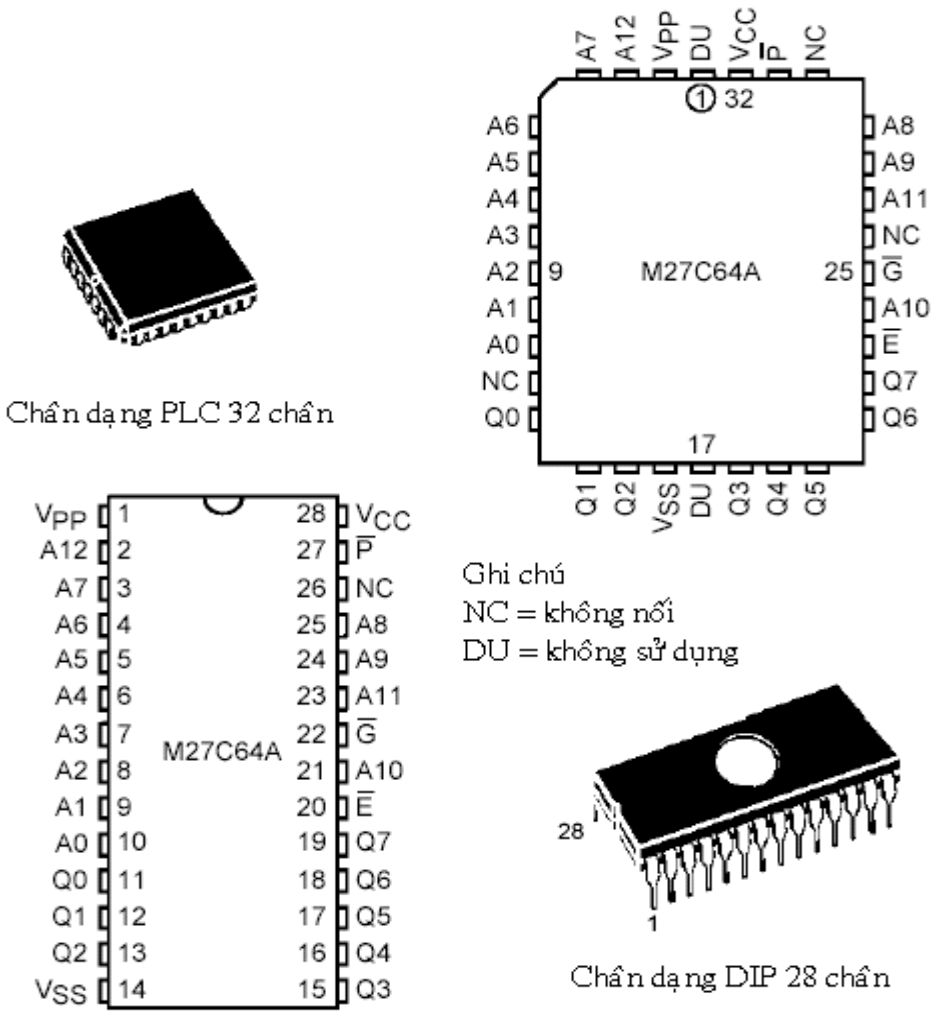
$A_0 – A_{12}$	Địa chỉ ngõ vào
$Q_0 – Q_7$	Dữ liệu ra
$\overline{E}$	Kích hoạt chíp
$\overline{G}$	Kích hoạt ngõ ra
$\overline{P}$	Chương trình
V_{PP}	Cung cấp chương trình
V_{CC}	Điện áp cung cấp
V_{SS}	Nhóm

Hình 6.20: Ký hiệu logic của EPROM và chức năng các chân EPROM M27C64A

Chế độ hoạt động của EPROM M27C64A như bảng hình 6.21

Dạng	$\overline{E}$	$\overline{G}$	$\overline{P}$	A_9	V_{PP}	$Q_0 – Q_7$
Đọc	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	Dữ liệu ra
Khóa ngõ ra	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	Hi-Z
Chương trình	V_{IL}	V_{IH}	V_{IL} Pulse	X	V_{CC}	Dữ liệu vào
Xác định	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	Dữ liệu ra
Chương trình hãm	V_{IH}	X	X	X	V_{PP}	Hi-Z
Chuẩn	V_{IH}	X	X	X	V_{CC}	Hi-Z
Tín hiệu điện	V_{IL}	V_{IL}	V_{IH}	V_{ID}	V_{CC}	Mã

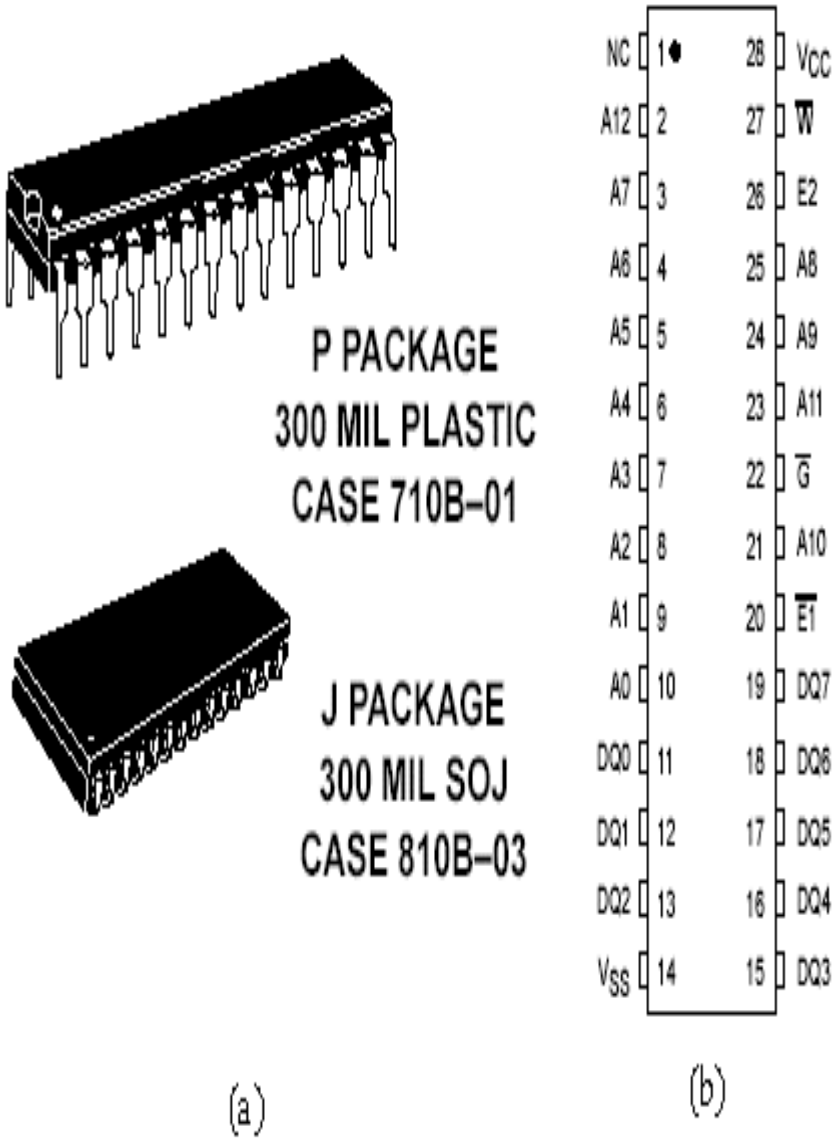
Hình 6.21: Các chế độ hoạt động của EPROM M27C64A



Hình 6.22: Các dạng vỏ và sơ đồ chân tương ứng

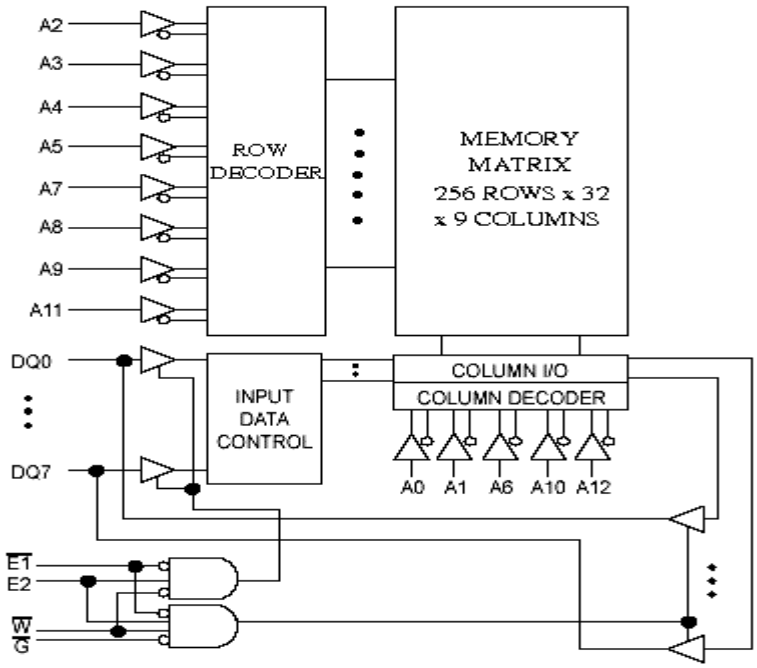
4.4.3. IC SRAM MCM6264C

Một loại IC SRAM thực tế hiện dàn có mặt trên thị trường là MCM6264C CMOS 8Kx8 với chu kỳ đọc và chu kỳ ghi là 12ns, công suất tiêu thụ ở chế độ standby chỉ là 100mW. Sơ đồ chân và hình dạng của IC này được minh họa trong hình 6.23.



Hình 6.23: (a) 2 loại hình dáng MCM6264C
(b) sơ đồ chân của MCM6264C

Cấu trúc bên trong của IC SRAM như hình 6.23. Ở đây có 13 đầu vào địa chỉ và 8 đường vào/ra dữ liệu. 4 đầu vào điều khiển quyết định chế độ vận hành của thiết bị, theo như bảng các chế độ hoạt động hình 6.24.



Hình 6.24: Cấu trúc bên trong của IC SRAM MCM6264C

Bảng chế độ hoạt động							
$\overline{E}$	E_2	$\overline{G}$	$\overline{W}$	Dạng	Dòng điện V_{CC}	Ngõ ra	Chu kỳ
H	X	X	X	Không chọn	I_{SB1}, I_{SB2}	High-Z	-
X	L	X	X	Không chọn	I_{SB1}, I_{SB2}	High-Z	-
L	H	H	H	Khóa ngõ ra	I_{CCA}	High-Z	-
L	H	L	H	Đọc	I_{CCA}	D_{OUT}	Chu kỳ đọc
L	H	X	L	Ghi	I_{CCA}	High-Z	Chu kỳ ghi

(a)

Tên các chân
$A_0 – A_{12}$…….. Địa chỉ ngõ vào
$DQ_0 – DQ_7$ … ….. Dữ liệu ngõ vào/ra
$\overline{W}$…… Kích hoạt viết
$\overline{G}$…….…… Kích hoạt ngõ ra
$\overline{E_1}$, E_2…….…….. Kích hoạt chip
V_{CC} ……..….. Nguồn cấp (+5V)
V_{SS} …….…….. Nguồn 0V

(b)

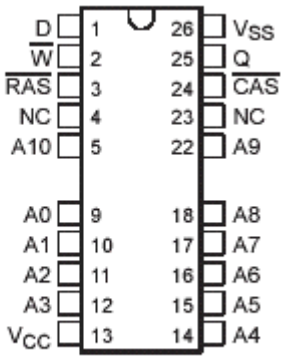
Hình 6.25: (a) Bảng chế độ hoạt động ,(b) Tên các chân

Đầu vào $\overline{W}$ cũng chính là đầu vào $R/\overline{W}$. $\overline{W}$ ở mức thấp cho phép ghi dữ liệu vào RAM, với điều kiện RAM này được chọn cả hai đầu vào E đều tích cực. $\overline{W}$ ở mức cao sẽ cho phép hoạt động đọc, miễn là linh kiện phải được chọn và bộ đệm đầu ra được kích hoạt bằng $\overline{G}$ = LOW. Khi không được chọn linh kiện này sẽ trở vào chế độ năng lượng thấp, và không có đầu vào nào có hiệu lực.

4.4.4. IC DRAM TMS44100

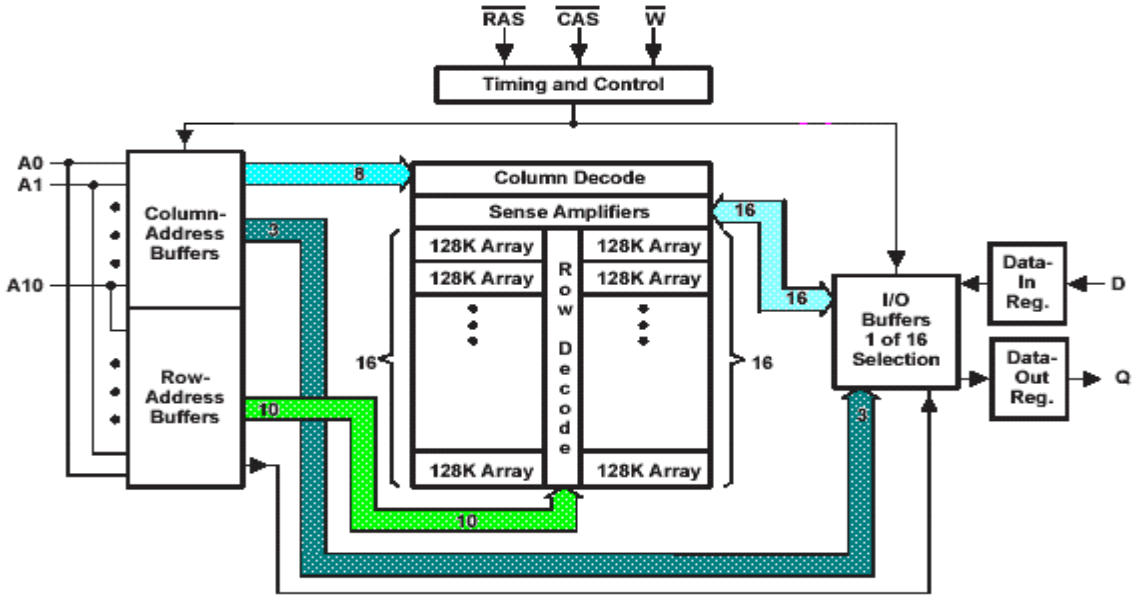
Hiện năng trên thị trường đang có mặt IC DRAM TMS44100 4Mx1 của hãng

Texas Intruments. Sơ đồ chân và chức năng của các chân được minh họa ở hình 6.26.



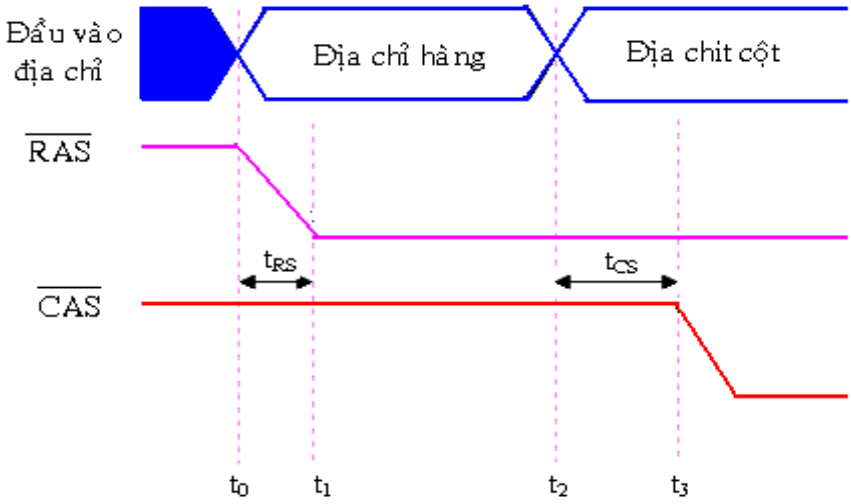
chức năng các chân	
A0–A10	Address Inputs
$\overline{CAS}$	Column-Address Strobe
D	Data In
NC	No Connection
Q	Data Out
$\overline{RAS}$	Row-Address Strobe
$\overline{W}$	Write Enable
V_{CC}	5-V or 3.3-V Supply
V_{SS}	Ground

Hình 6.26a: Sơ đồ chân và chức năng các chân DRAM MTS44100



Hình 6.26b: Là sơ đồ cấu trúc bên trong của IC DRAM TMS44100.

Một mảng ô nhớ sắp xếp thành 2048 hàng x 2048 cột. Bộ giải mã địa chỉ, do mỗi lần chỉ chọn một hàng nên có thể xem đây như là bộ giải mã 1 trong 2048. Do các đường địa chỉ được dồn kênh nên toàn bộ 22 bit địa chỉ không thể xuất hiện cùng một lúc. Một điều lưu ý là, ở đây chỉ có 11 đường địa chỉ và chúng phải đi đến cả thanh ghi địa chỉ hàng lẫn thanh ghi địa chỉ cột. Mỗi thanh ghi địa chỉ chứa một nửa địa chỉ 22 bit. Thanh ghi hàng lưu trữ nửa trên, thanh ghi cột lưu trữ nửa dưới. Hai đầu vào xung chọn (strobe) rất quan trọng chi phối thời điểm thông tin địa chỉ được chốt lại. Đầu vào chọn địa chỉ hàng $\overline{RAS}$ đếm nhịp thanh ghi địa chỉ hàng 11 bit. Đầu vào chọn địa chỉ cột $\overline{CAS}$ đếm nhịp thanh ghi địa chỉ cột 11 bit.



Hình 6.27: Biểu đồ thời gian của $\overline{RAS}$ và $\overline{CAS}$

Một địa chỉ 22 bit được áp vào DRAM này qua 2 bước, sử dụng $\overline{RAS}$ và $\overline{CAS}$. Ban đầu cả $\overline{RAS}$ lẫn $\overline{CAS}$ đều ở mức cao (hình 6.27).

Tại thời điểm t_0, địa chỉ hàng 11 bit (A_{11} đến A_{22}) được áp vào đầu vào địa chỉ. Sau thời gian cho phép tRS cần thiết để đặt thanh ghi địa chỉ hàng, đầu vào $\overline{RAS}$ bị đẩy xuống thấp tại thời điểm t_1. NGT (chuyển trạng thái trên sườn xuống của tín hiệu) nạp địa chỉ hàng vào thanh ghi địa chỉ hàng sao cho từ A_{11} đến A_{21} lúc này xuất hiện tại đầu vào bộ giải mã hàng. $\overline{RAS}$ ở mức thấp còn cho phép bộ giải mã hàng, hầu có thể giải mã địa chỉ hàng và chọn được 1 hàng trong mảng.

Tại tời điểm t_2, địa chỉ cột 11 bit (từ A_0 đến A_{10}) được áp vào đầu vào địa chỉ. Tại thời điểm t_3 đầu vào $\overline{CAS}$ xuống thấp để nạp địa chỉ cột vào thanh ghi địa chỉ cột, vậy là có thể tiến hành hoạt động đọc hay ghi trên ô nhớ đó như trong RAM tĩnh.

TÀI LIỆU THAM KHẢO

[1] Sổ tay linh kiện điện tử cho người thiết kế mạch *(R. H.WARRING - người dịch KS. Đoàn Thanh Huệ - nhà xuất bản Thống kê*)

[2] Giáo trình linh kiện điện tử và ứng dụng *(TS Nguyễn Viết Nguyên - Nhà xuất bản Giáo dục)*

[3] Kỹ thuật mạch điện tử *(Phạm Xuân Khánh, Bồ Quốc Bảo, Nguyễn Viết Tuyến, Nguyễn Thị Phước Vân - Nhà xuất bản Giáo dục)*

[4] Kĩ thuật điện tử - Đỗ xuân Thụ NXB Giáo dục, Hà Nội, 2005 *(Đỗ xuân Thụ - NXB Giáo dục)*

[5] Sổ tay tra cứu các tranzito Nhật Bản *(Nguyễn Kim Giao, Lê Xuân Thế)*

[6] Kỹ thuật số, *Nguyễn Thuý Vân*, NXB KHKT, 2004

[7] Kỹ thuật điện tử số, *Đặng Văn Chuyết*, NXB Giáo dục.