

**BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH**



CÔNG TRÌNH NGHIÊN CỨU KHOA HỌC CẤP TRƯỜNG

**XÂY DỰNG KIẾN TRÚC MẢNG MEMRISTOR
ỨNG DỤNG TRONG XỬ LÝ ẢNH**

MÃ SỐ:T2019-61TĐ



Tp. Hồ Chí Minh, tháng 04/2020

**BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH**

BÁO CÁO TỔNG KẾT

ĐỀ TÀI KH&CN CẤP TRƯỜNG TRỌNG ĐIỂM

**XÂY DỰNG KIẾN TRÚC MẢNG MEMRISTOR
ỨNG DỤNG TRONG XỬ LÝ ẢNH**

Mã số: T2019-61TĐ

Chủ nhiệm đề tài: PGS.TS. Võ Minh Huân

TP. HCM, 4/2020

**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH
KHOA ĐIỆN – ĐIỆN TỬ**

**BÁO CÁO TỔNG KẾT
ĐỀ TÀI KH&CN CẤP TRƯỜNG TRỌNG ĐIỂM**

**XÂY DỰNG KIẾN TRÚC MẢNG MEMRISTOR
ỨNG DỤNG TRONG XỬ LÝ ẢNH
Mã số: T2019-61TD**

Chủ nhiệm đề tài: PGS.TS. Võ Minh Huân

TP. HCM, 4/2018

DANH SÁCH THÀNH VIÊN THAM GIA ĐỀ TÀI

1. VÕ MINH HUÂN, CHỦ NHIỆM ĐỀ TÀI
2. LÊ MINH THÀNH, THÀNH VIÊN ĐỀ TÀI

MỤC LỤC

□ THÔNG TIN KẾT QUẢ NGHIÊN CỨU	ix
□ INFORMATION ON RESEARCH RESULTS.....	x
CHƯƠNG 1 TỔNG QUAN.....	1
1.1 Tổng quan chung.....	1
1.2 Kết quả nghiên cứu liên quan.....	2
1.3 Mục đích đề tài.....	3
1.4 Nhiệm vụ và giới hạn đề tài	3
1.4.1 Nhiệm vụ của đề tài.....	3
1.4.2 Giới hạn đề tài	4
1.5 Phương pháp nghiên cứu.....	4
1.6 Tóm tắt đề tài	4
CHƯƠNG 2 CƠ SỞ LÝ THUYẾT	5
2.1 Tổng quan về Memristor	5
2.2 Tính chất của memristor	5
2.3 Trở kháng memristor.....	7
2.4 Nguyên lý hoạt động của memristor	8
2.4.1 Cấu tạo memristor crossbar.....	8
2.4.2 Nguyên lý hoạt động	9
2.4.3 Mô hình toán học	10
2.4.4 Mô hình dịch tuyến tính	11
2.5 Kết luận chương 2	12
CHƯƠNG 3 : XÂY DỰNG HỆ THỐNG NEUROMORPHIC DÙNG MEMRISTOR TRONG NHẬN DẠNG ẢNH.....	13
3.1 Trình bày ý tưởng.....	13
3.1.1 Mô tả hệ thống	13
3.1.2 Mạng nơron nhân tạo (ANN)	13
3.2 Đề xuất hệ thống	14
3.2.1 Sơ đồ khối hệ thống	14
3.2.2 Phân tích hệ thống.....	14

3.3 Kiến trúc mạch memristor đề xuất	17
3.3.1 Khối điều khiển chuyển mạch.....	19
3.3.2 Khối mạch tích hợp	22
CHƯƠNG 4 : KẾT QUẢ MÔ PHỎNG.....	26
4.1 Phân tích hệ thống.....	26
4.2.1 Trường hợp nhiễu cộng.....	29
4.2.2 Trường hợp nhiễu trừ	32
4.3 Kết quả mô phỏng	36
4.3.1 Trường hợp không nhiễu.....	36
4.3.2 Trường hợp có nhiễu cộng	38
CHƯƠNG 5 KẾT LUẬN.....	40
TÀI LIỆU THAM KHẢO.....	41

DANH MỤC CÁC TỪ VIẾT TẮT

KÝ HIỆU	VIẾT TẮT
CMOS	Complementary Metal-Oxide-Semiconductor
HP	Hewlett-Packard
V	Voltage
A	Amplitude
R	Resistor
ANN	Artificial Neural Network
CIS	CMOS Image Sensor
ADC	Analog to Digital Converter
SPU	Signal Processing Unit
SW	Switch
Vmem	Voltage memristor
HRS	High Resistance state
LRS	Low Resistance state
N/A	Not available

DANH MỤC CÁC HÌNH

HÌNH	TRANG
Hình 2.1: 4 nhân tố mạch cơ bản [8]	6
Hình 2.2: Dòng qua memristor và kích thước ống [8].	7
Hình 2.3: Đặc tuyến dòng áp điện trở và memristor [8]	7
Hình 2.4: Đặc tuyến I-V và tần số nguồn [8].	8
Hình 2.5: : Ký hiệu Memristor	8
Hình 2.6: Cấu trúc Crossbar của memristor [8].	10
Hình 2.7: Sự khuếch tán các phân tử oxy	10
Hình 2.8: Cấu trúc một memristor HP.	11
Hình 3.1: Ý tưởng hệ thống nhận dạng ảnh.	14
Hình 3.2 Sơ đồ khối hệ thống.....	15
Hình 3.3: Sơ đồ khối của hệ thống neuromorphic.	15
Hình 3.4: Sơ đồ khối của cảm biến ảnh CMOS và xử lý lại ảnh.	16
Hình 3.5: Kết nối mảng Memristor	17
Hình 3.6: Kiến trúc memristor cải tiến triệt nhiễu.	17
Hình 3.7: Tập ảnh huấn luyện	19
Hình 3.8: Tập ảnh sau khi đảo mức logic.	20
Hình 3.9: Khối thứ nhất mảng memristor huấn luyện	20
Hình 3.10: Khối thứ hai mảng memristor huấn luyện	21
Hình 3.11: Tổng thể khối điều khiển chuyển mạch	22
Hình 3.12: Khối tích hợp triệt nhiễu cộng	23

Hình 3.13: Khối tích hợp triệt nhiễu trừ	24
Hình 4.1: Ảnh trở kháng memristor khối thứ nhất.....	26
Hình 4.2 Ảnh trở kháng memristor khối thứ hai	27
Hình 4.3: Đưa ảnh số 7 vào khối thứ nhất của hệ thống để kiểm tra.....	27
Hình 4.4: Đưa ảnh số 7 vào khối thứ hai của hệ thống để kiểm tra.....	28
Hình 4.5: Đưa ảnh số 8 vào khối thứ nhất của hệ thống để kiểm tra.....	28
Hình 4.6: Đưa ảnh số 8 vào khối thứ hai của hệ thống để kiểm tra.....	29
Hình 4.7: Cộng thêm 1 pixel nhiễu vào ảnh số 1	30
Hình 4.8: Đưa ảnh số 1 có 1 pixel nhiễu cộng vào khối thứ nhất.....	30
Hình 4.9: Đưa ảnh số 1 có 1 pixel nhiễu cộng vào khối thứ hai	31
Hình 4.10: Đưa ảnh số 7 có 1 pixel nhiễu cộng vào khối thứ nhất.....	32
Hình 4.11: Đưa ảnh số 7 có 1 pixel nhiễu cộng vào khối thứ hai.....	32
Hình 4.12: Thêm nhiễu trừ 1 pixel vào mô hình ảnh số 1.	32
Hình 4.13: Đưa ảnh số 1 có 1 pixel nhiễu trừ vào khối triệt nhiễu cộng.....	33
Hình 4.14: Đưa ảnh số 1 có 1 pixel nhiễu trừ vào khối triệt nhiễu trừ.....	33
Hình 4.15: Mất 3 pixel với ảnh số 1.....	34
Hình 4.16: Đưa ảnh số 1 có 3 pixel nhiễu trừ vào khối triệt nhiễu cộng.....	34
Hình 4.17: Đưa ảnh số 1 có 3 pixel nhiễu trừ vào khối triệt nhiễu trừ	35
Hình 4.18: Mất 3 pixel với ảnh số 7.....	35
Hình 4.19: Đưa ảnh số 7 có 3 pixel nhiễu trừ vào khối triệt nhiễu cộng.....	35
Hình 4.20 Đưa ảnh số 7 có 3 pixel nhiễu trừ vào khối triệt nhiễu.....	36
Hình 4.21: 10 tín hiệu Vmem đi vào khối tích hợp triệt nhiễu cộng	37
Hình 4.22: 10 tín hiệu sig_com.....	37
Hình 4.23: 10 tín hiệu Vmem vào khối tích hợp triệt nhiễu cộng.....	38

DANH MỤC CÁC BẢNG

BẢNG	TRANG
Bảng 3.1: Cách tính điện áp ra trên mỗi memristor	18
Bảng 4.1: Mức độ nhận dạng khi có hai bit nhiễu	39

Tp. HCM, Ngày 10 tháng 4 năm 2019

• **THÔNG TIN KẾT QUẢ NGHIÊN CỨU**

1. Thông tin chung:

- Tên đề tài: Xây dựng kiến trúc mảng memristor ứng dụng trong xử lý ảnh
- Mã số: T2019-61TD
- Chủ nhiệm: Võ Minh Huân
- Cơ quan chủ trì: Đại Học Sư Phạm Kỹ Thuật TP. HCM
- Thời gian thực hiện: **1/2018 đến 12/2019**

2. Mục tiêu:

- Thiết kế kiến trúc memristor lai với CMOS tối ưu thực hiện ứng dụng xử lý ảnh với ký tự số

3. Tính mới và sáng tạo:

- Đưa ra kiến trúc mảng memristor ứng dụng trong xử lý ảnh và triệt tiêu ảnh hưởng nhiễu.

4. Kết quả nghiên cứu:

- Mảng memristor đề xuất có khả năng triệt ảnh hưởng của nhiễu cộng và nhiễu trừ vào ảnh ký tự số.

5. Sản phẩm:

- Tài liệu cơ bản về memristor
- Bài báo đăng trên tạp chí quốc tế.

6. Hiệu quả, phương thức chuyển giao kết quả nghiên cứu và khả năng áp dụng:

Tài liệu dùng trong giảng dạy trong Thiết kế mạch tích hợp

Trưởng Đơn vị
(ký, họ và tên)

Chủ nhiệm đề tài
(ký, họ và tên)

- **INFORMATION ON RESEARCH RESULTS**

1. General information:

Project title: Image identification using new Memristor architecture.

Code number: T2019-61TĐ

Coordinator: Minh-Huan Vo

Implementing institution: HCMC Univerisy of Technology and Education

Duration: from Jan/2018 to Dec/2019

2. Objective(s):

- Applying hybrid memristor-CMOS architecture to identify the digit images

3. Creativeness and innovativeness:

- A new hybrid CMOS-memristor is proposed to identify the digit images and mitigate the noise effects.

4. Research results:

- The proposed architecture can mitigate the noise including the minus noise and plus noise.

5. Products:

- Basic material of VLSI design course
- Paper proposed on international journal

6. Effects, transfer alternatives of research results and applicability:

- Reference material for VLSI design.

CHƯƠNG 1

TỔNG QUAN

1.1 Tổng quan chung

Theo định luật Moore thì số lượng transistor sẽ tăng lên gấp đôi sau hai năm, Tuy nhiên, trong thời gian gần đây định luật Moore đã có nhiều biểu hiện bị thay đổi và kéo dài dần thời gian nhân đôi số transistor trên một đơn vị diện tích. Tại thời điểm năm 2007, khoảng thời gian để tăng đôi số transistor là xấp xỉ 60 tháng. Nhiều nhà phân tích cho rằng trong tương lai không xa khi mà các áp dụng kỹ thuật đã không thể rút nhỏ kích cỡ của một transistor xuống hơn được (cụ thể là khi kiến trúc của transistor đã được rút xuống đến mức độ phân tử) thì định luật Moore sẽ không còn đúng nữa, chính vì điều này mà nhiều nhà nghiên cứu đi tìm hướng phát triển mới cho tương lai, một loại linh kiện hoàn toàn mới với kích thước nano.

Gần đây một mô hình linh kiện mới được tạo ra, ngay lập tức gây được chú ý và thu hút sự quan tâm của nhiều nhà nghiên cứu trên thế giới trong lĩnh vực vi mạch điện tử, đó là mô hình điện trở nhớ (Memristor), nó là sự kết hợp của “Memory” tức là khả năng nhớ và “Resistor” là điện trở, ưu điểm là không mất dữ liệu khi mất điện, cấu hình lại, khả năng xử lý tín hiệu tương tự, kích thước nhỏ ở mức nano, “mật độ tích hợp lên đến 100 Gb/cm²” [1], linh kiện thụ động, công suất tiêu hao thấp, xử lý song song, khi không có nguồn thì công suất tổn hao bằng không, về mặt lý thuyết Memristor có tốc độ cao hơn và giá thành rẻ hơn so với bộ nhớ flash, với những ưu điểm này làm cho nhiều nhà nghiên cứu tin rằng trong tương lai không xa “Memristor” sẽ thay thế công nghệ CMOS.

Memristor mở ra một kỷ nguyên mới về công nghệ vi mạch mà không thể thực hiện được ý tưởng này chỉ với những linh kiện điện tử thông thường như tái cấu trúc bộ não con người, xây dựng hệ thống phân cứng neuromorphic,...

Vì tất cả những lý do trên, tôi quyết định chọn đề tài “xây dựng kiến trúc memristor ứng dụng trong xử lý ảnh”

1.2 Kết quả nghiên cứu liên quan

Bài báo [2] đã trình bày về cách kết nối bên trong cho các mạch logic dùng memristor sử dụng cấu trúc “Crossbar”. Kết quả được mô phỏng qua phần mềm Spice.

Bài báo [3] xây dựng một mô hình hệ thống neuromorphic cho nhận dạng mười ảnh trắng đen từ số 0 đến số 9, hệ thống gồm 3 phần, phần 1 là chuyển tín hiệu dạng hình ảnh thành tín hiệu điện, phần 2 xử lý mạng nơron dùng 300 memristor, phần 3 là ngõ ra tín hiệu. Ưu điểm của bài báo là xây dựng mô hình thực tế, nhược điểm thứ nhất là hệ thống nhận dạng với những ảnh gần giống nhau thì dễ gây ra nhầm lẫn ví dụ ảnh chứa nội dung số 3 và ảnh chứa nội dung số 5, chỉ có một pixel khác nhau trên mô hình dễ dẫn đến quyết định sai ở ngõ ra, nhược điểm thứ hai là memristor có khả năng thay đổi điện trở theo hướng tăng giá trị điện trở và đồng thời cũng có khả năng giảm giá trị điện trở nhưng trong bài viết chỉ sử dụng một hướng giảm giá trị điện trở của memristor.

Cùng quan điểm về nghiên cứu dùng memristor trong mô hình neuromorphic thì bài viết [4] đã tóm lại những nghiên cứu quan trọng đạt được trong sự phát triển của memristor thành ngang dựa trên mô hình neuromorphic được thiết kế từ việc phối hợp các mô hình, mạch điện và cấu trúc. Ưu điểm của bài viết là cho người đọc một cái nhìn tổng quan về memristor sử dụng mô hình neuromorphic, từ cấu tạo, nguyên lý hoạt động cho đến đặc điểm thiết kế một mô hình neuromorphic.

Đánh giá về nhiều chuyển mạch trong memristor khi sử dụng mô hình neuromorphic thành ngang được nhắc đến trong bài [5]. Bài viết tìm hiểu làm thế nào để nhiều được thêm vào chuyển mạch memristor trong quá trình mô phỏng spice, ta biết rằng tại một thời điểm xung điện áp cung cấp lên memristor thì dẫn đến một sự thay đổi về điện trở, trong mô hình ta có thể điều khiển số lượng nhiều chuyển mạch, số lượng nhiều chuyển mạch sẽ ảnh hưởng đến quá trình học, nhược điểm trong bài là chỉ đề cập đến thuật toán perceptron một lớp, hướng cải tiến có thể mở rộng với mô hình memristor áp dụng cho những thuật toán mạng nơron đa lớp.

Tiềm năng của memristor mảng thanh ngang được đề cập qua bài [6]. Các tiềm lực như tự động liên kết bộ nhớ và áp dụng nó trong các mạng nơron, đặc biệt là khả năng nhớ lại các chức năng huấn luyện của một quá trình nhận dạng ký tự dựa trên mô hình BSB (Brain State – in – a – Box). Độ bền vững của mạch BSB, được phân tích đánh giá dựa trên sự mở rộng phân tích, xem xét những lỗi sai ở đầu vào, quá trình thay đổi và dao động điện. Kết quả cho thấy mạch huấn luyện được đề xuất có thể làm giảm và loại bỏ các vấn đề về nhiễu, nhược điểm là chưa xử lý tốt với nhiễu ngẫu nhiên.

Giải quyết vấn đề tối ưu hóa nhiệt phát sinh trong quá trình hoạt động dùng memristor được đề cập trong bài [7], ưu điểm của thuật toán là giảm công suất tổn hao khi sử dụng memristor đến 31% so với sử dụng mạch thông thường, tuy nhiên nó cũng có nhược điểm là bit đầu của lưu lượng mạng làm cho kết quả của “cluster” bị thay đổi từ trạng thái ổn định sang trạng thái kích thích dự đoán làm tăng bước lặp và thời gian kéo dài thêm 5%.

1.3 Mục đích đề tài

Sự phát triển của điện trở nhớ làm nền tảng cho nhiều ứng dụng mới cho công nghệ vi mạch, nhiều tiềm năng trong tương lai, đặc biệt là kích thước nhỏ, khả năng lưu trữ, xử lý nhanh, giá thành rẻ làm tôi nghĩ đến những mô hình não bộ, xử lý mạng nơron, xử lý công suất thấp, những ứng dụng nhiệt độ khắc nghiệt, vì sự đặc biệt của điện trở nhớ tôi quyết định làm đề tài “xây dựng kiến trúc mảng memristor nhận dạng ảnh” và mục đích của đề tài là nghiên cứu cấu trúc, đặc điểm, nguyên lý của điện trở nhớ, sự kết hợp giữa điện trở nhớ và CMOS để tạo nên hệ thống neuromorphic trong nhận dạng ảnh.

1.4 Nhiệm vụ và giới hạn đề tài

1.4.1 Nhiệm vụ của đề tài

- Phân tích cấu trúc và nguyên lý hoạt động của điện trở nhớ (Memristor).
- Mô tả mô hình điện trở nhớ HP.
- Tìm hiểu về hệ thống neuromorphic dùng memristor.

- Xây dựng mô hình neuromorphic dùng memristor để nhận dạng ảnh.
- Sử dụng phần mềm Cadence để xây dựng hệ thống neuromorphic.

1.4.2 Giới hạn đề tài

- Đề tài chỉ thiết kế và mô phỏng hệ thống trên Cadence.
- Chỉ xử lý ảnh trắng đen.
- Không làm mô hình thực tế.

1.5 Phương pháp nghiên cứu

- Phân tích cấu trúc Memristor, so sánh công nghệ.
- Mô tả hệ thống, thống kê số liệu mô phỏng.
- Lập luận vấn đề kết hợp quy nạp, diễn dịch, tổng hợp.
- Đề xuất mô hình, triển khai thiết kế.

1.6 Tóm tắt đề tài

Đề tài gồm 5 chương và nội dung như sau

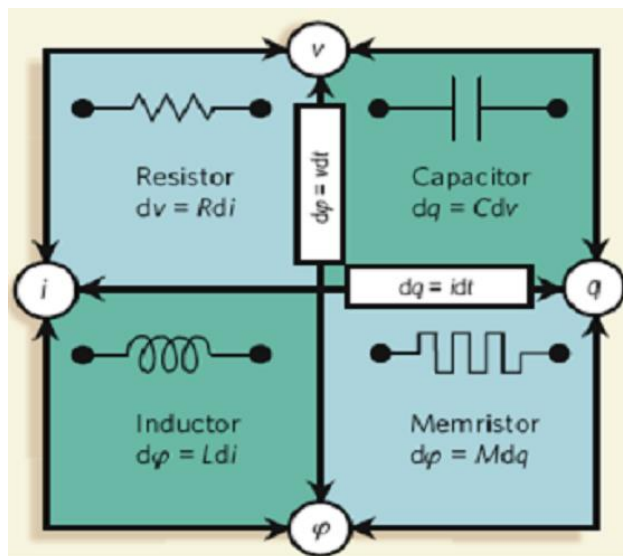
- Chương 1: Tổng quan đề tài nghiên cứu, trình bày mục tiêu, giới hạn và những nghiên cứu có liên quan.
- Chương 2: Phân tích cấu trúc, nguyên lý hoạt động của linh kiện điện tử Memristor, và những ứng dụng trong công nghệ vi mạch.
- Chương 3: Phân tích một hệ thống neuromorphic dùng Memristor.
- Chương 4: Kết quả mô phỏng.
- Chương 5: Kết luận.

CHƯƠNG 2

CƠ SỞ LÝ THUYẾT

2.1 Tổng quan về Memristor

Ta biết theo như định luật Faraday, điện áp được định nghĩa như là vi phân của từ thông, điện trở được định nghĩa bởi mối quan hệ của dòng điện và điện áp, tụ điện hiểu là mối quan hệ giữa điện tích và điện áp, và cuộn dây là mối quan hệ giữa từ thông và dòng điện, nhà nghiên cứu Leon Chua đã đề xuất một nhân tố mạch thứ 4, thể hiện mối liên hệ giữa từ thông và điện tích, nhằm hoàn thành sơ đồ đối xứng giữa các biến số mạch như hình sau:

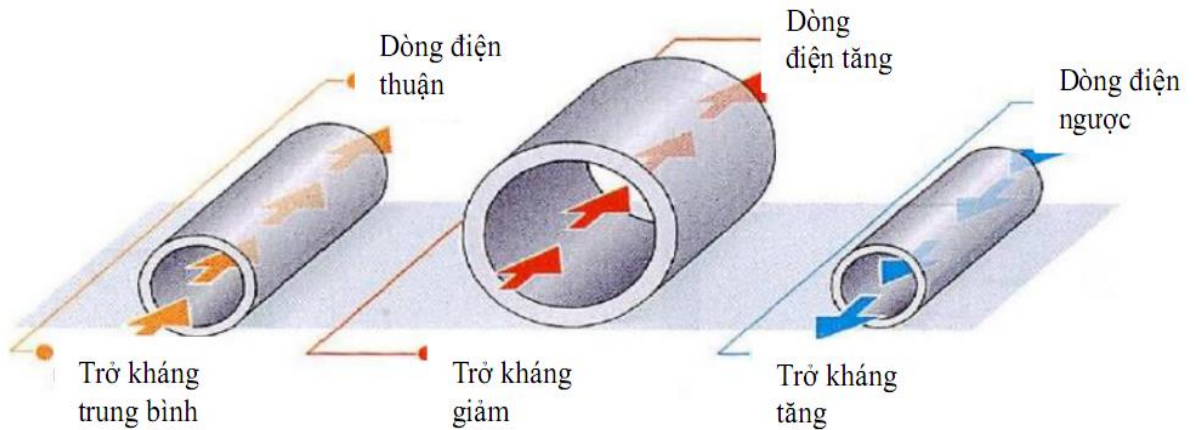


Hình 2.1: 4 nhân tố mạch cơ bản [8]

2.2 Tính chất của memristor

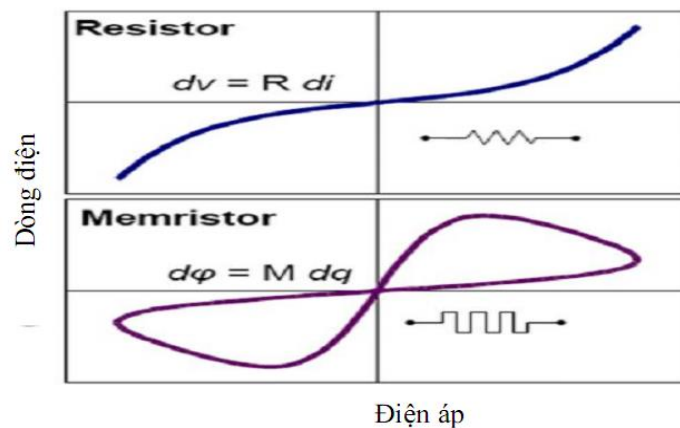
Memristor là một linh kiện bán dẫn có hai cực mà trở kháng của nó phụ thuộc vào độ lớn, cực tính, và thời gian điện áp đặc lên nó, khi điện áp không cấp thì memristor sẽ lưu trạng thái cuối cùng cho đến khi ta cấp nguồn trở lại, bất chấp thời gian sau đó là bao lâu. Để dễ hình dung ta giả sử memristor như một ống dẫn nước, trong đó khả năng cản trở dòng điện tích là đường kính ống dẫn nước và dòng nước

như là dòng điện tích, như vậy khi ống càng nhỏ thì trở kháng càng lớn, nếu như dòng nước chảy theo hướng thuận thì kích thước ống sẽ tăng lên để dòng nước chảy qua dễ dàng và ngược lại nếu dòng nước chảy theo hướng ngược lại thì kích thước ống sẽ giảm đi, khi không cung cấp nước thì kích thước ống sẽ không đổi và nhớ ở trạng thái cuối cùng cho đến khi cung cấp nước lại.



Hình 2.2: Dòng qua memristor và kích thước ống [8]

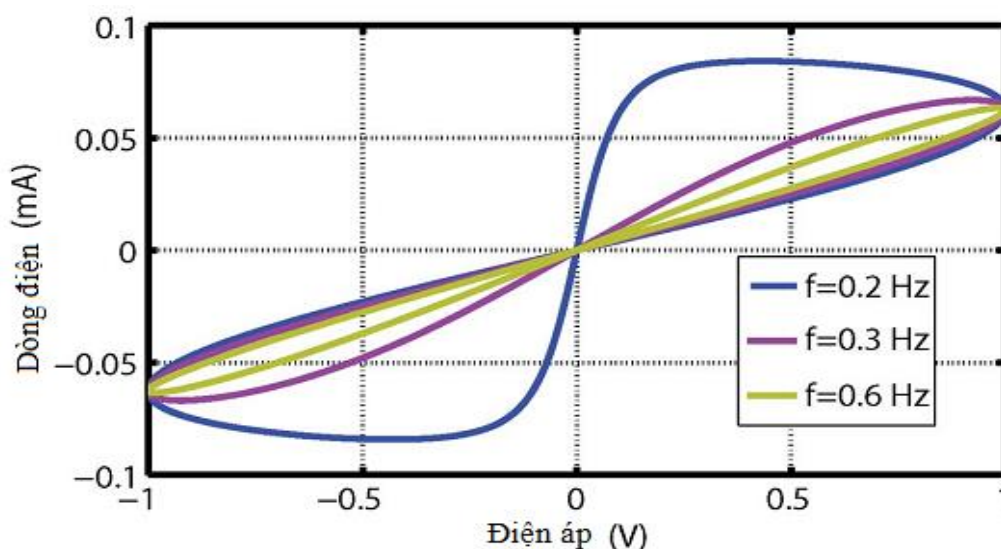
Memristor có nhiều đặc điểm giống với điện trở và cũng có đơn vị đo bằng Ohm. Tuy nhiên, khác với điện trở, có trở kháng cố định, thì trở kháng nhớ (memristance) có thể được lập trình hay chuyển sang các trạng thái trở kháng khác dựa vào điện áp đặt vào memristor trước đó. Hiện tượng này có thể quan sát được bằng đặc tuyến I-V của điện áp và dòng qua điện trở và memristor.



Hình 2.3: Đặc tuyến dòng áp điện trở và memristor [8]

Với điện trở thông thường thì mối quan hệ giữa dòng điện và điện áp là tuyến tính, nên đặc tuyến I-V là một đường thẳng, do trở kháng của nó không đổi. Tuy nhiên, do tính chất thay đổi trở kháng nhớ của memristor, nên đặc tuyến I-V cũng biến thiên một cách phi tuyến như hình 2.3.

Khi tần số nguồn tăng lên thì vòng đường cong I-V bị co lại, khi tần số nguồn tăng lên vô cùng thì đặc tuyến memristor hoạt động tuyến tính như điện trở.



Hình 2.4: Đặc tuyến I-V và tần số nguồn [8]



Hình 2.5: Ký hiệu Memristor

2.3 Trở kháng memristor

Khi dòng điện chạy theo hướng thuận thì trở kháng memristor giảm và ngược lại khi dòng điện chạy theo nghịch thì trở kháng memristor tăng, khi ngắt điện áp đặt lên hai đầu memristor thì memristor sẽ nhớ trở kháng ở trạng thái cuối cùng, nó sẽ giữ giá trị trở kháng đó cho đến khi cấp điện lại.

Mỗi memristor được mô tả bởi một hàm trở kháng nhớ, mô tả tốc độ thay đổi từ thông dựa trên điện tích chạy qua thiết bị.

$$M(q) = \frac{d\phi_m}{dq} \quad (2.1)$$

Theo như định luật về cảm ứng điện từ của Faraday thì từ thông chính là nguyên phân của điện áp và điện tích là nguyên phân của dòng điện theo thời gian, vì thế mà ta có thể viết công thức trên theo một dạng khác như sau:

$$M(q(t)) = \frac{\frac{d\phi}{dt}}{\frac{dq}{dt}} = \frac{v(t)}{I(t)} \quad (2.2)$$

Giả sử $M(q(t))$ là một hằng số thì ta có thể thu được một biểu thức theo định luật Ohm là $R(t) = \frac{v(t)}{I(t)}$, thế nhưng $M(q(t))$ là thay đổi theo thời gian, phụ thuộc vào điện tích đặt lên memristor.

$$\text{Công suất tiêu thụ : } P(t) = V(t) \cdot I(t) = I^2(t) \cdot M(q(t)) \quad (2.3)$$

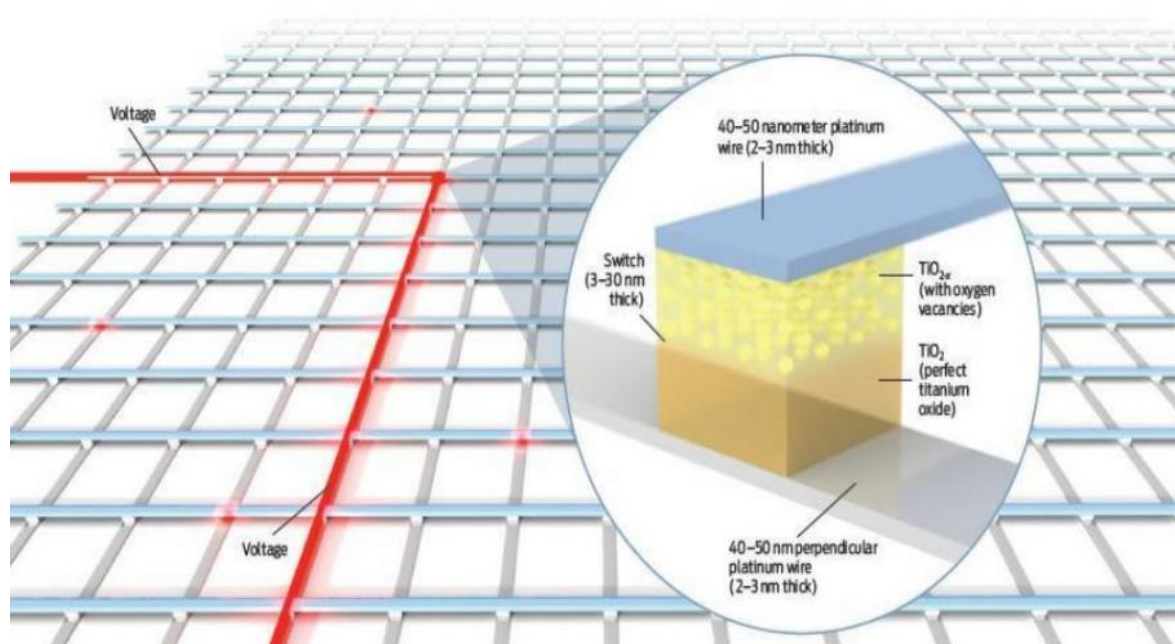
Nếu không cấp áp cho memristor, tức $V(t) = 0$ thì $I(t) = 0$, và $M(t)$ là không đổi, đây chính là tính chất nhớ trở kháng của memristor. Đồng thời, mạch không tiêu hao năng lượng.

2.4 Nguyên lý hoạt động của memristor

2.4.1 Cấu tạo memristor crossbar

Memristor trong phòng thí nghiệm của HP là dạng Crossbar (thanh ngang) chứa một dãy các dây dẫn bạch kim rộng 40 – 50nm và dày khoảng 2 - 3nm song song với nhau, nằm ở lớp trên và vuông góc với các dây dẫn bạch kim nằm ở lớp dưới. Các lớp trên và các lớp bên dưới tách biệt nhau bằng một chuyển mạch bán dẫn dày xấp xỉ 3 - 30nm. Các chuyển mạch bán dẫn này chứa 2 phần Titan oxit (TiO_2) tinh khiết và TiO_{2-x} chứa lỗ trống oxy bằng nhau. Dây bạch kim lớp dưới được nối với phần TiO_2 thuần khiết, phần còn lại là lớp TiO_2 thiếu oxy, có thể được kí hiệu là TiO_{2-x} với

x là số nguyên tử oxy bị thiếu hay còn gọi là lỗ trống. Toàn bộ mạch và cơ chế được minh họa qua hình 2.6

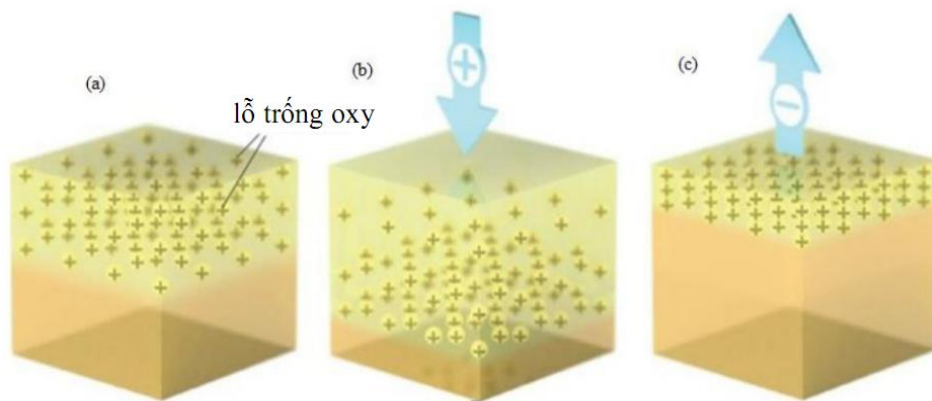


Hình 2.6: Cấu trúc Crossbar của memristor [8]

2.4.2 Nguyên lý hoạt động

Bước 1: Đặt lên hai đầu dây platinum một mức điện áp, nếu điện áp là dương thì làm cho chuyển mạch đóng lại, dẫn điện và ngược lại nếu ta cấp một mức điện áp âm thì làm cho chuyển mạch mở ra.

Bước 2: Khi ta đặt lên hai đầu dây platinum một dòng điện dương thì các lỗ trống oxy được nạp điện tích dương di chuyển sang phần TiO_{2-x} sang phần TiO_2 , điều này làm giảm trở kháng của memristor, ngược lại khi ta cấp một dòng điện âm vào hai dây dẫn platinum thì các lỗ trống oxy di chuyển về phần TiO_{2-x} , làm tăng phần TiO_2 do đó làm cho trở kháng của memristor tăng lên.

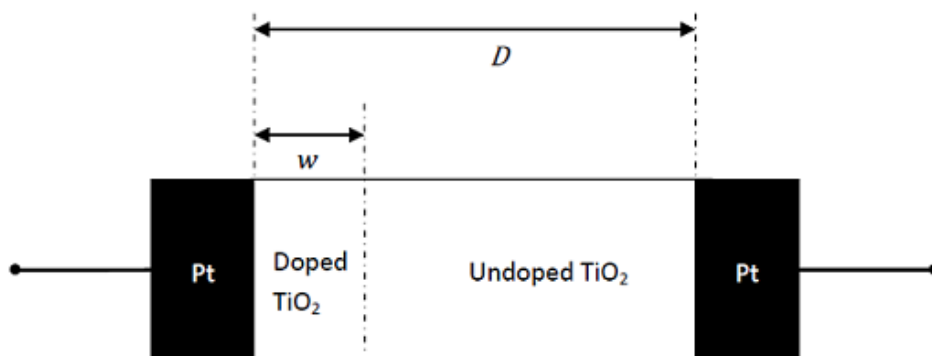


Hình 2.7: Sự khuếch tán các phân tử oxy, (a) góc, (b) dòng dương, (c) dòng âm.

Bước 3: Khi ngắt điện thì các lỗ trống oxy vẫn giữ nguyên vị trí kể từ lần cuối trước khi tắt nguồn, do đó trở kháng memristor được giữ cho tới khi cấp nguồn mới vào, và ta có thể đọc giá trị điện trở này như một giá trị được lưu.

2.4.3 Mô hình toán học

Năm 2008, sau 37 năm khi Leon Chua đề xuất các khái niệm ban đầu về memristor, thì Stanley Williams và nhóm của ông ấy đã hiện thực hóa memristor thực tế ở phòng thí nghiệm HP. Để xây dựng memristor, họ đã sử dụng một tấm phim titan oxit (TiO_2) rất mỏng. Tấm phim được nối với 2 cực làm bằng bạch kim (Pt). Một bên của TiO_2 được pha thêm các lỗ trống oxy. Các lỗ trống oxy này là các ion mang điện tích dương. Do đó có một lớp chuyển tiếp TiO_2 , với một bên là chứa lỗ trống oxy và một bên là nguyên chất.



Hình 2.8: Cấu trúc một memristor HP

Trong đó, w là độ dài phần chứa lỗ trống oxy, D là độ dài của memristor, TiO_2 là một bán dẫn có điện trở suất cao, các lỗ trống chứa oxy được thêm vào tạo thành TiO_{2-x} là chất liệu dẫn điện.

Mô hình toán học đơn giản của memristor HP được tính như sau:

$$M(q) = R_{OFF} \left(1 - \frac{R_{ON}}{\beta} q(t)\right) \quad (2.4)$$

Trong đó, $\beta = \frac{D^2}{\mu_D}$, μ_D là tốc độ học trung bình với đơn vị tính bằng cm^2/sV ; D là độ dày của tấm phim titan oxit; R_{OFF} và R_{ON} là trở kháng ở trạng thái đóng và mở, $q(t)$ là lượng điện tích chạy qua thiết bị.

2.4.4 Mô hình dịch tuyến tính

Giả sử cho một điện trường đều chạy qua thiết bị. Do đó, ta có mối quan hệ giữa tốc độ dịch và điện trường là tuyến tính. Biểu thức trạng thái có thể được viết như sau:

$$\frac{1}{D} \frac{dw(t)}{dt} = \frac{R_{ON}}{\beta} i \quad (2.5)$$

Tích phân 2 vế ta được:

$$\frac{w(t)}{D} = \frac{w(t_0)}{D} + \frac{R_{ON}}{\beta} q(t) \quad (2.6)$$

Với $w(t_0)$ là độ dài khởi tạo của w . Tốc độ dịch với điện trường đều đặt vào thiết bị được tính như sau:

$$v_D = \frac{dw(t)}{dt} \quad (2.7)$$

Trong một điện trường đều thì $D = v_D t$. Trong trường hợp này, $Q_D = i \cdot t$ là lượng điện tích cần để dịch chuyển biên từ $w(t_0)$, khi w tiến dần đến 0, đến $w(t_D)$, khi w tiến dần đến D và kết hợp với (2.5), (2.6) suy ra $Q_D = \beta/R_{ON}$. Do đó (2.6) trở thành:

$$\frac{w(t)}{D} = \frac{w(t_0)}{D} + \frac{q(t)}{Q_D} \quad (2.8)$$

Nếu đặt $x(t) = w(t)/D$ thì

$$x(t) = R_{ON} + \frac{q(t)}{Q_D} \quad (2.9)$$

Ngoài ra, ta có:

$$v(t) = \left(R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right) i(t) \quad (2.10)$$

Thay thế, $x(t) = w(t)/D$ ta được:

$$v(t) = (R_{ON}x(t) + R_{OFF}(1-x(t)))i(t) \quad (2.11)$$

Nếu giả định điện tích ban đầu $q(t_0)=0$, thì $w(t)=w(t_0) \neq 0$ và

$$M_0 = R_{ON}(x(t_0) + r(1-x(t_0))) \quad (2.12)$$

Với $r=R_{OFF}/R_{ON}$. Và M_0 là trở kháng nhớ ở t_0 . Do đó trở kháng nhớ ở t được tính như sau:

$$M(q) = M_0 + \Delta R \left(\frac{q(t)}{Q_D} \right) \quad (2.13)$$

Với $\Delta R = R_{OFF} - R_{ON}$. Khi $R_{OFF} \gg R_{ON}$ thì $M_0 \approx R_{OFF}$. Thay vào $v(t) = M(q).i(t)$, với $i(t) = dq(t)/dt$, ta thu được:

$$v(t) = \left(M_0 - \Delta R \left(\frac{q(t)}{Q_D} \right) \right) \frac{dq(t)}{dt} \quad (2.14)$$

Khi mà $M(q) = \left(\frac{d\phi(q)}{dq} \right)$, thì phương trình điện tích được xây dựng như sau:

$$q(t) = \frac{Q_D M_0}{\Delta R} \left(1 \pm \sqrt{1 - \frac{2\Delta R}{Q_D M_0^2} \phi(t)} \right) \quad (2.15)$$

2.5 Kết luận chương 2

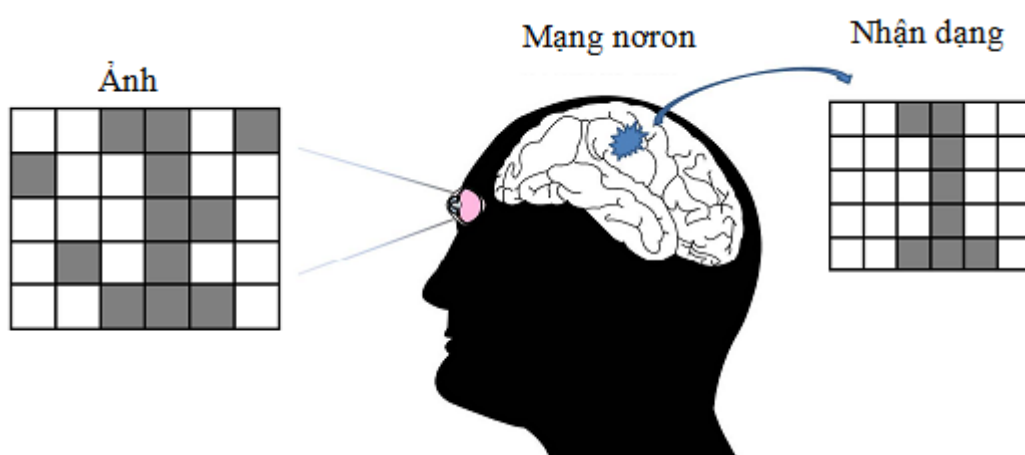
Trong chương 2, tôi đã trình bày một cách tổng quát về tính chất, nguyên lý hoạt động, mô hình toán học của memristor, đây là cơ sở để chúng ta vận dụng và hiểu về ý tưởng nhận dạng ảnh sử dụng memristor được trình bày trong chương 3.

CHƯƠNG 3 : XÂY DỰNG HỆ THỐNG NEUROMORPHIC DÙNG MEMRISTOR TRONG NHẬN DẠNG ẢNH

3.1 Trình bày ý tưởng

3.1.1 Mô tả hệ thống

Hệ thống gồm có 30 tín hiệu ngõ vào, các nơron được kết nối bên trong thông qua 300 memristor và có 10 tín hiệu ngõ ra, mỗi ảnh được chia làm 30 (5x6) pixel, mỗi pixel được nối với 1 ngõ vào, độ lớn xung điện áp ngõ vào tương ứng với giá trị trên mỗi pixel, các xung điện áp sẽ được cập nhật và tích hợp thông qua các memristor và các nơron ngõ ra.



Hình 3.1: Ý tưởng hệ thống nhận dạng ảnh

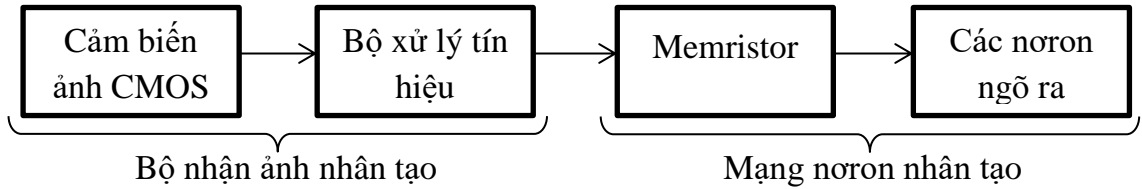
3.1.2 Mạng nơron nhân tạo (ANN)

Một mạng nơron nhân tạo (Artificial Neural Network) là một mô hình tính toán lấy cảm hứng từ bộ não của con người, nó có khả năng giải quyết thay đổi các vấn đề trong nhận dạng, dự đoán, tối ưu và điều khiển [2]. Mạng nơron nhân tạo cũng được mô tả như là một mạng của các nơron được kết nối bởi các “synaptic”[2], nó có thể được tạo ra, điều chỉnh, lưu trữ thông qua phương pháp học, sự thực hiện của các mạng nơron spiking (SNNs), đang được nghiên cứu phổ biến gần đây, để minh chứng về tính khả thi của các mạng nơron cho một vài ứng dụng công nghiệp như xử lý tín hiệu của các dữ liệu phức tạp.

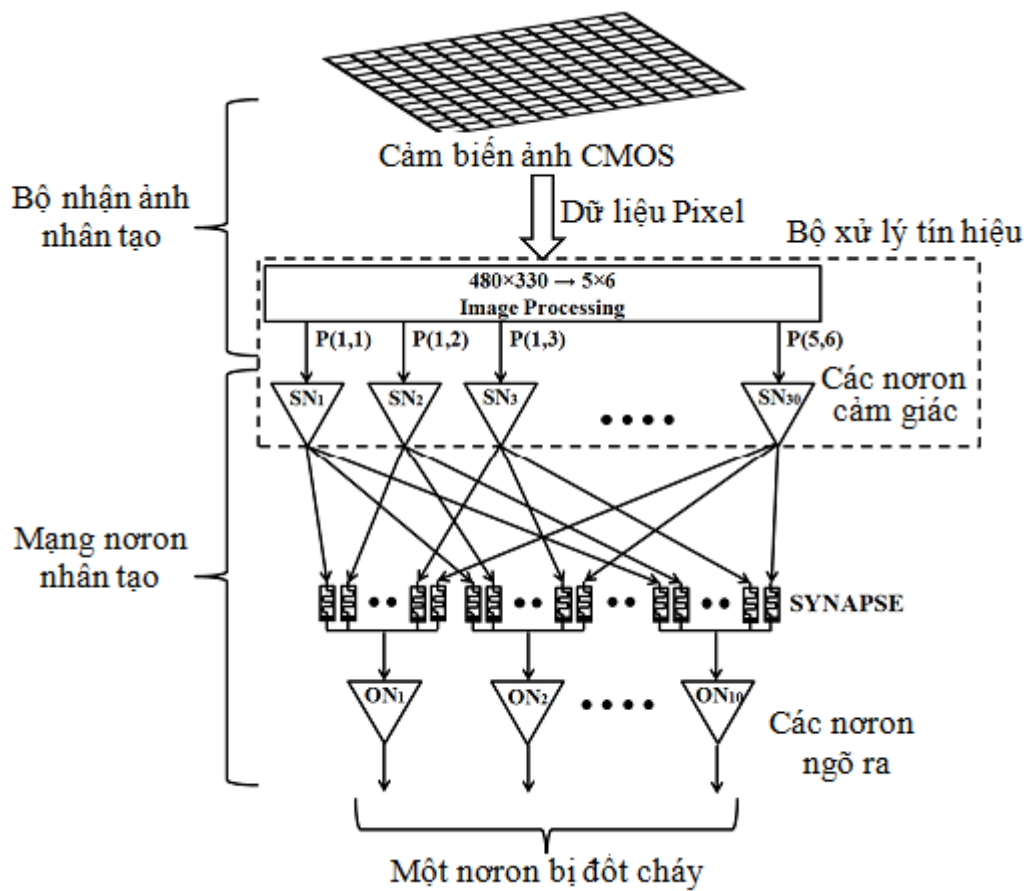
Sự phát triển của công nghệ CMOS gần đây cho phép sự tích hợp với mật độ lớn của các nơron trên một chip đơn. Tuy nhiên, khi sử dụng công nghệ CMOS thì đối với mạng nơron yêu cầu một số lượng lớn các kết nối (synaptic), dẫn đến công suất tiêu thụ lớn, diện tích lớn, do đó nhiều nhà nghiên cứu đi tìm một linh kiện thụ động có tính chất như synaptic đến nay một thiết bị như vậy được tìm ra gọi là memristor.

3.2 Đề xuất hệ thống

3.2.1 Sơ đồ khối hệ thống



Hình 3.2: Sơ đồ khối hệ thống

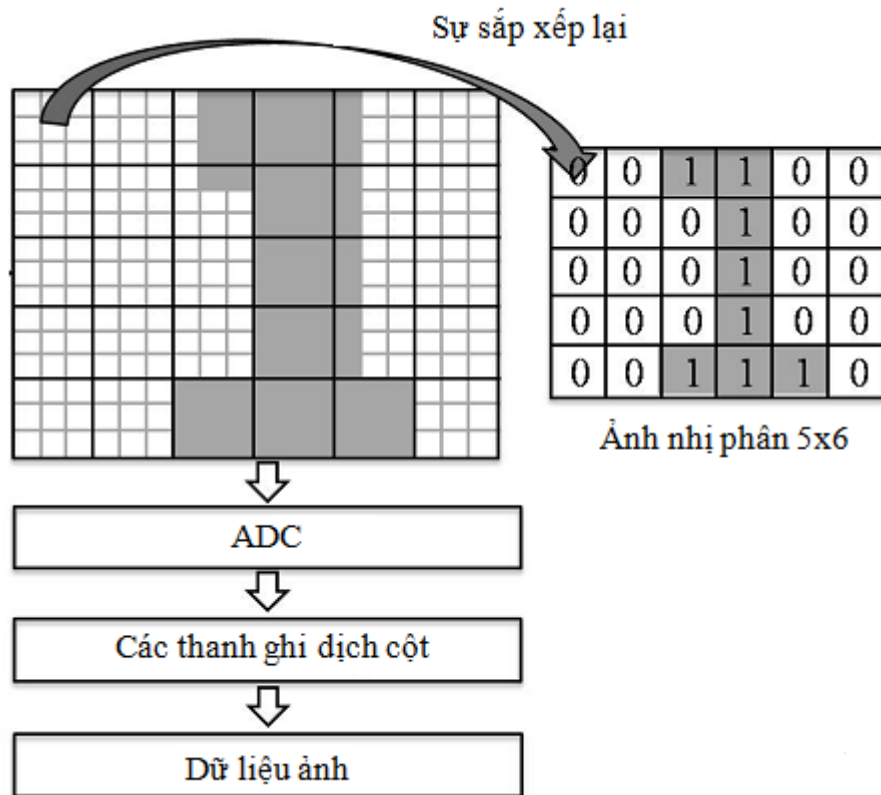


Hình 3.3: Sơ đồ khối của hệ thống neuromorphic

3.2.2 Phân tích hệ thống

Hệ thống gồm có 2 phần, phần một là cảm biến ảnh nhân tạo, phần hai là mạng neuron nhân tạo.

3.2.2.1 Cảm biến ảnh CMOS



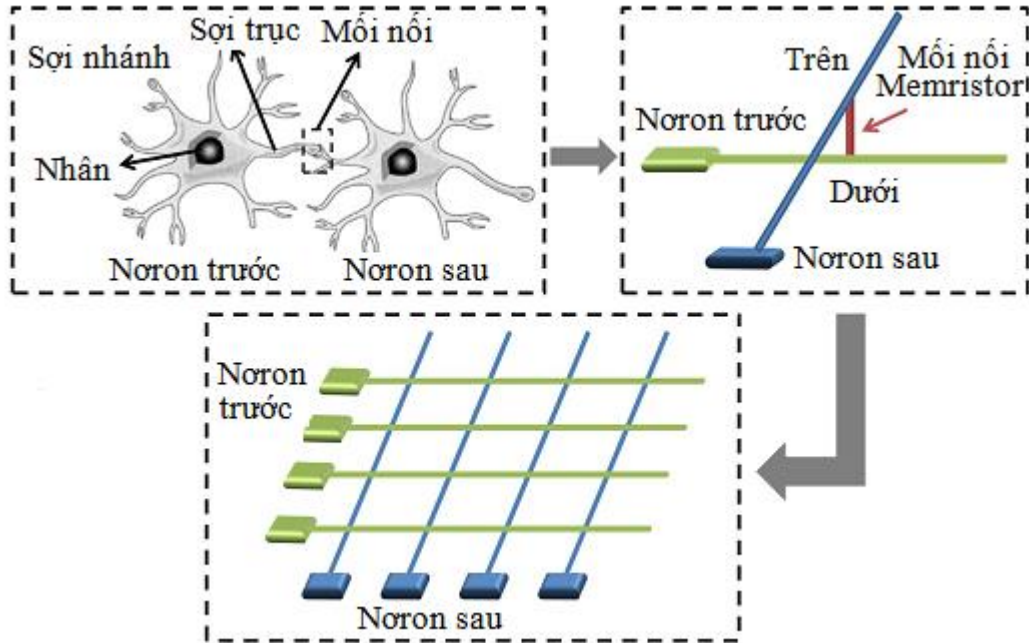
Hình 3.4: Sơ đồ khối của cảm biến ảnh CMOS và xử lý lại ảnh

CIS (CMOS Image Sensor) là một mảng gồm 480x330 pixel, tín hiệu đi qua bộ ADC chuyển đổi tín hiệu tương tự sang số, tín hiệu tiếp tục qua thanh ghi dịch hàng và cột, mỗi pixel gồm có một diode thu quang (photodiode) và 4 transistor tạo ra một tín hiệu tương tự có biên độ tỷ lệ thuận với cường độ ánh sáng, tín hiệu tương tự sẽ được chuyển đổi thành tín hiệu số có mã 10 bit bởi ADC.

Đơn vị xử lý tín hiệu (SPU), sẽ cấu trúc lại ảnh gồm 480x330 pixel ngõ ra của cảm biến ảnh CMOS, thành ảnh nhị phân 5x6 pixel bởi việc ánh xạ 96x55 pixel gần đó thành một pixel trong ảnh nhị phân, đơn vị xử lý tín hiệu sẽ tính giá trị trung bình của 96x55 pixel (được gọi là giá trị trung bình cục bộ) và so sánh với giá trị của từng pixel trong mảng 96x55 pixel, nếu giá trị trung bình cục bộ lớn hơn giá trị của pixel trong mảng thì giá trị trong ảnh nhị phân được đặt là “1”, ngược lại giá trị trung bình cục bộ nhỏ hơn giá trị trong từng pixel của mảng thì giá trị trong ảnh nhị phân được đặt là “0”.

3.2.2.2 Memristor mạng nơon nhân tạo

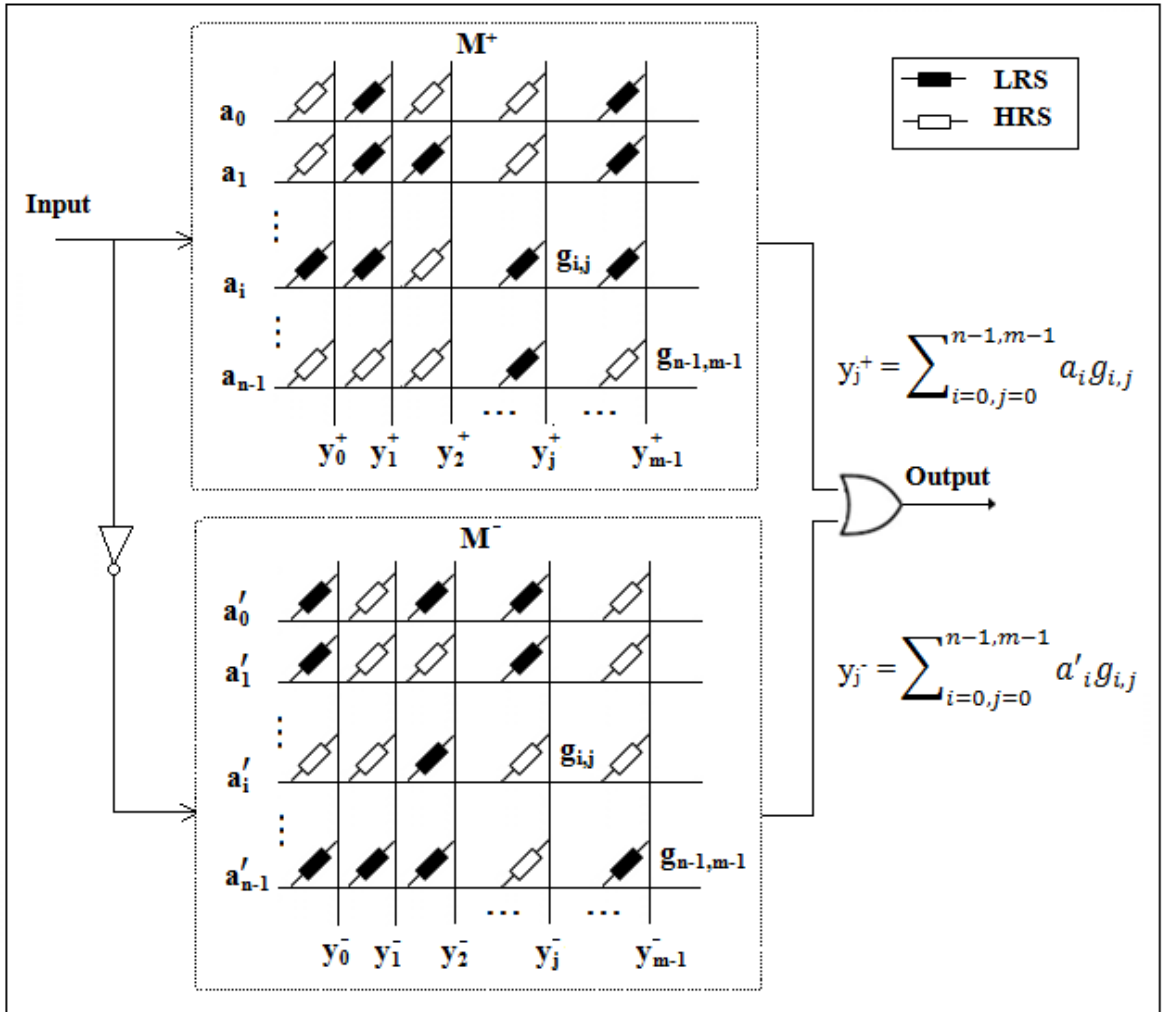
Memristor được sử dụng trong hệ thống là Memristor mảng với mối nối được làm từ $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO).



Hình 3.5: Kết nối mảng Memristor

Mảng Memristor, được xây dựng với đa lớp Pt/TiN_x/PCMO/Pt. Pt được sử dụng để tạo ra cả cực điện trên và dưới, ở giữa là TiN_x và PCMO, thay đổi lớp oxide dựa vào điện áp trên 2 cực, đó là nguyên nhân gây ra trở kháng của memristor.

3.3 Kiến trúc mạch memristor đề xuất



Hình 3.6: Kiến trúc mạch memrsitor cải tiến triệt nhiễu

Gọi n là số hàng, m là số cột của mảng memristor, i là biến chạy từ 0 đến $n - 1$, j là biến chạy từ 0 tới $m - 1$, a_i là tín hiệu vào thứ i mảng M^+ , a'_i là tín hiệu vào thứ i mảng M^- , $g_{(i,j)}$ là trở kháng hàng i cột j , y_j^+ là ngõ ra ảnh thứ j mảng M^+ , y_j^- là ngõ ra ảnh thứ j mảng M^- , chúng ta có công thức 3.1 và 3.2

$$y_j^+ = \sum_{i=0, j=0}^{n-1, m-1} a_i g_{i,j} \quad (3.1)$$

$$y_j^- = \sum_{i=0, j=0}^{n-1, m-1} a'_i g_{i,j} \quad (3.2)$$

Gọi N_i^{H+} là nhiều cộng tại tín hiệu thứ i mảng M^+ có điện áp là 3,3 V, N_i^{H-} là nhiều cộng tại tín hiệu thứ i mảng M^- có điện áp là 0 V, N_i^{L+} là nhiều trừ tại tín hiệu thứ i mảng M^+ có điện áp là 0 V, N_i^{L-} là nhiều trừ tại tín hiệu thứ i mảng M^- có điện áp là 3,3 V, a_i^{H+} là tín hiệu vào thứ i mảng M^+ có điện áp là 3,3 V, a_i^{H-} là tín hiệu vào thứ i mảng M^- có điện áp là 3,3 V, a_i^{L+} là tín hiệu vào thứ i mảng M^+ có điện áp là 0 V, a_i^{L-} là tín hiệu vào thứ i mảng M^- có điện áp là 0 V, $g_{i,j}^{H+}$ là trở kháng cao tại pixel hàng i cột j mảng M^+ có trở kháng là 21 K Ω , $g_{i,j}^{H-}$ là trở kháng cao tại pixel hàng i cột j mảng M^- có trở kháng là 21 K Ω , $g_{i,j}^{L+}$ là trở kháng thấp tại pixel hàng i cột j mảng M^+ có trở kháng là 100 Ω , $g_{i,j}^{L-}$ là trở kháng thấp tại pixel hàng i cột j mảng M^- có trở kháng là 100 Ω , như vậy chúng ta có bảng công thức sau.

Bảng 3.1: Cách tính điện áp ra trên mỗi memristor

Trở kháng Nhiều	$g_{i,j}^{H+}$	$g_{i,j}^{H-}$	$g_{i,j}^{L+}$	$g_{i,j}^{L-}$
N_i^{H+}	0	N/A	$N_i^{L+} \times g_{i,j}^{L+}$	N/A
N_i^{H-}	N/A	0	N/A	$N_i^{H-} \times g_{i,j}^{L-}$
N_i^{L+}	0	N/A	0	N/A
N_i^{L-}	N/A	0	N/A	0
a_i^{H+}	0	N/A	$a_i^{H+} \times g_{i,j}^{L+}$	N/A
a_i^{H-}	N/A	0	N/A	$a_i^{H-} \times g_{i,j}^{L-}$
a_i^{L+}	0	N/A	0	N/A
a_i^{L-}	N/A	0	N/A	0

Chúng ta thêm nhiều cộng vào mảng M^+ , trở kháng memristor mảng M^+ sẽ có trở kháng cao là $g_{i,j}^{H+}$ hoặc trở kháng thấp là $g_{i,j}^{L+}$, thì y_j^+ lúc này sẽ có dạng công thức như sau.

$$y_j^+ = \sum_{i=0, j=0}^{n-1, m-1} (a_i + N_i^{H+}) g_{i,j} \quad (3.3)$$

$$= \sum_{i=0, j=0}^{n-1, m-1} a_i g_{i,j} + \sum_{i=0, j=0}^{n-1, m-1} N_i^{H+} g_{i,j} \quad (3.4)$$

$$= \sum_{i=0,j=0}^{n-1,m-1} a_i g_{i,j} + \sum_{i=0,j=0}^{n-1,m-1} N_i^{H+} g_{i,j}^{H+} + \sum_{i=0,j=0}^{n-1,m-1} N_i^{H+} g_{i,j}^{L+} \quad (3.5)$$

$$= \sum_{i=0,j=0}^{n-1,m-1} a_i g_{i,j} \quad (\text{Áp dụng cách tính bảng 5.1}). \quad (3.6)$$

Tương tự chúng ta thêm nhiễu trờ vào mảng M^- , trở kháng memristor mảng M^- sẽ có trở kháng cao là $g_{i,j}^{H-}$ hoặc trở kháng thấp là $g_{i,j}^{L-}$, thì y_j^- lúc này sẽ có dạng công thức như sau.

$$y_j^- = \sum_{i=0,j=0}^{n-1,m-1} (a_i + N_i^{H-}) g_{i,j} \quad (3.7)$$

$$= \sum_{i=0,j=0}^{n-1,m-1} a_i g_{i,j} + \sum_{i=0,j=0}^{n-1,m-1} N_i^{H-} g_{i,j} \quad (3.8)$$

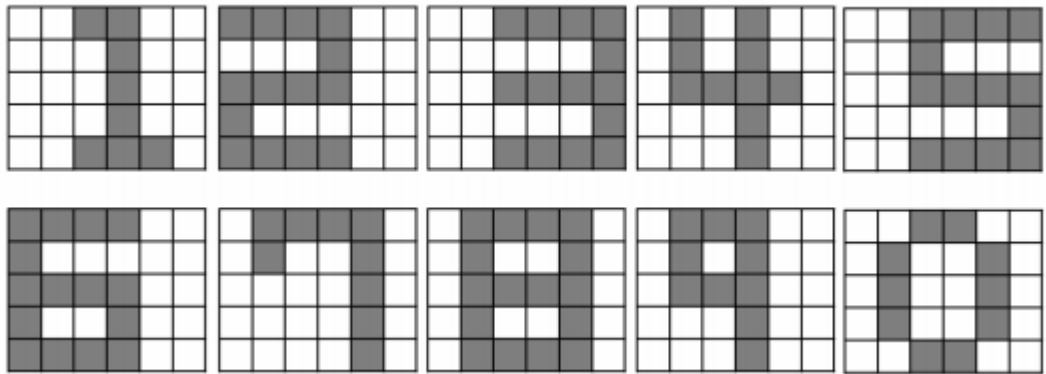
$$= \sum_{i=0,j=0}^{n-1,m-1} a_i g_{i,j} + \sum_{i=0,j=0}^{n-1,m-1} N_i^{H-} g_{i,j}^{H-} + \sum_{i=0,j=0}^{n-1,m-1} N_i^{H-} g_{i,j}^{L-} \quad (3.9)$$

$$= \sum_{i=0,j=0}^{n-1,m-1} a_i g_{i,j} \quad (\text{Áp dụng cách tính bảng 3.1}). \quad (3.10)$$

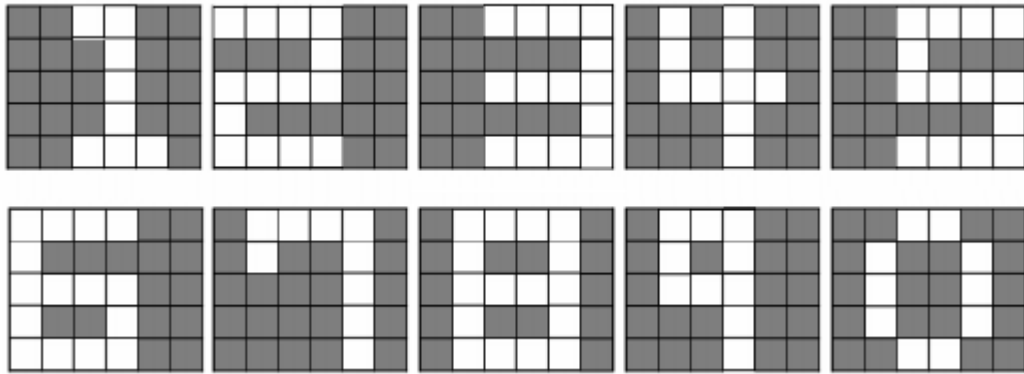
Vậy từ kết quả công thức 3.6 và công thức 3.10 cho chúng ta thấy mảng M^+ triệt tiêu được nhiễu cộng và mảng M^- thì triệt tiêu được nhiễu trừ, sự kết hợp của hai mảng này giúp chúng ta loại bỏ nhiễu một cách hiệu quả.

3.3.1 Khối điều khiển chuyển mạch

Cấu trúc gồm có 2 khối memristor hoạt động song song. Mỗi khối gồm 10 mảng, mỗi mảng sẽ có 30 memristor mảng. Như hình 3.6, ngõ vào khối thứ hai sẽ là đảo mức logic ngõ vào của khối thứ nhất, chúng ta xem tập ảnh huấn luyện qua hình 3.7 và hình 3.8 .

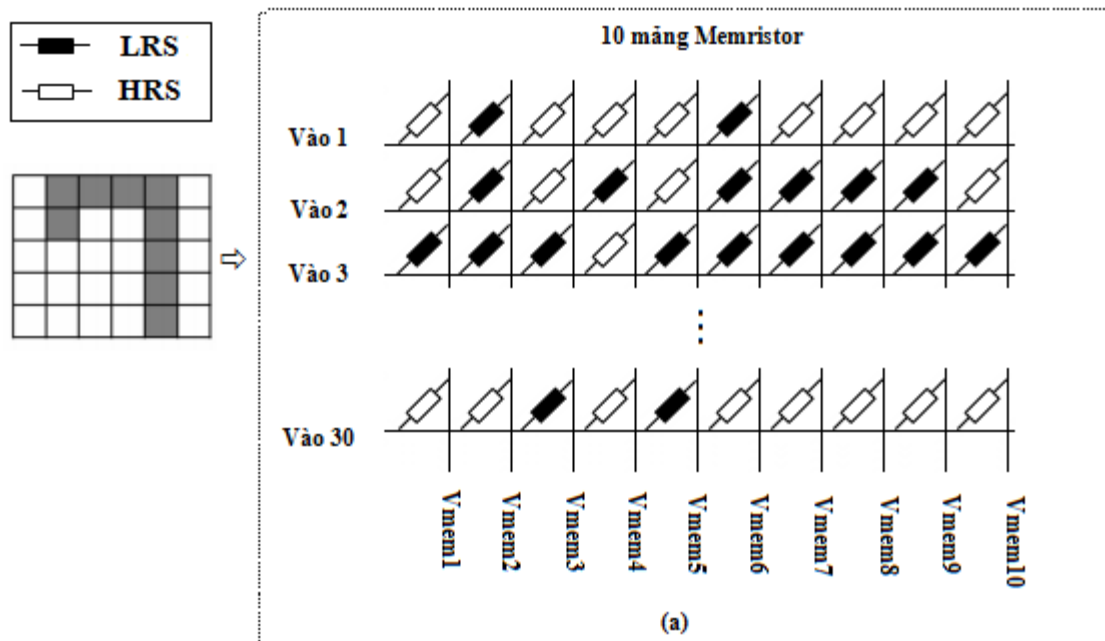


Hình 3.7: Tập ảnh huấn luyện

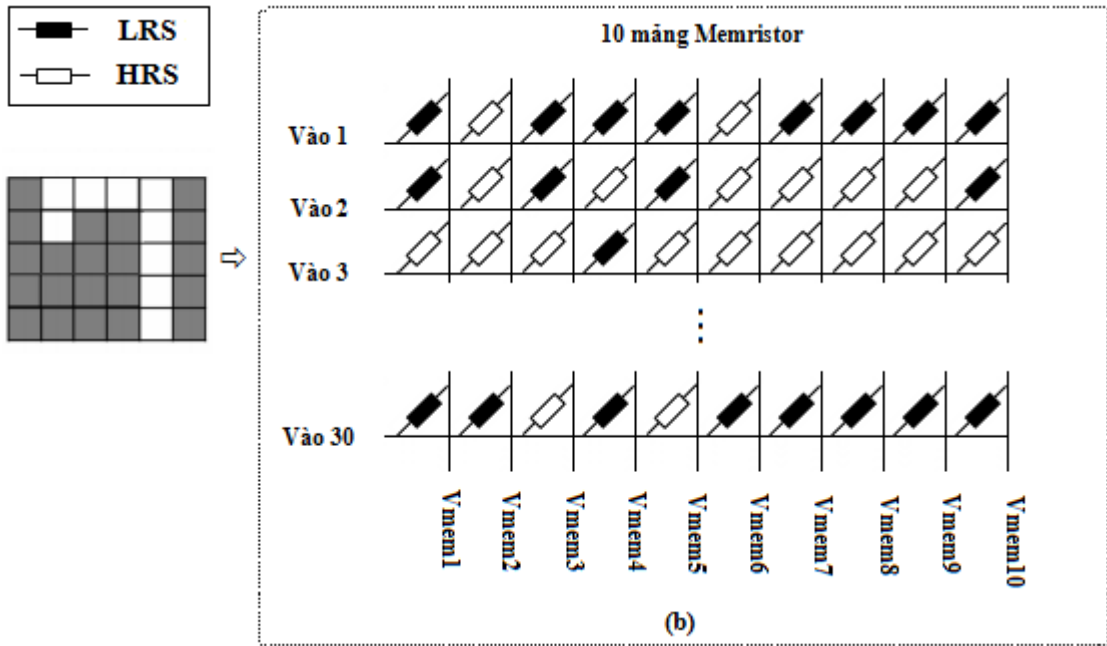


Hình 3.8: Tập ảnh sau khi đảo mức logic

Mỗi một ảnh được đưa vào hệ thống sẽ có kích thước là 5x6 pixel, mức điện áp là 3,3 V tương ứng với mức logic ‘1’, mức điện áp là 0 V sẽ tương ứng với mức logic ‘0’, như vậy 30 pixel từ mỗi hình là 30 tín hiệu đưa vào khối memristor thứ nhất của hệ thống, đồng thời 30 tín hiệu này sẽ được đảo mức logic tín hiệu và đưa vào khối memristor thứ hai. Chúng ta hãy quan sát hình 3.9 và hình 3.10 .



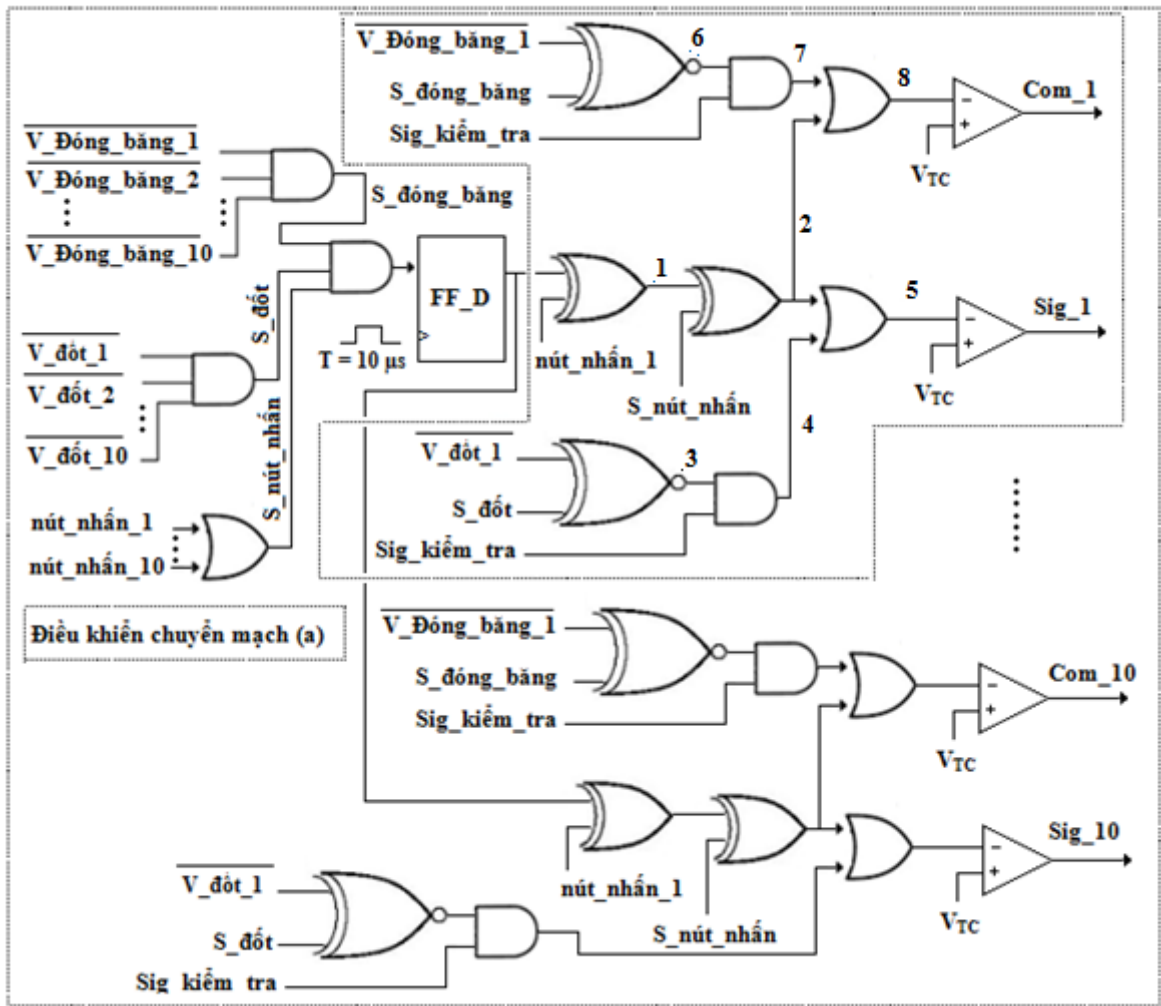
Hình 3.9: Khối thứ nhất mảng memristor huấn luyện



Hình 3.10: Khối thứ hai mảng memristor huấn luyện

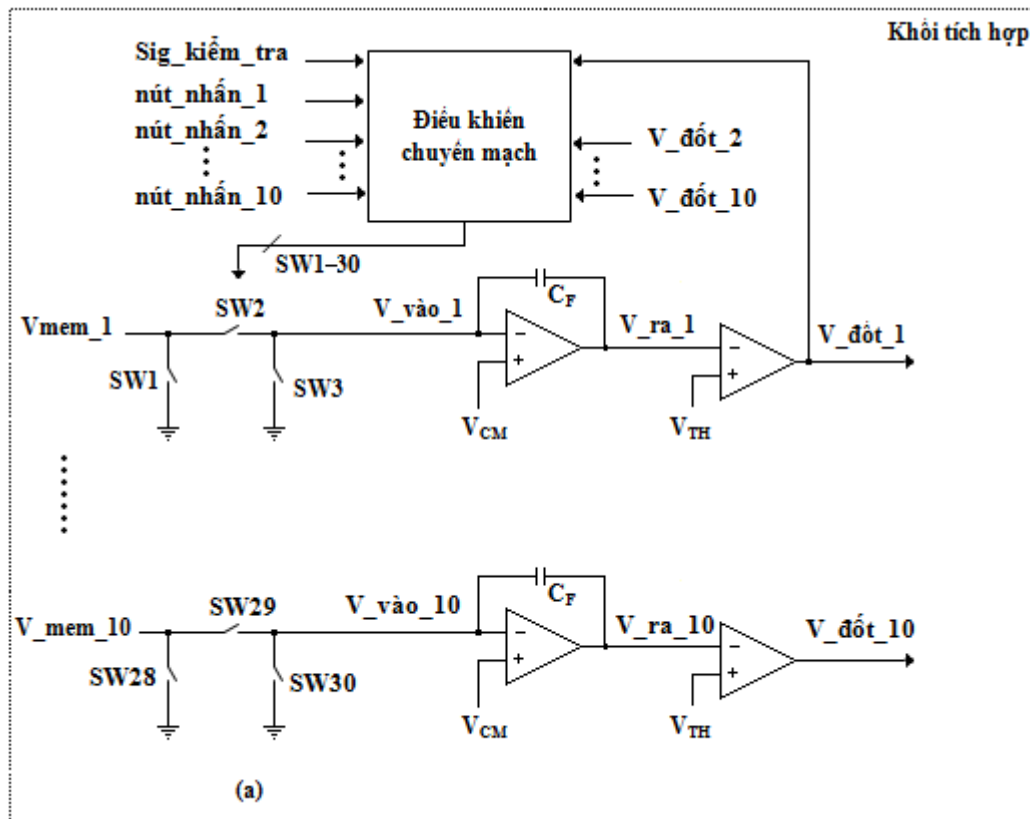
Với 30 tín hiệu vào sẽ đi xuyên qua 300 memristor mảng như hình 3.9 chúng ta sẽ được 10 tín hiệu V_{mem_1} , V_{mem_2} , ..., V_{mem_10} . Tại $t = 0$ toàn bộ memristor trong mảng sẽ có trở kháng cao là $21\text{ K}\Omega$, nếu tín hiệu vào là mức logic '1' thì sẽ làm cho memristor chuyển dần từ trở kháng cao sang trở kháng thấp là $100\ \Omega$, nếu tín hiệu vào là mức logic '0' thì sẽ không làm thay đổi trở kháng memristor.

Tương tự như vậy tín hiệu vào sẽ được đảo mức logic và đi vào khối memristor thứ hai của hệ thống, 30 tín hiệu này tiếp tục đi xuyên qua 300 memristor mảng như hình 3.10 ta sẽ được 10 tín hiệu Sig_com_1 , Sig_com_2 , ..., Sig_com_10 . Cũng như mảng thứ nhất tại thời điểm $t = 0$ thì toàn bộ memristor trong mảng sẽ có trở kháng cao là $21\text{ K}\Omega$, nếu tín hiệu vào là mức logic '1' thì sẽ làm cho memristor chuyển dần từ trở kháng cao sang trở kháng thấp là $100\ \Omega$, nếu tín hiệu vào là mức logic '0' thì sẽ không làm thay đổi trở kháng memristor.



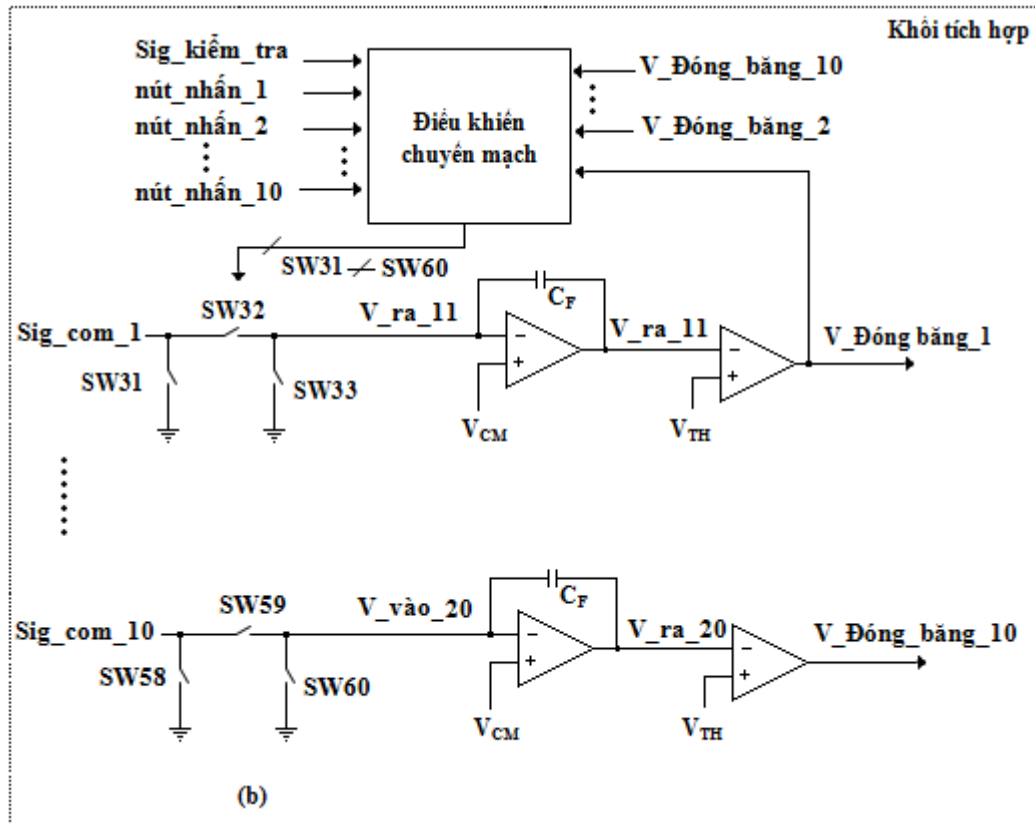
Hình 3.11: Tổng thể khối điều khiển chuyển mạch

3.3.2 Khối mạch tích hợp



Hình 3.12: Khởi tích hợp triệt nhiễu cộng

Quá trình huấn luyện thì tín hiệu xuất phát từ 30 pixel của mỗi ảnh, sau đó đi xuyên qua 300 memristor của mảng memristor thứ nhất như trong hình 3.9, ta sẽ có 10 tín hiệu đi ra khỏi mảng memristor thứ nhất là V_{mem_1} , V_{mem_2} , ..., V_{mem_10} , tại thời điểm $t = 0$ thì 10 tín hiệu V_{mem} sẽ có giá trị điện áp là 0 V, bởi vì tại thời điểm $t = 0$, 300 memristor mảng thứ nhất có trở kháng cao là 21 K Ω , tương tự như vậy xem hình 3.10 tại thời điểm $t = 0$, 10 tín hiệu sig_com có giá trị điện áp là 0 V, bởi vì 300 memristor này cũng đang có trở kháng cao là 21 K Ω . Xem hình 3.12 tại $t = 0$, SW1 và SW3 đóng, SW2 hở tín hiệu $V_{vào_1}$ nối đất do đó tín hiệu V_{ra_1} nhận 5 V trong khi ngưỡng V_{TH} là 2,5 V nên $V_{đốt_1}$ là 0 V, tương tự như vậy tại $t = 0$, 10 tín hiệu $V_{đốt}$ là $V_{đốt_1}$, $V_{đốt_2}$, ..., $V_{đốt_10}$ và 10 tín hiệu $V_{đóng_băng}$ là $V_{đóng_băng_1}$, $V_{đóng_băng_2}$, $V_{đóng_băng_3}$, ..., $V_{đóng_băng_10}$ là có điện áp 0 V.



Hình 3.13: Khởi tích hợp triệt nhiễu

Chúng ta bắt đầu huấn luyện ảnh số 1, tín hiệu nút_nhấn_1 được kích hoạt chuyển mạch SW2 và chuyển mạch SW32 đóng, chuyển mạch SW1, SW3, SW31, SW33 hở cho dòng điện chạy từ Vmem_1 tới V_đốt_1 hồi tiếp về khối điều khiển đồng thời cho dòng điện chạy từ sig_com_1 tới V_đóng_băng_1 hồi tiếp về khối điều khiển, quá trình dòng điện chạy từ 30 pixel của ảnh số 1 là 30 tín hiệu chạy vào 30 memristor khối thứ nhất với tín hiệu ra là Vmem_1, dòng điện tiếp tục chạy qua khối tích hợp ta nhận được ngõ ra là tín hiệu V_đốt_1, tín hiệu này hồi tiếp về khối điều khiển cho đến khi V_đốt_1 đạt 5 V tức là mỗi memristor trong mảng lúc này đã xác lập xong trạng thái trở kháng cao hoặc trở kháng thấp do đó khối điều khiển ra quyết định ngắt chuyển mạch kết thúc quá trình huấn luyện 30 memristor mảng 1 khối thứ nhất. Khi mà hệ thống nhận được 30 tín hiệu từ ảnh huấn luyện đưa vào thì 30 tín hiệu sẽ đi qua cổng NOT để đi qua khối memristor thứ hai, tương tự như vậy bộ điều khiển chỉ đóng chuyển mạch SW32 ngắt SW31 và SW33, cho 30 tín hiệu này đi qua 30 memristor mảng 1 khối thứ hai ngõ ra là sig_com_1 đi qua khối tích hợp ngõ ra khối tích hợp là V_đóng_băng_1, tín hiệu này được hồi quy về khối điều khiển cho đến khi điện áp V_đóng_băng_1 đạt ngưỡng 5 V thì khối điều khiển ra quyết định ngắt

chuyển mạch SW32, đóng chuyển mạch SW31 và SW33, kết thúc quá trình huấn luyện ảnh số 1.

Tương tự chúng ta đưa ảnh số 2 vào để huấn luyện thì tín hiệu nút_nhấn_2 được kích hoạt bộ điều khiển sẽ mở chuyển mạch chỉ duy nhất mạch 2 khối thứ nhất và mạch 2 khối thứ 2 là chuyển mạch cho dòng điện đi qua khối tích hợp và hồi quy về khối điều khiển, làm như vậy chúng ta sẽ huấn luyện được ảnh số 2, ảnh số 3,..., ảnh số 10, kết thúc quá trình huấn luyện thì toàn bộ 600 memristor đã được xác lập giá trị trở kháng cao hoặc giá trị trở kháng thấp.

Quá trình kiểm tra, tín hiệu sig_kiểm_tra được kích hoạt nên bộ điều khiển sẽ đóng các chuyển mạch làm cho 20 mạch của toàn bộ hệ thống ở trạng thái hoạt động, khi chúng ta đưa ảnh kiểm tra vô thì 30 tín hiệu này sẽ đồng loạt di chuyển qua 600 memristor, bất kỳ tín hiệu V_đốt nào đạt ngưỡng nhanh nhất thì sẽ dừng khối thứ nhất và gửi tín hiệu này đến mạch chốt kết quả đầu ra, tương tự bất kỳ tín hiệu V_đóng_băng nào đạt ngưỡng 5 V thì khối điều khiển cũng dừng các mạch còn lại đang hoạt động và gửi tín hiệu này tới chốt kết quả ngõ ra. Mạch chốt kết quả ngõ ra sẽ dựa vào hai tín hiệu gửi đến này để ra quyết định đó là ảnh số mấy được đưa vô kiểm tra.

CHƯƠNG 4 : KẾT QUẢ MÔ PHỎNG

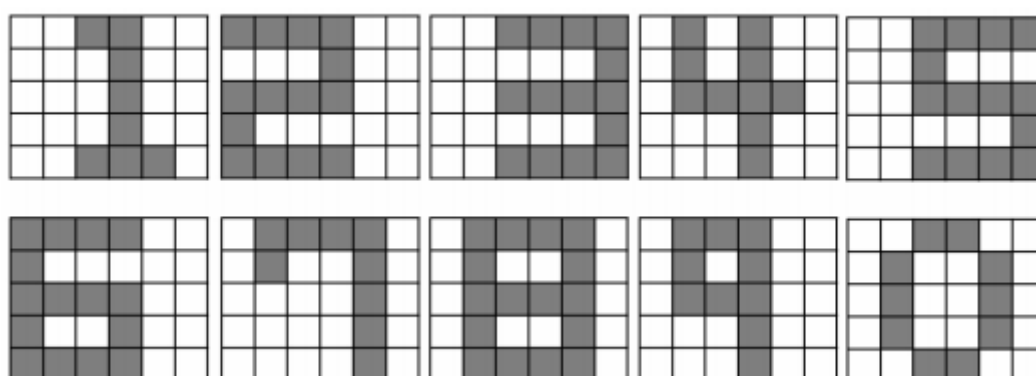
4.1 Phân tích hệ thống

Bước 1: Đưa 1 ảnh bất kỳ vào mô hình để huấn luyện đồng thời kích hoạt một trong mười tín hiệu nút_nhấn để khởi điều khiển biết bắt đầu quá trình huấn luyện và huấn luyện cho ảnh ở mạch nào.

Bước 2: Sẽ có 30 tín hiệu đi vào 300 memristor khối mảng thứ nhất và 30 tín hiệu này đi qua cổng NOT sau đó đi vào 300 memristor khối mảng thứ hai. Nhưng chỉ có 30 tín hiệu đi qua 30 memristor thuộc một trong mười mảng memristor khối thứ nhất đồng thời cũng chỉ có 30 tín hiệu đi qua 30 memristor thuộc một trong mười mảng memristor khối thứ hai, kết thúc quá trình huấn luyện khi một trong mười tín hiệu $V_{\text{đốt}}$ đạt 5 V và một trong mười tín hiệu $V_{\text{đóng_băng}}$ đạt ngưỡng 5 V.

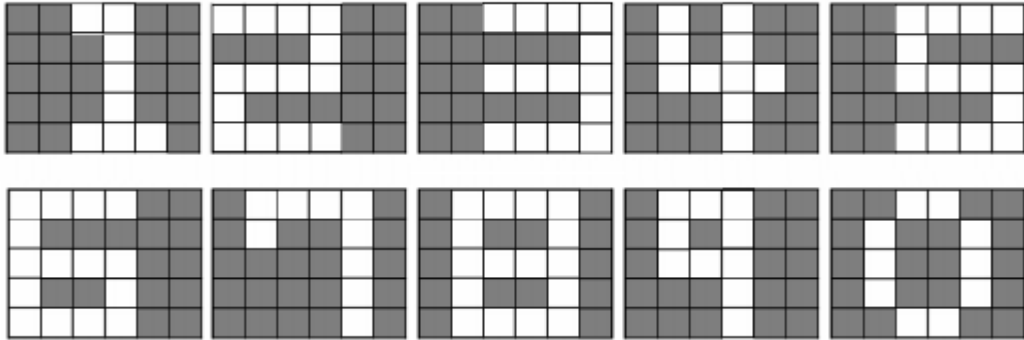
Bước 3: Quá trình kiểm tra sẽ có một cặp tín hiệu $V_{\text{đốt}}$ và $V_{\text{đóng_băng}}$ đạt ngưỡng nhanh nhất sẽ được gửi tới mạch chốt kết quả ngõ ra để ra quyết định ảnh đang kiểm tra là ảnh số mấy.

Trường hợp lý tưởng, trong phân tích này chúng ta đi phân tích một số ngẫu nhiên bất kỳ. Tôi chọn ảnh số 7 để kiểm tra như sau, mô hình sau khi huấn luyện thì khối thứ nhất sẽ có 300 memristor: gồm có 10 mảng tương ứng với 10 hình như hình 4.1. Mảng 1 sẽ có 30 memristor có trở kháng trên từng memristor như hình số 1. Pixel màu đen là tượng trưng cho vị trí memristor có trở kháng thấp, điểm pixel màu trắng tượng trưng cho vị trí memristor có trở kháng cao.



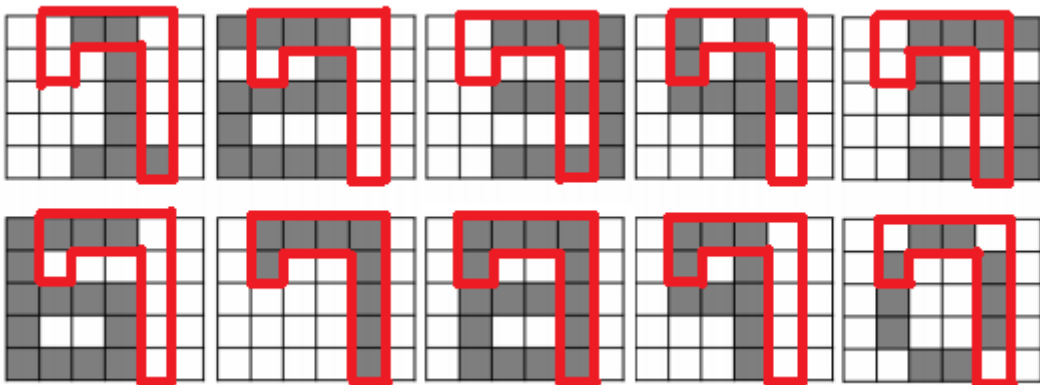
Hình 4.1: Ảnh trở kháng memristor khối thứ nhất

Tương tự như vậy, khối thứ hai cũng có 300 memristor chia làm 10 mảng memristor, mỗi mảng đặc trưng cho một hình. Tín hiệu vào là tín hiệu đảo của khối thứ nhất nên chúng ta cũng xác lập được trạng thái trở kháng cao hoặc trở kháng thấp cho 300 memristor như hình 4.2 sau khi huấn luyện. Chúng ta đưa ảnh số 7 vào hệ thống để xem hệ thống phân biệt như thế nào.



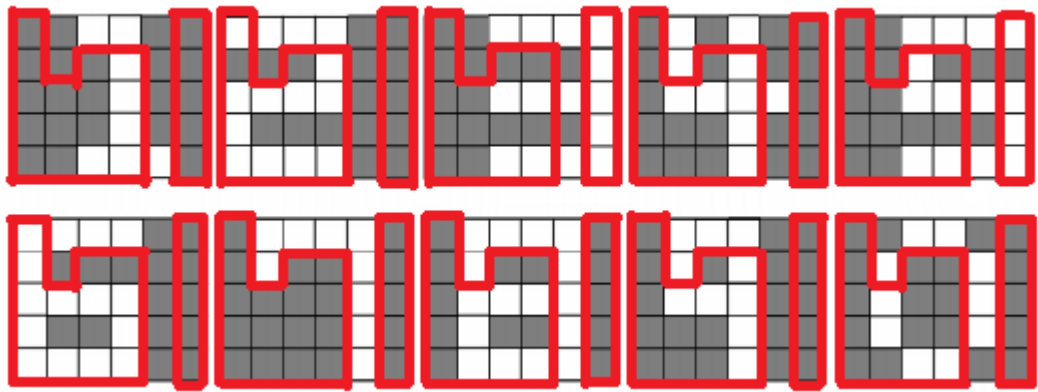
Hình 4.2: Ảnh trở kháng memristor khối thứ hai

Chúng ta quan sát hình 4.3, ta biết rằng với mô hình này thì ảnh số 7 chính là tập con của ảnh số 8. Do đó 9 tín hiệu có mức logic ‘1’ của ảnh số 7 đưa vào khối



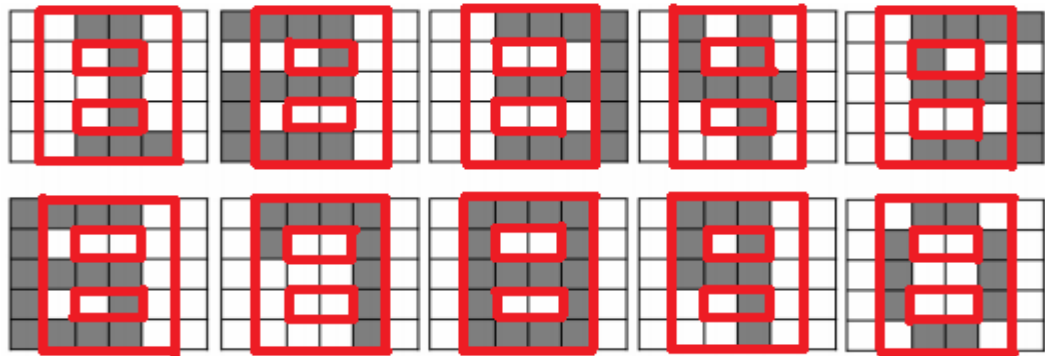
Hình 4.3: Đưa ảnh số 7 vào khối thứ nhất của hệ thống để kiểm tra

memristor thứ nhất của hệ thống điều nằm tại những vị trí có trở kháng thấp trên ảnh số 7 và ảnh số 8. Vì vậy, ngõ ra khối tích hợp triệt nhiễu cộng chúng ta sẽ nhận được cả tín hiệu $V_{đốt_7}$ và $V_{đốt_8}$ là đạt ngưỡng nhanh như nhau đồng thời bộ điều khiển gửi cả hai tín hiệu này về mạch quyết định ngõ ra.



Hình 4.4: Đưa ảnh số 7 vào khối thứ hai của hệ thống để kiểm tra

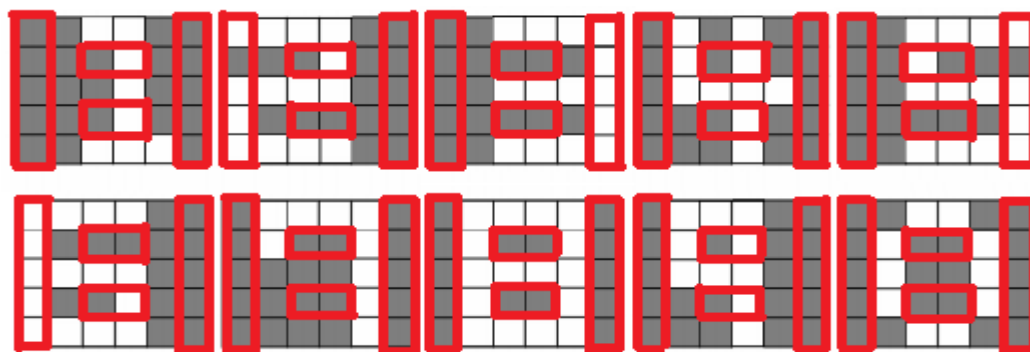
Chúng ta hãy chú ý đến phần diện tích được bao bọc bởi viền màu đỏ, hãy chú ý đến ảnh số 7 toàn bộ diện tích hai khu vực trong viền đỏ điều được bôi đen. Những điểm đen là điểm có trở kháng thấp và 21 tín hiệu có mức logic '1' của ảnh số 7 lúc này như lớp mặt nạ in trùng lên mô hình huấn luyện vậy ảnh số 7 sẽ là ảnh đạt ngưỡng nhanh nhất trong toàn bộ 10 ảnh khối thứ hai. Ảnh số 8 muốn lệch qua ảnh số 7 thì phải có ít nhất là 7 pixel nằm khớp vào 7 vị trí đang có trở kháng cao nằm trong phần diện tích viền đỏ như hình 4.4. Vậy ngõ ra khối thứ hai sẽ là `V_đóng_bằng_7`, tín hiệu này sẽ được gửi đến mạch quyết định ngõ ra lúc này đã có đủ cơ sở để mạch ra quyết định đây là ảnh số 7.



Hình 4.5: Đưa ảnh số 8 vào khối thứ nhất của hệ thống để kiểm tra

Vậy khi đưa ảnh số 8 vô thì mạch sẽ thực hiện thế nào? 16 tín hiệu có mức logic '1' nhận điện áp 3,3 V đi vào 10 lớp mặt nạ khối thứ nhất, chúng ta quan sát toàn thể 10 ảnh và tập trung vào phần diện tích được bao phủ bởi viền màu đỏ như hình 4.5. Lúc này chúng ta thấy chỉ có ảnh số 8 là toàn bộ diện tích trong viền đỏ điều có màu đen. Màu đen là memristor có trở kháng thấp, trong diện tích viền màu đỏ có nhiều

pixel màu đen thì sẽ tiến đến ngưỡng ngõ ra càng nhanh. Vậy 16 tín hiệu có mức logic '1' nhận điện áp 3,3 V đi vào mô hình ảnh số 8 đặt trên 16 memristor có trở kháng thấp, ngõ ra $V_{đốt_8}$ sẽ đạt ngưỡng nhanh nhất trong toàn bộ 10 mô hình trong khối memristor thứ nhất, tín hiệu $V_{đốt_8}$ được gửi tới mạch quyết định ngõ ra.



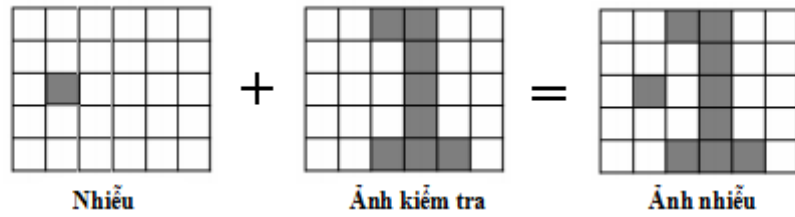
Hình 4.6: Đưa ảnh số 8 vào khối thứ hai của hệ thống để kiểm tra

Chúng ta quan sát 10 mô hình trong hình 4.6, tập trung vào phần diện tích màu đen trong viền màu đỏ, như vậy trong trường hợp này thì cả ba mô hình số 7, số 8 và số 0 đều sẽ đạt ngưỡng ngõ ra nhanh như nhau nên mạch quyết định ngõ ra sẽ nhận được cả $V_{đóng_băng_7}$, $V_{đóng_băng_8}$ và $V_{đóng_băng_10}$, nhưng khối memristor mảng thứ nhất chỉ gửi đến 1 tín hiệu là $V_{đốt_8}$, từ những cơ sở thông tin trên mạch quyết định ngõ ra sẽ quyết định đây là ảnh số 8.

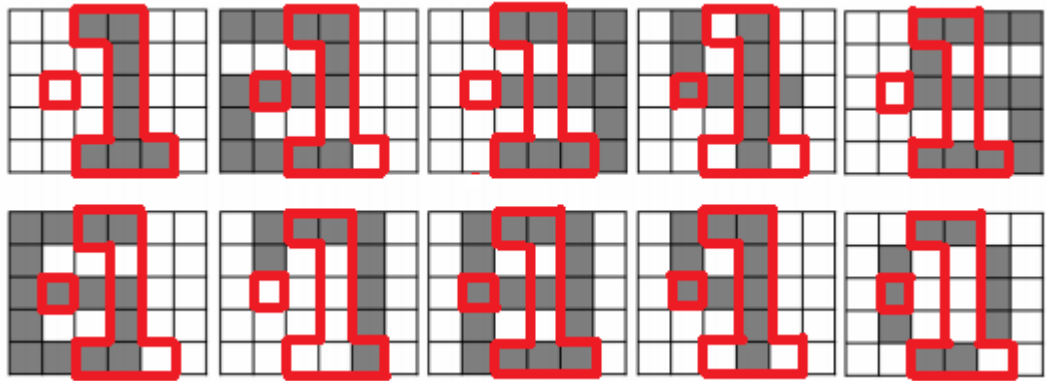
4.2.1 Trường hợp nhiễu cộng

Trường hợp không lý tưởng nhiễu cộng xuất hiện trong quá trình kiểm tra, khối memristor thứ nhất sẽ triệt tiêu nhiễu cộng. Nhiễu cộng 1 pixel vào bất cứ điểm nào trên ảnh kiểm tra thì hệ thống cũng nhận ra ảnh.

Ví dụ: Ảnh kiểm tra là ảnh số 1, nếu thêm 1 pixel nhiễu vào bất cứ điểm nào thì ảnh nhiễu sẽ có 9 pixel như hình bên dưới, khi đưa vào mô hình số 1 thì sẽ có 8 pixel đi vào memristor có trở kháng thấp và 1 pixel đi vào memristor có trở kháng cao. Yếu tố quan trọng làm cho mô hình số 1 đạt ngưỡng 3,3 volt đầu tiên so với những mô hình còn lại vì ảnh kiểm tra hội tụ đủ 8 vị trí pixel mà mô hình số 1 có sẵn, việc thêm 1 pixel vào bất kỳ vị trí nào trên các mô hình còn lại thì cũng không làm cho các mô hình còn lại có đủ 8 vị trí như hình mô số 1. Chúng ta hãy quan sát hình dưới để minh chứng điều này.



Hình 4.7: Cộng thêm 1 pixel nhiễu vào ảnh số 1



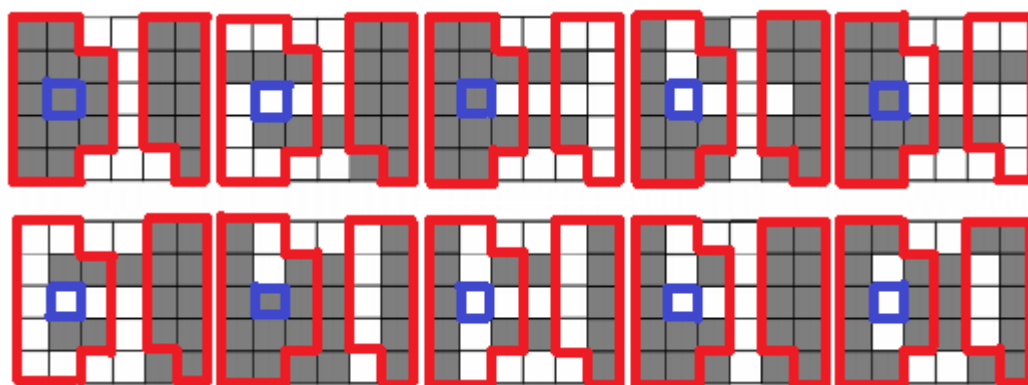
Hình 4.8: Đưa ảnh số 1 có 1 pixel nhiễu cộng vào khối thứ nhất

Nếu chỉ một pixel nhiễu được thêm vào ảnh gốc số 1, kiến trúc memristor nhận dạng thành công 100%. Hãy nhìn hình 4.10, vùng biên màu đỏ. Ảnh số 2, 3, 5 có 7 pixel với logic mức 1 trong vùng chồng lấn bao gồm 1 pixel nhiễu. Vì vậy, ảnh này không thể đạt tới 3.3V cùng tốc độ như ảnh số 1, có 8 pixel mức 1. Ảnh số 2 nếu đạt được cùng tốc độ tới mức điện áp 3.3V chỉ nếu nó có ít nhất 2 pixel nhiễu mức 1.

Có 8 pixel đen ở phần chồng chéo bên ngoài trong ảnh 2. Với kích thước hình ảnh là $5 \times 6 = 30$ pixel, xác suất pixel nhiễu đầu tiên của 8 vị trí pixel đen có thể xảy ra theo tỷ lệ $8/30$, vì vậy $P(1) = 8/30$. Tương tự, xác suất nhiễu pixel thứ hai sẽ là $P(2) = 7/30$. Xác suất xảy ra 2 pixel nhiễu đen này cho 3 ảnh trên trong trường hợp này như sau: $P(2 \text{ pixel}) = 3 \times (P(1) \times P(2)) = 3 \times \frac{8}{30} \times \frac{7}{30} = 18,7\%$. Ở đây, có 3 hình ảnh, có thể bị ảnh hưởng bởi nhiễu 2 pixel sẽ đạt cùng tốc độ với hình ảnh 1. Do đó, hệ thống xác định hình ảnh sai 1 trong trường hợp nhiễu 2 pixel này.

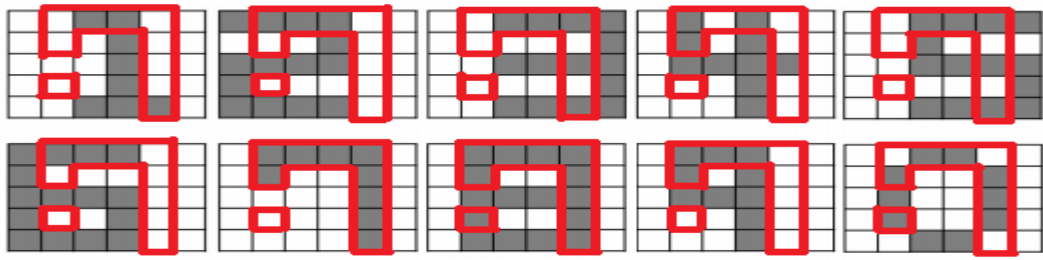
Tương tự, có 9 pixel đen ở phần chồng lấp bên ngoài của hình ảnh 1 và hình ảnh 6. Nếu hình ảnh 6 có 2 pixel nhiễu đen được thêm vào phần chồng lấp bên ngoài, hình ảnh 1 sẽ bị sai. Xác suất nhiễu 2 pixel mà ảnh 6 ảnh hưởng đến ảnh 1 để nhận ảnh sai 1, là $P(2 \text{ pixel}) = \frac{9}{30} \times \frac{8}{30} = 8\%$. Tương tự, xác suất nhiễu 2 pixel mà ảnh 8 ảnh hưởng đến ảnh 1 để nhận ảnh sai 1, là $P(2 \text{ pixel}) = \frac{10}{30} \times \frac{9}{30} = 10\%$. Theo cách tương tự, xác

suất nhiễu 2 pixel mà hình ảnh 9 ảnh hưởng đến hình ảnh 1 để nhận sai hình ảnh 1, là $P(2 \text{ pixel}) = \frac{4}{30} \times \frac{3}{30} = 1,3\%$. Tóm lại, xác suất nhiễu 2 pixel mà tất cả các hình ảnh 2, 3, 5, 6, 8, 9 ảnh hưởng đến hình ảnh 1 để có được hình ảnh đúng $1 - P(2 \text{ pixel}) = 100\% - (18,7\% + 8\% + 10\% + 1,3\%) = 62\%$.



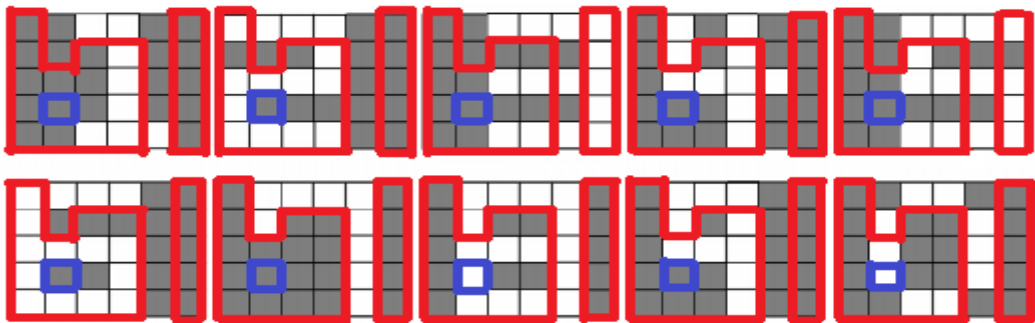
Hình 4.9: Đưa ảnh số 1 có 1 pixel nhiễu cộng vào khối thứ hai

Trong trường hợp ảnh kiểm tra là tập con của ảnh khác thì sao?. Trong mô hình này số 7 là tập con của mô hình số 8, khi ta thêm nhiễu vào mô hình số 7, nhưng điểm nhiễu đó nằm vào vị trí của mô hình số 8 thì tín hiệu đạt ngưỡng 3,3 volt nhanh nhất sẽ là số 8 chứ không phải là mô hình số 7 ở khối memristor thứ nhất. Giải quyết vấn đề này thì ta chú ý trường hợp ảnh không có nhiễu ta xét ở trên, nếu ảnh số 7 đưa vào thì ngõ ra khối tích hợp thứ nhất sẽ có cả $V_{\text{đốt}_7}$ và $V_{\text{đốt}_8}$ nhưng khối tích hợp thứ hai chỉ có tín hiệu $V_{\text{đóng_băng}_7}$. Chính vì điều này ta mới biết đó là hình số 7. Khối thứ hai loại bỏ trường hợp ảnh là tập con, trong trường hợp đưa ảnh kiểm tra là ảnh số 8 thì $V_{\text{đốt}_8}$ ở khối tích hợp thứ nhất là nhanh nhất. Với khối tích hợp thứ hai chỉ có tín hiệu $V_{\text{đóng_băng}_8}$ và $V_{\text{đóng_băng}_{10}}$. Điều này giúp ta khẳng định rằng nếu ảnh kiểm tra là số 7 thì khối tích hợp thứ hai có tín hiệu ra chỉ có $V_{\text{đóng_băng}_7}$ mà không có tín hiệu $V_{\text{đóng_băng}_8}$ và ngược lại nếu ảnh kiểm tra là ảnh số 8 thì tín hiệu ra ở khối tích hợp thứ hai sẽ là $V_{\text{đóng_băng}_8}$ chứ không có tín hiệu $V_{\text{đóng_băng}_7}$. Chính vì điều này chúng ta đi giải quyết trường hợp nhiễu mô hình số 7 nằm trên vị trí pixel có mức logic '1' tức là vị trí memristor có trở kháng thấp của mô hình số 8. Trường hợp nhiễu 1 pixel làm cho mô hình số 8 đạt ngưỡng 3.3 volt nhanh nhất, thì ngay tại trường hợp này ta thêm một chức năng trong mạch điều khiển nếu ngõ ra là $V_{\text{đốt}_8}$ mà ngõ ra khối tích hợp thứ hai là $V_{\text{đóng_băng}_7}$ thì ảnh đó là ảnh số 7.



Hình 4.10: Đưa ảnh số 7 có 1 pixel nhiễu cộng vào khối thứ nhất

Chính vì ngõ ra $V_{\text{đốt}_8}$ đạt ngưỡng 3.3 V nhanh nhất đồng thời tín hiệu này trả về bộ điều khiển để đóng 9 chuyển mạch còn lại trong khối tích hợp thứ nhất.

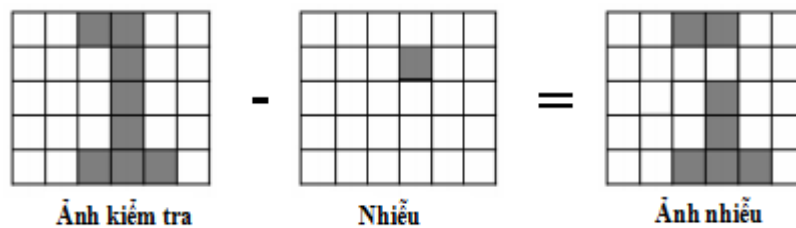


Hình 4.11: Đưa ảnh số 7 có 1 pixel nhiễu cộng vào khối thứ hai

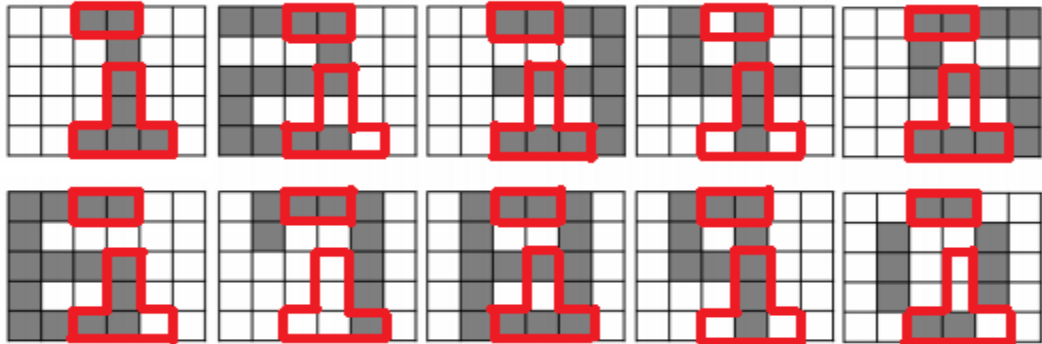
Chúng ta quan sát 10 mô hình trong hình 4.11, tín hiệu $V_{\text{đóng_băng}_7}$ sẽ đạt ngưỡng nhanh nhất trong 9 mô hình còn lại, lúc này thì mạch quyết định ngõ ra nhận định đây là ảnh số 7, như vậy khối thứ hai của mô hình đã giải quyết được vấn đề nhiễu 1 pixel của ảnh là tập con và pixel đó nằm trên vị trí có trở kháng thấp của ảnh chứa tập con đó.

4.2.2 Trường hợp nhiễu trừ

Trường hợp mất 1 pixel bất kỳ, ảnh kiểm tra là ảnh số 1, chúng ta quan sát hình 4.14, ảnh nhiễu sẽ được đưa vào hệ thống để nhận dạng.

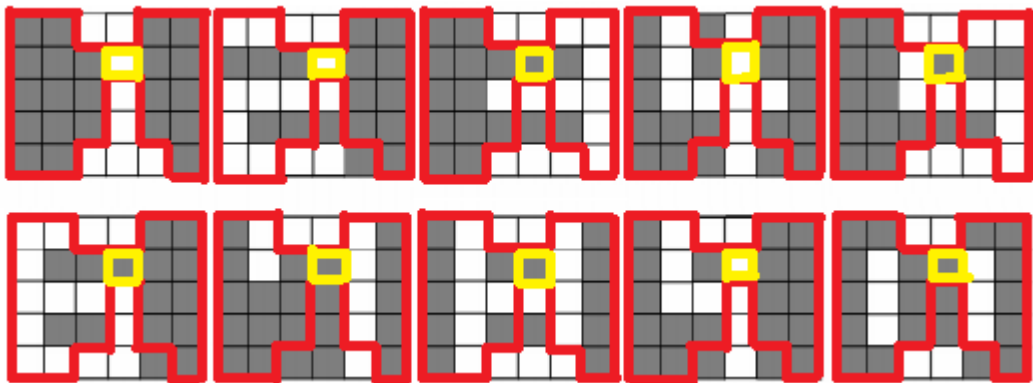


Hình 4.12: Thêm nhiễu trừ 1 pixel vào mô hình ảnh số 1



Hình 4.13: Đưa ảnh số 1 có 1 pixel nhiễu trừ vào khối triệt nhiễu cộng

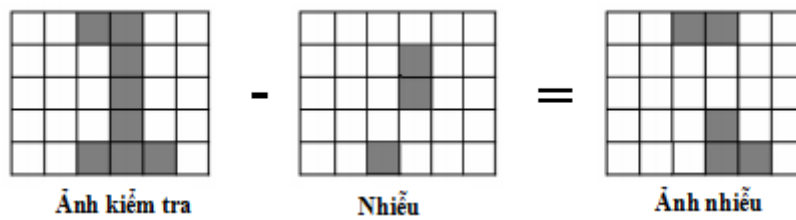
Trường hợp mất 1 pixel bất kỳ, ảnh kiểm tra là ảnh số 1 đưa ảnh vào khối tích hợp triệt nhiễu trừ. Mất pixel sẽ làm tăng số lượng pixel có giá trị 0 V vào hệ thống. Điều đó có nghĩa là tăng số lượng pixel có mức điện áp là 3.3 V vào khối memristor triệt nhiễu trừ. Do đó việc loại bỏ nhiễu trừ ở khối memristor triệt nhiễu trừ là rất hiệu quả, chúng ta quan sát hình 4.14 .



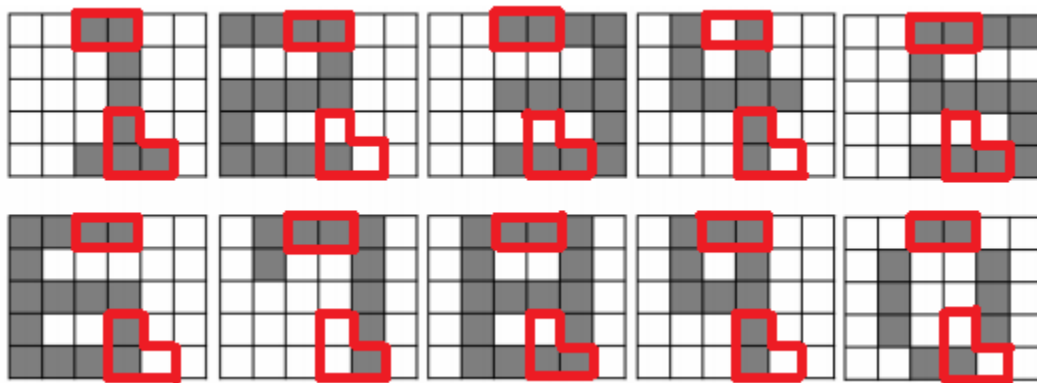
Hình 4.14: Đưa ảnh số 1 có 1 pixel nhiễu trừ vào khối triệt nhiễu trừ

Trong hình 4.14, điểm ảnh có viền màu vàng là điểm ảnh bị mất đi do nhiễu trừ, điểm ảnh nền trắng viền vàng là điểm ảnh có memristor trở kháng cao nhưng có điện áp đưa vào là 3,3 V điểm ảnh có nền đen viền vàng là ảnh có memristor trở kháng thấp với điện áp vào là 3,3 V. Hãy xem ảnh số 1, chúng ta luôn nhận được 22 pixel màu đen và 1 pixel màu vàng nếu là nhiễu trừ 1 pixel như vậy ảnh số luôn nhận dạng được với nhiễu trừ là 1 pixel bất kỳ vị trí nào.

Để chứng minh nhận định này chúng ta sẽ tiếp tục quan sát thêm nhiễu trừ vào mô hình memristor triệt nhiễu cộng hình 4.18 và mô hình triệt nhiễu trừ hình 4.19 , lúc này chúng ta sẽ cho mất 3 pixel bất kỳ trong ảnh số 1.



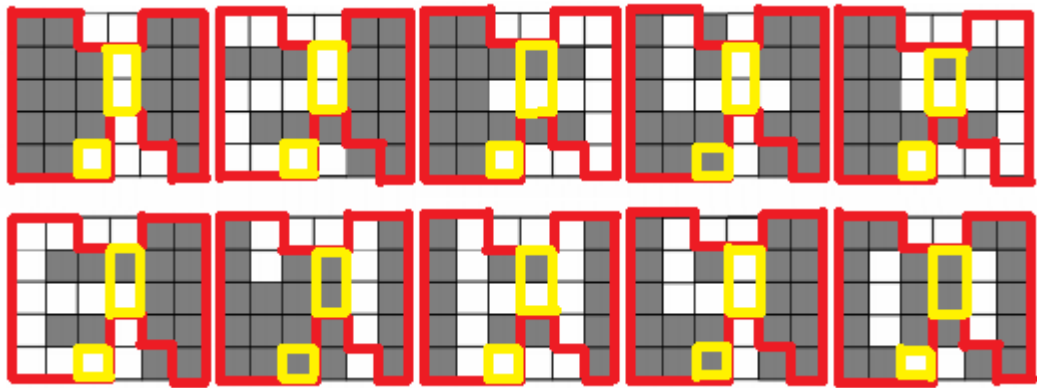
Hình 4.15: Mất 3 pixel với ảnh số 1



Hình 4.16: Đưa ảnh số 1 có 3 pixel nhiễu trừ vào khối triệt nhiễu cộng

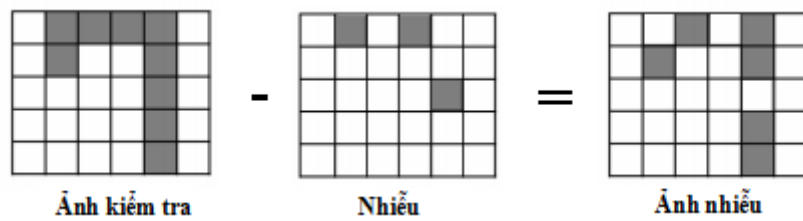
Quan sát hình 4.18, mô hình khối memristor triệt nhiễu cộng của hệ thống, phần diện tích trong viền màu đỏ là ảnh số 1 nhận được sau khi qua nhiễu, như vậy ảnh số 2 muốn đạt ngưỡng nhanh như ảnh số 1 thì cần thêm ít nhất là 2 pixel xác suất xảy ra là 0,11 %, ảnh số 3 muốn đạt ngưỡng nhanh như ảnh số 1 thì cần ít nhất là 1 pixel đúng vào vị trí màu trắng xác suất xảy ra là 3,33 %,....

Chúng ta tiếp tục xem khối tích hợp triệt nhiễu trừ trong trường hợp ảnh số 1 mất 3 pixel sẽ làm việc hiệu quả như thế nào, quan sát mô hình ảnh số 1 thấy rằng mô hình khi có nhiễu trừ thì ảnh luôn luôn có sẵn lượng pixel trở kháng thấp vốn có là 22 pixel, sau đó cộng thêm lượng pixel mất đi có trở kháng thấp nhưng áp vào sẽ là 3,3 V. Vậy trong trường hợp ảnh số 1 lúc này sẽ là 22 pixel trở kháng thấp và 3 pixel màu vàng. Nên tín hiệu $V_{\text{đóng_băng_1}}$ vẫn là tín hiệu đạt ngưỡng nhanh nhất và gửi tới mạch quyết định kết quả ngõ ra để ra quyết định đây là ảnh số 1.

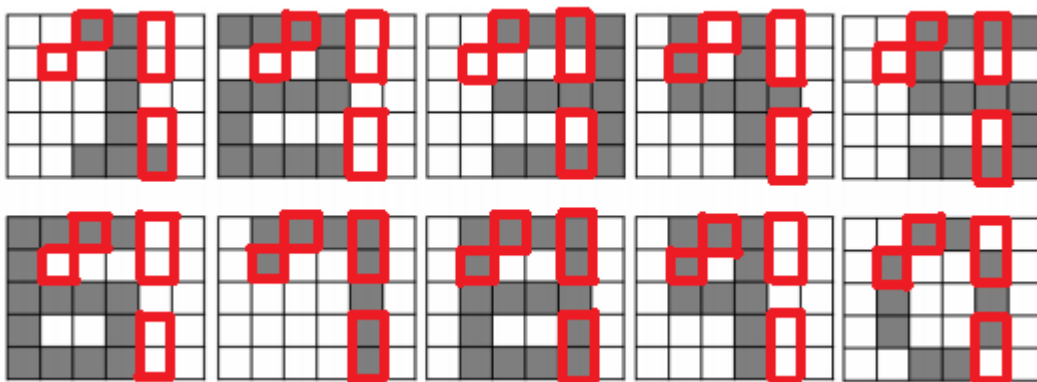


Hình 4.17: Đưa ảnh số 1 có 3 pixel nhiễu trừ vào khối triết nhiễu trừ

Để chứng minh mô hình này sẽ đúng với những hình còn lại, chúng ta sẽ tiếp tục kiểm tra với một hình khác trong những hình còn lại với mức độ nhiễu là mất đi 3 pixel, ở đây tôi chọn ảnh số 7 để kiểm chứng tiếp, chúng ta cùng nhau quan sát hình dưới đây.

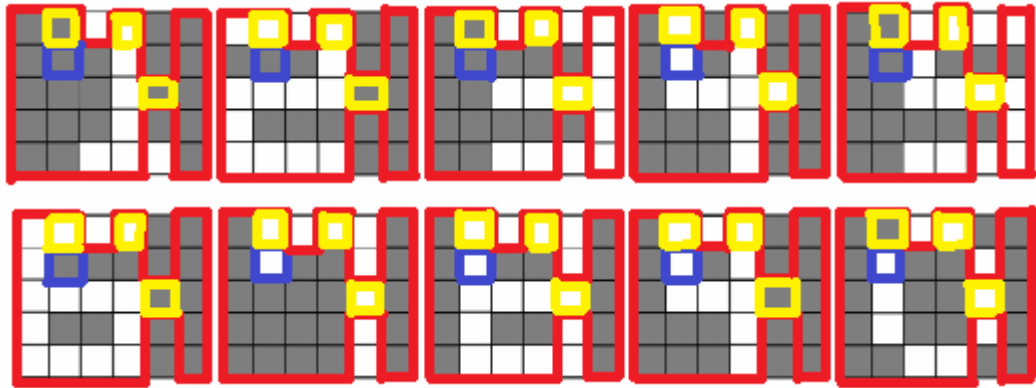


Hình 4.18: Mất 3 pixel với ảnh số 7



Hình 4.19: Đưa ảnh số 7 có 3 pixel nhiễu trừ vào khối triết nhiễu cộng

Khi quan sát quan sát hình 4.19 thì có hai mô hình là mô hình số 7 và mô hình số 8 sẽ đạt ngưỡng nhanh cùng một lúc vì ảnh số 7 là tập con của ảnh số 8. Dù mất đi pixel thì ảnh số 7 vẫn là tập con của ảnh số 8 nên chúng ta sẽ có hai ngõ ra cùng lúc là $V_{\text{đốt}_7}$ và $V_{\text{đốt}_8}$.



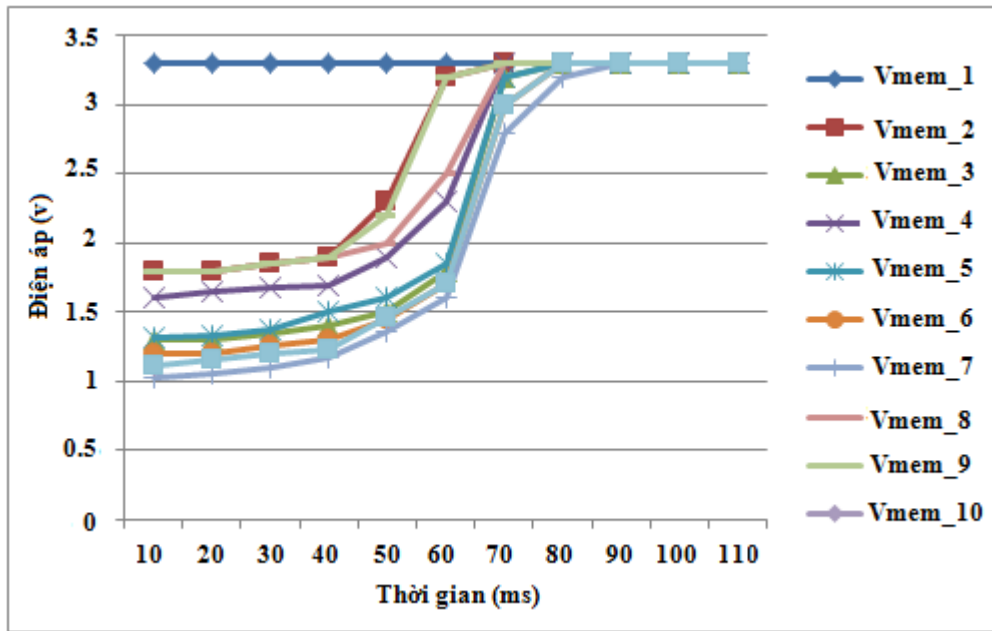
Hình 4.20: Đưa ảnh số 7 có 3 pixel nhiễu trừ vào khối triết nhiễu trừ

Xem phần diện tích trong viền màu đỏ trừ đi 1 pixel màu xanh. Bởi vì nhiễu trừ không ảnh hưởng đến số pixel màu đen trong diện tích viền màu đỏ do đó ảnh số 7 luôn luôn có đủ 21 pixel màu đen cộng thêm 3 pixel nhiễu màu vàng. Sau khi quan sát tổng thể thì ảnh số 7 là ảnh đạt ngưỡng nhanh nhất trong tất cả 10 mô hình. Vậy kết luận khối tích hợp memristor triết nhiễu trừ rất hiệu quả trong quá trình xử lý loại bỏ nhiễu trừ, kết hợp cả hai khối tích hợp triết nhiễu cộng và nhiễu trừ trong cùng một hệ thống thì giúp mô hình chúng ta loại bỏ nhiễu cộng và nhiễu trừ.

4.3 Kết quả mô phỏng

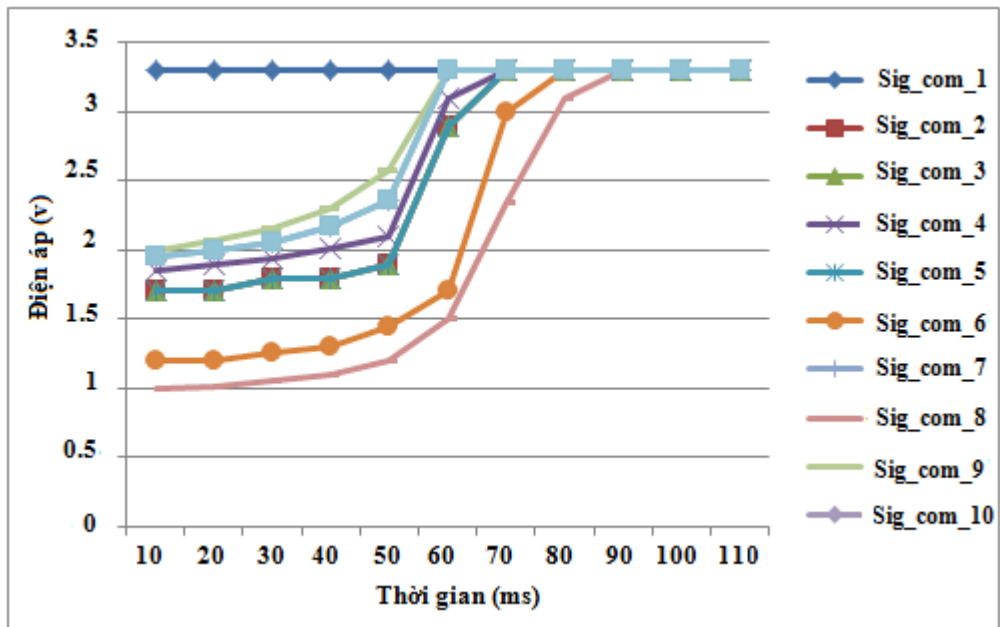
4.3.1 Trường hợp không nhiễu

Chúng ta kiểm chứng với ảnh kiểm tra là ảnh số 1, với điều kiện không có nhiễu quan sát hình 4.21 thì tín hiệu V_{mem_1} đạt ngưỡng cao và tách biệt hoàn toàn với tín hiệu điện áp memristor của 9 ảnh còn lại, nên hệ thống rất dễ nhận dạng trong trường hợp này, khả năng xảy ra sai số là không có.



Hình 4.21: 10 tín hiệu Vmem đi vào khối tích hợp triệt nhiễu cộng

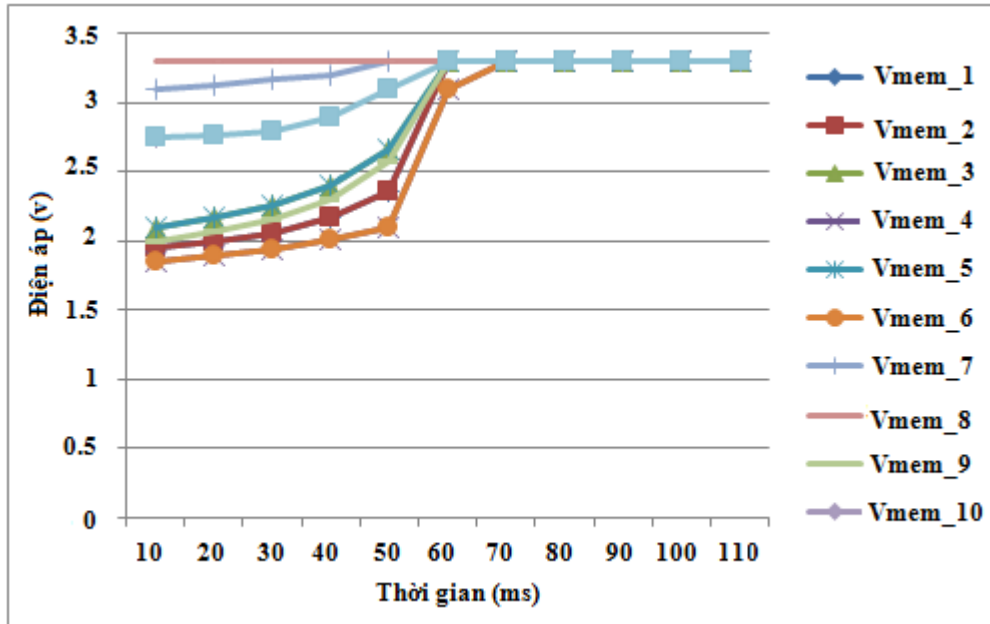
Xem hình 4.22, tín hiệu sig_com_1 đạt ngưỡng 3,3 V tại $t = 0$, do đó khi đưa 10 tín hiệu sig_com vào khối tích hợp triệt nhiễu trừ thì tín hiệu V_đóng_băng_1 sẽ đạt ngưỡng nhanh nhất và ngay lập tức tín hiệu V_đóng_băng_1 được gửi về khối mạch quyết định ngõ ra để đưa ra kết quả ảnh đang kiểm tra và kết thúc quá trình kiểm tra.



Hình 4.22: 10 tín hiệu sig_com

4.3.2 Trường hợp có nhiều cộng

Ảnh đang đưa vào hệ thống để minh chứng là ảnh số 7, vị trí nhiều cộng là pixel thứ 20 như mô hình chúng ta đã phân tích.



Hình 4.23: 10 tín hiệu Vmem vào khối tích hợp triệt nhiễu cộng

Ảnh số 7 là tập con của ảnh số 8. Tín hiệu nhiễu cộng nằm trùng với vị trí pixel có giá trị trở kháng thấp của ảnh số 8. Như vậy, ngoài 9 pixel có trở kháng memristor thấp nằm trong viền màu đỏ thì còn có thêm 1 pixel nhiễu được cộng lên vị trí pixel thứ 20 của toàn bộ 10 mô hình. Đối với mô hình số 7 thì pixel vị trí thứ 20 đã nằm ngoài diện tích viền đỏ, nên phải mất một khoảng thời gian khoảng 50 ms mới chuyển trở kháng memristor từ trở kháng cao về trở kháng thấp. Trong khi đó pixel thứ 20 lại là vị trí có trở kháng thấp của mô hình ảnh số 8, đồng thời ảnh số 8 chứa đầy đủ 9 pixel có trở kháng memristor thấp của ảnh số 7. Trong trường hợp này ảnh số 8 sẽ tiến về ngưỡng ngõ nhanh nhất và gửi V_đốt_8 về mạch ra quyết định ảnh kiểm tra. Xem hình 4.23 tín hiệu Vmem_8 đạt ngưỡng 3,3 V tại $t = 0$, sau đó là tín hiệu ảnh V_mem_7 đạt 3,1 V phải mất sau 50 ms thì V_mem_7 mới đạt tới 3,3 V. Vì V_mem_8 đạt ngưỡng 3,3 V tại $t = 0$ nên mạch tích hợp triệt nhiễu cộng lúc này sẽ gửi tín hiệu V_đốt_8 về bộ quyết định ngõ ra.

Bảng 4.1: Mức độ nhận dạng nhiều cộng 2 pixel.

Recognition rate	# 1	# 2	# 3	# 4	# 5	# 6	# 7	# 8	# 9	# 0
Kiến trúc chỉ 1 mảng memristor	62	99.7	96.7	77.8	96.7	99.7	0	100	87.2	0
Kiến trúc 2 mảng memristor đề xuất	100	99.7	96.7	96.7	96.7	99.7	100	100	96.7	100

CHƯƠNG 5 KẾT LUẬN

Nhận dạng ảnh sử dụng Memristor trong hệ thống Neuromorphic là một ứng dụng đặt biệt để chứng minh sự hữu dụng và phổ biến của Memristor trong tương lai, bởi những tính năng vượt trội như khả năng nhớ điện tích, mật độ tích hợp cao, không tổn hao công suất khi không sử dụng. Trong đề tài này, tác giả đã thực hiện nhận dạng 10 ảnh từ ảnh số 0 đến ảnh số 9, mỗi ảnh là một ảnh 5x6 pixel, mỗi một pixel là một tín hiệu đến hệ thống. Do đó sẽ có 30 tín hiệu vào hệ thống, những tín hiệu này sẽ đi xuyên qua 600 Memristor. 600 memristor này được chia thành 10 mảng chống nhiễu cộng và 10 mảng chống nhiễu trừ, tương ứng mỗi mảng sẽ có 30 Memristor, 20 tín hiệu đi ra từ 20 mảng memristor sẽ kết nối đến khối tích hợp. Bộ tích hợp này gồm 2 thành phần chính là bộ điều khiển chuyển mạch và các neuron, quá trình nhận dạng sẽ thực hiện theo 2 chế độ là huấn luyện và kiểm tra. Kết quả mô phỏng chỉ ra rằng hệ thống chống nhiễu lên đến 2 pixel và tỷ lệ nhận dạng thành công trong khoảng 96.7% đến 100%.

TÀI LIỆU THAM KHẢO

- [1] M. Hu, H. Li, Y. Chen, Q. Wu, G. S. Rose and R. W. Linderman, "Memristor Crossbar-Based Neuromorphic Computing System: A Case Study," in *IEEE Transactions on Neural Networks and Learning Systems*, vol. 25, no. 10, pp. 1864-1878, Oct. 2014.
- [2] L. Xie, H. A. D. Nguyen, M. Taouil, S. Hamdioui and K. Bertels, "Interconnect networks for memristor crossbar," *Proceedings of the 2015 IEEE/ACM International Symposium on Nanoscale Architectures*, Boston, MA, 2015, pp. 124-129.
- [3] M. Chu *et al.*, "Neuromorphic Hardware System for Visual Pattern Recognition With Memristor Array and CMOS Neuron," in *IEEE Transactions on Industrial Electronics*, vol. 62, no. 4, pp. 2410-2419, April 2015.
- [4] An Overview on Memristor Crossbar Based Neuromorphic Circuit and Architecture” của Zheng Li, Chenchen Liu, Yandan Wang, Bonan Yan, Chaofei Yang, Jianlei Yang và Hai (Helen) Li, invited paper.
- [5] C. Yakopcic, T. M. Taha, G. Subramanyam and R. E. Pino, "Impact of memristor switching noise in a neuromorphic crossbar," *2015 National Aerospace and Electronics Conference (NAECON)*, Dayton, OH, 2015, pp. 320-326.
- [6] A. P. James, I. Fedorova, T. Ibrayev and D. Kudithipudi, “HTM Spatial Pooler With Memristor Crossbar Circuits for Sparse Biometric Recognition”, in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 11, no. 3, pp. 640-651, June 2017.
- [7] C. R. Wu, W. Wen, T. Y. Ho and Y. Chen, "Thermal optimization for memristor-based hybrid neuromorphic computing systems," *2016 21st Asia and South Pacific Design Automation Conference (ASP-DAC)*, Macau, 2016, pp. 274-279.
- [8] L. O. Chua, “Memristor The missing circuit element”, *IEEE Trans. Circuit Theory*, vol. CT-18, pp. 507–519, 1971.

