

**HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG**

---

**TRẦN THỊ THÚY HÀ**

**BÀI GIẢNG**

**THIẾT BỊ NGOẠI VI  
VÀ KỸ THUẬT GHÉP NỐI**

**Hà nội, 2014**

## CHƯƠNG 3. GHÉP NỐI QUA CÔNG NỐI TIẾP

### 3.1. Giới thiệu chung về trao đổi dữ liệu nối tiếp

Ngày nay, ghép nối qua công nối tiếp là một kỹ thuật được sử dụng rộng rãi nhất bởi số lượng và chủng loại các thiết bị ngoại vi ghép nối qua công này đứng hàng đầu trong các khả năng ghép nối với máy tính. Qua công nối tiếp có thể ghép nối modem, chuột, bộ biến đổi A/D, D/A, các thiết bị đo lường ...

Ghép nối qua công nối tiếp là dữ liệu được truyền qua công kiểu nối tiếp nghĩa là tại một thời điểm chỉ có một bit được truyền dọc theo một đường dẫn. Đặc điểm này cho phép tạo ra sự khác biệt so với các cách ghép nối khác chẳng hạn cách truyền thông theo kiểu song song trong đó nhiều bit được gửi đồng thời. Ưu điểm chính của kỹ thuật này là sử dụng một đường truyền và một đường nhận cho nên việc điều khiển trở nên đơn giản.

Công này có tên là RS232 hoặc V.24. RS232 là tên một tiêu chuẩn quy định các đặc tính cho công nối tiếp, còn V.24 là tên của công này được áp dụng ở các nước Tây Âu.

So với các khả năng ghép nối khác tốc độ truyền qua công nối tiếp chậm, tốc độ thường sử dụng là 19600 bit/s/20m. Tốc độ truyền ở các modem đời mới nhất cũng chỉ đạt 56,6Kbit/s. Về sau có một số tiêu chuẩn nối tiếp khác ra đời như RS422, RS485 cho phép truyền với tốc độ cao hơn và khoảng cách dài hơn: ví dụ RS422 10Mbit/s/hàng ngàn km. Một số chuẩn khác còn cho phép sử dụng trên mạng máy tính.

#### 3.1.1. Nguồn gốc

Ngày nay, ghép nối qua công nối tiếp là một kỹ thuật được sử dụng rộng rãi nhất bởi số lượng và chủng loại các thiết bị ngoại vi ghép nối qua công này đứng hàng đầu trong các khả năng ghép nối với máy tính. Qua công nối tiếp có thể ghép nối modem, chuột, bộ biến đổi A/D, D/A, các thiết bị đo lường ...

Ghép nối qua công nối tiếp là dữ liệu được truyền qua công kiểu nối tiếp nghĩa là tại một thời điểm chỉ có một bit được truyền dọc theo một đường dẫn. Đặc điểm này cho phép tạo ra sự khác biệt so với các cách ghép nối khác chẳng hạn cách truyền thông theo kiểu song song trong đó nhiều bit được gửi đồng thời. Ưu điểm chính của kỹ thuật này là sử dụng một đường truyền và một đường nhận cho nên việc điều khiển trở nên đơn giản.

Cổng này có tên là RS232 hoặc V.24. RS232 là tên một tiêu chuẩn quy định các đặc tính cho cổng nối tiếp, còn V.24 là tên của cổng này được áp dụng ở các nước Tây Âu.

Ghép nối qua cổng nối tiếp RS232 là một trong những kỹ thuật được sử dụng rộng rãi để ghép nối các thiết bị ngoại vi với máy tính. Nó là một chuẩn giao tiếp nối tiếp dùng định dạng không đồng bộ, kết nối nhiều nhất là 2 thiết bị, chiều dài kết nối lớn nhất cho phép để đảm bảo dữ liệu là 12.5 đến 25.4m, tốc độ 20kbit/s đôi khi là tốc độ 115kbit/s với một số thiết bị đặc biệt.

Có hai phiên bản RS232 được lưu hành trong thời gian tương đối dài là RS232B và RS232C. Nhưng cho đến nay thì phiên bản RS232B cũ thì ít được dùng còn RS232C hiện vẫn được dùng và tồn tại thường được gọi là chuẩn RS232.

Các máy tính thường có 1 hoặc 2 cổng nối tiếp theo chuẩn RS232C được gọi là cổng Com. Chúng được dùng ghép nối cho chuột, modem, thiết bị đo lường... Trên main máy tính có loại 9 chân hoặc lại 25 chân tùy vào đời máy và main của máy tính. Việc thiết kế giao tiếp với cổng RS232 cũng tương đối dễ dàng, đặc biệt khi chọn chế độ hoạt động là không đồng bộ và tốc độ truyền dữ liệu thấp.

### **3.1.2. Ưu, nhược điểm của giao diện nối tiếp RS232**

Ưu điểm của giao tiếp nối tiếp RS232:

- Khả năng chống nhiễu của các cổng nối tiếp cao.
- Thiết bị ngoại vi có thể tháo lắp ngay cả khi máy tính đang được cấp điện.
- Các mạch điện đơn giản có thể nhận được điện áp nguồn nuôi qua công nối tiếp.

+ Nhược điểm của giao tiếp nối tiếp RS232:

- Tốc độ truyền dữ liệu bị hạn chế. Ví dụ như với tốc độ 9600 baud cho phép truyền nhiều nhất là 960 byte mỗi giây. Khuôn dạng dữ liệu (Frame) cần phải được thiết lập như nhau ở cả hai bên gửi cũng như nhận.
- Chiều dài đường truyền hạn chế.

### **3.1.3. Đặc điểm của chuẩn RS232**

- Trong chuẩn RS232 có mức giới hạn trên và dưới (logic 0 và 1) là  $\pm 12V$ . Hiện nay đang được cố định trở kháng tải trong phạm vi từ  $3000 \Omega$  -  $7000\Omega$ .
- Mức logic 1 có điện áp nằm trong khoảng  $-3V$  đến  $-12V$ , mức logic 0 từ  $+3V$  đến  $12V$ .
- Tốc độ truyền nhận dữ liệu cực đại là 100kbps ( ngày nay có thể lớn hơn).
- Các lỗi vào phải có điện dung nhỏ hơn 2500pF.

- Trở kháng tải phải lớn hơn  $3000\Omega$  nhưng phải nhỏ hơn  $7000\Omega$ .
- Độ dài của cáp nối giữa máy tính và thiết bị ngoại vi ghép nối qua cổng nối tiếp RS232 không vượt qua 15m nếu chúng ta không sử dụng model.
- Các giá trị tốc độ truyền dữ liệu chuẩn : 50, 75, 110, 750, 300, 600, 1200, 2400, 4800, 9600, 19200, 28800, 38400....56600, 115200 bps.

### 3.1.4. Thủ tục trao đổi dữ liệu

#### + *Quá trình truyền dữ liệu*

Truyền dữ liệu qua cổng nối tiếp RS232 được thực hiện không đồng bộ. Do vậy nên tại một thời điểm chỉ có một bit được truyền (1 kí tự). Bộ truyền gửi một bit bắt đầu (bit start) để thông báo cho bộ nhận biết một kí tự sẽ được gửi đến trong lần truyền bit tiếp theo. Bit này luôn bắt đầu bằng mức 0. Tiếp theo đó là các bit dữ liệu (bits data) được gửi dưới dạng mã ASCII( có thể là 5,6,7 hay 8 bit dữ liệu). Sau đó là một Parity bit (kiểm tra bit chẵn, lẻ hay không) và cuối cùng là bit dừng - bit stop có thể là 1; 1,5 hay 2 bit dừng.

#### + *Tốc độ Baud*

Đây là một tham số đặc trưng của RS232. Tham số này chính là đặc trưng cho quá trình truyền dữ liệu qua cổng nối tiếp RS232 là tốc độ truyền nhận dữ liệu hay còn gọi là tốc độ bit. Tốc độ bit được định nghĩa là số bit truyền được trong thời gian 1 giây hay số bit truyền được trong thời gian 1 giây. Tốc độ bit này phải được thiết lập ở bên phát và bên nhận đều phải có tốc độ như nhau (Tốc độ giữa vi điều khiển và máy tính phải chung nhau 1 tốc độ truyền bit).

Ngoài tốc độ bit còn một tham số để mô tả tốc độ truyền là tốc độ Baud. Tốc độ Baud liên quan đến tốc độ mà phần tử mã hóa dữ liệu được sử dụng để diễn tả bit được truyền còn tốc độ bit thì phản ánh tốc độ thực tế mà các bit được truyền. Vì một phần tử báo hiệu sự mã hóa một bit nên khi đó hai tốc độ bit và tốc độ baud là phải đồng nhất.

Một số tốc độ Baud thường dùng: 50, 75, 110, 150, 300, 600, 1200, 2400, 4800, 9600, 19200, 28800, 38400, 56000, 115200 ... Trong thiết bị họ thường dùng tốc độ là 19200.

Khi sử dụng chuẩn nối tiếp RS232 thì yêu cầu khi sử dụng chuẩn là thời gian chuyển mức logic không vượt quá 4% thời gian truyền 1 bit. Do vậy, nếu tốc độ bit càng cao thì thời gian truyền 1 bit càng nhỏ thì thời gian chuyển mức logic càng phải nhỏ. Điều này làm giới hạn tốc Baud và khoảng cách truyền.

#### + *Bit chẵn lẻ hay Parity bit*

Đây là bit kiểm tra lỗi trên đường truyền. Thực chất của quá trình kiểm tra lỗi khi truyền dữ liệu là bổ sung thêm dữ liệu được truyền để tìm ra hoặc sửa một số lỗi trong quá trình truyền. Do đó trong chuẩn RS232 sử dụng một kỹ thuật kiểm tra chẵn lẻ.

Một bit chẵn lẻ được bổ sung vào dữ liệu được truyền để cho thấy số lượng các bit "1" được gửi trong một khung truyền là chẵn hay lẻ.

Một Parity bit chỉ có thể tìm ra một số lẻ các lỗi như 1,3,5,7,9... Nếu như một bit chẵn được mắc lỗi thì Parity bit sẽ trùng giá trị với trường hợp không mắc lỗi vì thế không phát hiện ra lỗi. Do đó trong kỹ thuật mã hóa lỗi này không được sử dụng trong trường hợp có khả năng một vài bit bị mắc lỗi.

### 3.2. Một số chuẩn ghép nối

RS232 vẫn còn một số nhược điểm: Khoảng cách truyền còn hạn chế (15 m), tốc độ truyền chưa cao (100 Kbps). Vì vậy có một số tiêu chuẩn đã được ra đời nhằm khắc phục những nhược điểm do chuẩn RS232 để lại. Các tiêu chuẩn đó là RS422, RS423A, RS485, tất cả các chuẩn này đều bắt đầu bằng RS.

#### 3.2.1. RS422

Là tiêu chuẩn đầu tiên được cải tiến từ tiêu chuẩn RS232C trong đó cả 2 đặc điểm khoảng cách và tốc độ truyền đều được cải tiến cụ thể: RS422 cho phép tăng tốc độ cỡ vài Mbit/s. Các vi mạch thông thường được sử dụng cho chuẩn RS232C như: MAX232 (Maxim), LT232 (Linear Technology) đều không thể sử dụng cho chuẩn này. Ngoài ra khoảng cách truyền cũng được cải thiện từ 15m -> 1200m, tất nhiên khi đó phải chấp nhận một tốc độ truyền vừa phải cỡ như 90 Kbps.

Cải tiến:

Về mặt bản chất vẫn truyền dữ liệu theo kiểu nối tiếp nhưng cách truyền thay đổi. Cụ thể là mức logic của tín hiệu không được tính theo đường Mas (0v) mà được tính theo điện áp vi sai (chênh lệch điện áp giữa 2 đường dẫn) khi đó bộ đệm đường dẫn của RS422 tạo ra một điện áp vi sai  $\sim 5v$  và truyền trên 2 sợi dây xoắn, sau đó ở bên nhận sẽ có một bộ phối hợp mức để đo vi sai điện áp để phân biệt giữa mức HIGH và mức LOW.

RS422 quy định một cặp tín hiệu được sử dụng để truyền chứ không phải một tín hiệu như trong RS232, cặp này bao gồm: Tín hiệu không đảo kí hiệu (A) và tín hiệu đảo (B). Chênh lệch điện áp giữa tín hiệu A và B khoảng 2-6V và sẽ xảy ra 2 trường hợp:

UA âm so với UB -> A có mức logic 1(mức dẫu)

UA dương so với UB -> A có mức logic 0(mức trống)

Các giá trị điện áp này kết hợp với các thông số đã được quy định trở kháng đường cáp sẽ đặt ra một giới hạn thực tế cho độ dài của đường truyền cực đại. Tính toán cho thấy khoảng cách có thể đạt đến 1200m và đây là khoảng cách lí tưởng đối với rất nhiều ứng dụng. Trong trường hợp sử dụng đường truyền ngắn có thể nâng tốc độ truyền lên 10 Mbps. Nguyên nhân xa của việc cải thiện được khoảng cách truyền là tín hiệu nhiều khi ảnh hưởng đến một đường tín hiệu cũng đồng thời gây ảnh hưởng đến đường tín hiệu kia và như vậy khi so sánh với nhau sẽ bị bù trừ. Vì vậy để thoả mãn được điều kiện này thì hai đường tín hiệu phải nằm rất sát nhau. Trên thực tế người ta giải quyết bằng cách xoắn hai sợi dây lại với nhau. Khi đó không chỉ độ bền cơ học của cáp được tăng lên mà ảnh hưởng của nhiễu cũng được bù trừ thỏa đáng.

### **3.2.2. Chuẩn RS423A**

Đặc điểm của chuẩn này là người ta sử dụng điện áp không cân bằng(không đối xứng). Nó chỉ sử dụng một đường dẫn để truyền giống như RS232 nhưng thông số điện đã được cải tiến để có tốc độ cao hơn và đường truyền dài hơn, cụ thể là giảm điện áp xuống chỉ còn 0->6v trong đó 0v~HIGH(1) 6v~LOW(0). Các tín hiệu của chuẩn RS232C thường được sử dụng để tạo ra tín hiệu điều khiển trên cùng một cáp truyền trong khi các tín hiệu của RS423A được sử dụng cho cả dữ liệu và cho cả việc phân chia khoảng thời gian.

### **3.2.3. Chuẩn RS485**

Đây là kết quả trực tiếp của việc cải tiến RS422 theo hướng cho nhiều thành viên có thể tham gia vào cuộc truyền. Ta đã biết các chuẩn vừa trình bày ở trên chỉ cho phép hai thành viên tham gia truyền dữ liệu với nhau, trong trường hợp muốn đưa thêm thành viên thứ ba vào thì giải pháp về phần cứng rất phức tạp trong khi nhiều ứng dụng thực tế cần có khả năng truyền dữ liệu giữa một số thành viên với nhau. Có thể nói việc đưa ra chuẩn này thực chất là cho phép hình thành một bus dữ liệu trên đó có nhiều hơn hai thành viên tham gia, cho đến nay con số có thể đạt đến 32. Về mặt giải pháp kĩ thuật thì việc đưa chuẩn nối tiếp trở thành một bus đòi hỏi phải có sự hỗ trợ của các vi mạch 3 trạng thái (HIGH, LOW, điện trở cao). Mức logic 1 được ấn định tương tự RS422 cụ thể từ -1,5->-6V, mức logic 0 nằm trong khoảng 1,5->6V.

Bộ đệm đường dẫn của chuẩn này cũng tạo ra một điện áp vi sai 5V trên hai đường dẫn /truyền dữ liệu và mức điện áp cũng được tính theo phương pháp vi sai. Chính nhờ cải tiến này mà việc ghép nối nhiều thiết bị đo lường (máy tính) với nhau trở nên hết sức đơn giản.

Ứng dụng của RS485

Một thí dụ sử dụng RS485 là theo dõi lượng hàng xuất nhập ở các kho xăng dầu. Các bể có thể chứa nhiều loại xăng khác nhau, tổng cộng có thể đến 32 bể chứa được quản lí đồng thời.

Người ta quản lí bằng cách mỗi bể đưa vào một đầu đo và gắn cho đầu đo đó một địa chỉ mà thực chất là một mã số. Các thông tin về đầu đo sẽ được chuyển qua RS485 vào máy tính. Tại bộ xử lí máy tính sẽ đọc các số liệu cùng với các mã số kèm theo. Trên cơ sở đó sẽ biết ngay là số lượng đo lường được gửi từ bể nào về, các số liệu này được đem kết hợp với kích thước hình học, nhiệt độ bể, nhiệt độ môi trường từ đó hình thành một cơ sở dữ liệu cho phép quản lí lượng xăng dầu đang được bảo quản trong kho, lượng xuất nhập trong ngày, tuần, tháng.

### 3.2.4. So sánh các chuẩn ghép nối

Giao diện nối tiếp RS232C(V.24) là một giao diện điện áp thuần túy trong đó các mức logic HIGH hoặc LOW đều là các mức điện áp nằm trong khoảng 3->12V hoặc -3->-12V là các mức logic đọc được và được tính so với một đường mas (GND) chung. Ưu điểm đặc biệt của nó là việc xử lý đơn giản theo nghĩa tìm lỗi hoặc viết phần mềm điều khiển rất nhanh.

Chính vì vậy việc ghép nối qua cổng này được áp dụng rất phổ biến và khả năng giao tiếp cũng rất lớn theo nghĩa là rất nhiều loại thiết bị ngoại vi của nhiều hãng khác nhau với nhiều mẫu mã khác nhau đều có thể ghép nối được với cổng này. Nhược điểm của giao diện này trước hết là khoảng cách truyền còn hạn chế và tốc độ truyền dữ liệu chưa cao.

Các giao diện RS422 và RS485 đều là các giao diện vi sai điện áp đối xứng. Trong trường hợp này việc truyền dữ liệu được tiến hành trên đường dẫn vi sai điện áp và do vậy hai đường dẫn được xoắn với nhau thành cặp khác hẳn với trường hợp của RS232 trong đó mức điện áp trên đường truyền và đường nhận được tính so với đường mas chung. Vì vậy, thông tin nhận được là từ điện áp vi sai giữa hai đường truyền và trên hai dây dẫn chứ không phải là từ giá trị điện áp tuyệt đối tính so với điện thế của đường mas chung. Do cách truyền này mà nhiễu điện từ nói chung không ảnh hưởng đến quá trình truyền dữ liệu. Kết quả là có thể tăng tốc độ truyền lên tới 10 Mbps.

Bảng 3.1. Bảng so sánh các chuẩn ghép nối.

|                   | <b>V24/RS232C</b> | <b>RS422</b>     | <b>RS 485</b>                    |
|-------------------|-------------------|------------------|----------------------------------|
| Bản chất liên kết | Điểm-điểm         | Điểm-điểm        | bus                              |
| Loại giao diện    | Điện áp ko đối    | Điện áp đối xứng | Vi phân điện áp đối xứng với khả |

|  | V24/RS232C               | RS422                | RS 485                     |
|--|--------------------------|----------------------|----------------------------|
|  | xúng                     |                      | năng 3 trạng thái          |
| Khả năng chống nhiễu                                   | Thấp                     | Cao                  | Cao                        |
| Số bộ đệm cực đại                                      | 1                        | 1                    | 32                         |
| Số bộ nhận cực đại                                     | 1                        | 1                    | 32                         |
| Độ dài cực đại của đường truyền                        | 15 m                     | 1200 m               | 1200m                      |
| Tốc độ truyền cực đại                                  | 100 kbaud                | 10 MBaud             | 10 MBaud                   |
| Điện áp lối ra của bộ đệm:<br>- Không tải.<br>- Có tải | $\pm 15V$<br>$\pm 5V$    | $\pm 5V$<br>$\pm 2V$ | $\pm 5V$<br>$\pm 1.5V$     |
| Điện trở lối ra của bộ đệm                             | $3k\Omega \div 7k\Omega$ | 100 $\Omega$         | $54k\Omega \div 60k\Omega$ |
| Điện trở lối vào của bộ đệm                            | $3k\Omega \div 7k\Omega$ | $>4k\Omega$          | $>12k\Omega$               |
| Độ nhảy của bộ nhận                                    | $\pm 3V$                 | $\pm 200mV$          | $\pm 200mV$                |

**Nhận xét:**

Giữa RS422 và RS 485 có một sự khác nhau về cơ bản đó là: Chuẩn RS422 thực hiện chức năng liên kết điểm-điểm, trong khi bộ đệm của giao diện RS485 có thể được chuyển mạch trong trạng thái điện trở cao, vì vậy cho phép hình thành liên kết bus.

Trong một số trường hợp người ta phải hạn chế ảnh hưởng giữa các thành viên của khối ghép nối đặc biệt là trong trường hợp đường truyền dài, khi đó người ta phải thực hiện cách li về điện giữa hai thành viên bằng cách đưa vào bộ ghép nối quang. Trong bộ ghép nối quang bao gồm hai linh kiện: Diot phát quang LED (Light Emitting Diode) và Transistor quang. Khi có dòng điện chạy qua theo hướng thuận thì diot sẽ phát ra ánh sáng và dội vào cực gốc của transistor quang làm cho nó chuyển sang trạng thái dẫn (có dòng điện chạy qua). Như vậy, việc có dòng điện chạy qua diot bao giờ



cũng kéo theo dòng điện đi qua transistor, nhờ vậy mà người ta có thể dùng bộ ghép nối quang vào mục đích truyền dữ liệu. Ưu điểm của nó là giữa bên truyền và bên nhận được cách li về điện, vì vậy nếu có sự cố xảy ra một bên thì sẽ không kéo theo sự cố ở bên kia.

### 3.3. Lập trình cho cổng RS-232

Dữ liệu được gửi đi dọc theo đường truyền TxD (Transmit Data) và nhận bằng đường truyền RxD (Receive Data) với đường trở về đất chung.

Các đường dẫn khác được sử dụng để bắt tay (handshaking) và chia thành 2 loại vào và ra:

Các đường dẫn bắt tay lối vào:

*RI (Ring Indicate): Báo chuông.*

*DSR (Data Set Ready): Dữ liệu sẵn sàng.*

*CTS (Clear to Send): Xóa để truyền*

Các đường dẫn bắt tay lối ra:

*RTS (Request to Send): Yêu cầu truyền.*

*DTR (Data Terminal Ready): Đầu cuối dữ liệu sẵn sàng.*

Đóng vai trò chủ đạo trong quá trình truyền thông nối tiếp là IC 8250.

#### 3.3.1. Bộ truyền nhận không đồng bộ vạn năng 8250

UART 8250 (Universal Asynchronous Receiver/Transmitter) đảm nhiệm các chức năng chính:

- Chuyển đổi tín hiệu song song từ CPU thành tín hiệu nối tiếp để truyền ra khỏi máy tính và chuyển đổi tín hiệu nối tiếp từ ngoại vi thành song song để chuyển tới CPU.
- Bổ sung các bit: Start, chẵn/lẻ và Stop vào mỗi ký tự để hình thành khung truyền, đồng thời tách các bit đó ra từ khung truyền nhận được.
- Duy trì trạng thái các bit riêng biệt được phát ra với tốc độ truyền dữ liệu thích hợp, tính toán các bit chẵn/lẻ trên từng ký tự nhận và truyền đồng thời thông báo cho các hệ thống biết bất kỳ sai sót đã được phát hiện.
- Thiết lập các tín hiệu bắt tay phần cứng thích hợp và thông báo trạng thái của các mạch đó.

UART 8250 là chip cơ bản, hiện nay các chip thông dụng là UART 16450, 16550A, 16750... Cấu trúc và chức năng của chúng dựa trên nền tảng của 8250

Lập trình cho 8250 được thực hiện bằng cách đọc và viết các thanh ghi của nó. Các thanh ghi đó là:

| <u>Base Address</u> | <u>Mode</u> | <u>Name</u>                       |     |
|---------------------|-------------|-----------------------------------|-----|
| +0 (DLAB=0)         | Write       | Transmitter Holding Buffer        | THR |
| +0 (DLAB=0)         | Read        | Receiver Buffer                   | RBR |
| +0 (DLAB=1)         | Rd/Wr       | Divisor Latch Low Byte            | DLL |
| +1 (DLAB=0)         | Rd/Wr       | Interrupt Enable Register         | IER |
| +1 (DLAB=1)         | Rd/Wr       | Divisor Latch High Byte           | DLM |
| +2                  | Read        | Interrupt Identification Register | IIR |
| +2                  | Write       | FIFO Control Register             | FCR |
| +3                  | Rd/Wr       | Line Control Register             | LCR |
| +4                  | Rd/Wr       | Modem Control Register            | MCR |
| +5                  | Read        | Line Status Register              | LSR |
| +6                  | Read        | Modem Status Register             | MSR |
| +7                  | Rd/Wr       | Scratch Register                  | SCR |

PC có 4 cổng nối tiếp là COM1 - COM4 được phân biệt qua các vị trí địa chỉ trong vùng vào/ ra của PC và các số ngắt tương ứng. Địa chỉ đầu tiên của UART (của thanh ghi đệm truyền / nhận) gọi là địa chỉ cơ sở.

Thông thường địa chỉ cơ sở và IRQ được quy định nhờ các cầu nối (jumper) trên card vào/ra hoặc trên bản mạch chính.

| <u>Name</u> | <u>Port address</u> | <u>IRQ</u> |
|-------------|---------------------|------------|
| COM 1       | 3F8h                | IRQ4       |
| COM 2       | 2F8h                | IRQ3       |
| COM 3       | 3E8h                | IRQ4       |
| COM 4       | 2E8h                | IRQ3       |

Ta thấy COM 1, 3 và COM 2, 4 đều dùng chung một kênh ngắt, do vậy ở cùng 1 thời điểm chỉ có thể sử dụng 1 phần mềm cho ngắt của 1 trong 2 cổng và chỉ có thể sử dụng nhiều hơn 2 cổng nối tiếp khi trong chương trình không sử dụng ngắt

10 thanh ghi trong UART 8250 chia ra làm 3 loại:

- Thanh ghi điều khiển (Control Register): dùng để nhận và thực hiện các lệnh từ CPU.
- Thanh ghi trạng thái (Status Register): dùng để thông báo cho CPU biết về trạng thái của UART hay UART đang làm gì?
- Thanh ghi đệm (Buffer Register): dùng để giữ ký tự trong lúc truyền hoặc xử lý.

### 3.3.2. Các thanh ghi của UART 8250

Bảng 3.2. Bảng mô tả các thanh ghi của UART.

| DLA<br>B | A<br>2 | A1 | A0 | Đọc/Ghi | Thanh ghi                       | Địa chỉ      |           |
|----------|--------|----|----|---------|---------------------------------|--------------|-----------|
| 0        | 0      | 0  | 0  | Đọc/Ghi | Đệm thu (RBR) và đệm phát (THR) | 3F8<br>(2F8) | đ/c cơ sở |
| 0        | 0      | 0  | 1  | Đọc/Ghi | Cho phép yêu cầu ngắt (IER)     | 3F9<br>(2F9) | ĐCCS+1    |
| 1        | 0      | 0  | 0  | Đọc/Ghi | Chốt chia phần thấp (LSB)       | 3F8<br>(2F8) | ĐCCS      |
| 1        | 0      | 0  | 1  | Đọc     | Chốt chia phần cao (MSB)        | 3F9<br>(2F9) | ĐCCS+1    |
| x        | 0      | 1  | 0  | Đọc/Ghi | Nhận dạng ngắt (IIR)            | 3FA<br>(2FA) | ĐCCS+2    |
| x        | 0      | 1  | 1  | Đọc/Ghi | Điều khiển dòng (LCR)           | 3FB<br>(2FB) | ĐCCS+3    |
| x        | 1      | 0  | 0  | Đọc/Ghi | Điều khiển MODEM (MC)           | 3FC<br>(2FC) | ĐCCS+4    |
| x        | 1      | 0  | 1  | Đọc/Ghi | Trạng thái dòng (LSR)           | 3FD<br>(2FD) | ĐCCS+5    |
| x        | 1      | 1  | 0  | Đọc/Ghi | Trạng thái modem (MSR)          | 3FE<br>(2FE) | ĐCCS+6    |
| x        | 1      | 1  | 1  | Đọc/Ghi | Nhớ nháp (DM)                   | 3FF<br>(2FF) | ĐCCS+7    |

Mỗi thanh ghi trong 8250 tương ứng với một địa chỉ cổng, trong đó có hai thanh ghi đặc biệt, nó có chức năng có thể thay thế tùy thuộc giá trị bit DLAB (divisor latch access bit – Bit truy nhập chốt – DLAB là bit D7 của thanh ghi dạng số liệu)

- Nếu DLAB = 1 thì thanh ghi thực hiện chức năng chốt chia phần cao và phần thấp.
- Nếu DLAB = 0 thì hai thanh ghi dùng để đệm và nhận dữ liệu, và IER.

Thanh ghi giữ (holding register): Thanh ghi này thực chất là các bộ đệm được chuyên dùng để giữ một ký tự, ký tự này hoặc đã được nhận nhưng chưa được đọc hoặc đã gửi đến cổng nối tiếp nhưng chưa được truyền đi.

#### 3.3.2.1. Thanh ghi đệm thu (Receiver Buffer Register – RBR)

Thanh ghi đệm thu ứng với DLAB = 0, thanh ghi có địa chỉ là 3F8h (COM1) hay 2F8h (COM2).

Khi 8250 nhận được ký tự qua chân SIN (chân 10), ký tự được chuyển vào thanh ghi dịch, tại đây nó được tháo khung (các bit Start, Stop, Parity) và nạp song song vào thanh ghi đệm thu. CPU chỉ đọc dữ liệu trong thanh ghi này vì nó thao tác với BUS dữ liệu song song tối thiểu 1 byte một lần.

### 3.3.2.2. Thanh ghi đệm phát (Transmitter Holding Register – THR)

Thanh ghi đệm phát ứng với DLAB = 0, thanh ghi có địa chỉ là 3F8h (COM1) hay 2F8h (COM2).

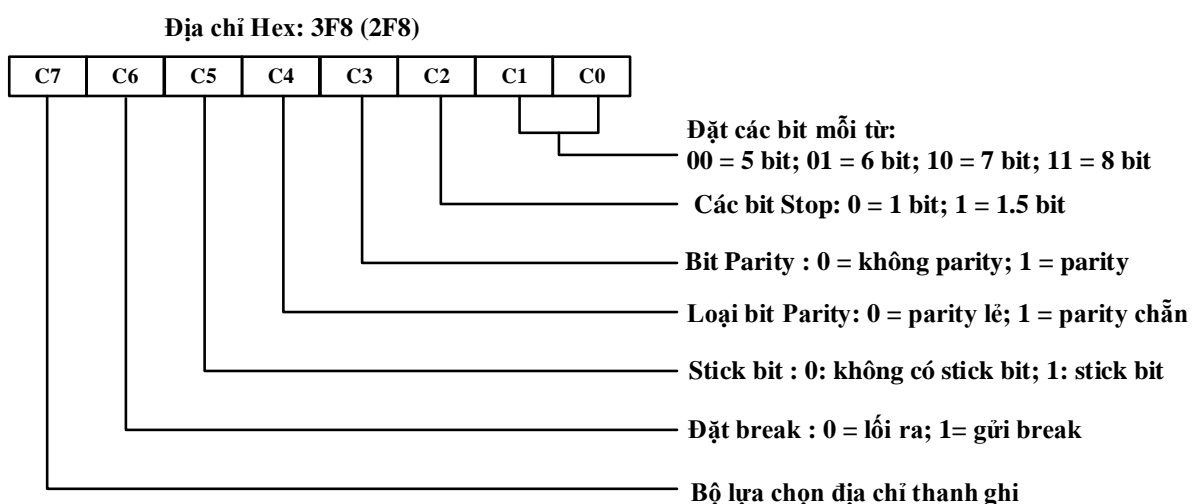
Ký tự cần phát đi phải được ghi từ thanh ghi vào và thanh ghi này nằm chờ (holding) cho đến khi ký tự trước nó được phát đi, sau đó nó đưa vào thanh ghi dịch của bộ phát. Tại thanh ghi dịch này nó được tháo khung và đưa ra từng bit một vào chân SOU (chân 11) của 8250. Dữ liệu tại đầu ra ở dạng nối tiếp.

### 3.3.2.3. Thanh ghi điều khiển đường truyền LCR (Line Control Register)-DLAB

Thanh ghi này lưu giữ các tham số được người lập trình thiết lập và xác định khuôn mẫu khung truyền của cuộc trao đổi thông tin.

Các thông tin được lưu giữ trong thanh ghi: số các bit dữ liệu, số lượng bit Stop và kiểu chẵn/lẻ.

Chức năng các bit của thanh ghi LCR:



Hình 3.1. Sơ đồ định dạng thanh ghi điều khiển đường truyền LCR

- Bit C0, C1 chỉ rõ số các bit dữ liệu trong từng ký tự được truyền.
- Bit C2 chỉ rõ số các bit Stop trong mỗi khung truyền.
- Bit C3 quy định có sử dụng bit chẵn/lẻ ko?
- Bit C4 Kiểu chẵn/lẻ đã được chọn.

- Bit C5: nếu như C3 và C5 = 1 thì khi bộ truyền xuất ra 1 ký tự, bộ nhận tại chỗ (local) sẽ phát hiện như là 1 giá trị logic 1.
- Bit C6 được quy định là bit dừng. Bit C6 = 1 thì nó buộc SOUT (Serial out hay TxD) = 0 cho đến khi 1 giá trị 0 được cất giữ vào bit 6. Nhờ bit này mà máy tính có thể báo hiệu cho thiết bị đầu cuối biết là đã được nối như 1 phần của hệ thống truyền thông.
- Bit C7 = 1 để truy nhập các chốt số chia. Các chốt này là những thanh ghi cất giữ số chia đối với tín hiệu clock, số này quy định tốc độ baud của hệ truyền thông nối tiếp. Mỗi lần tốc độ baud được đặt lại thì bit C7 = 0.

#### 3.3.2.4. Thanh ghi tốc độ baud

Thanh này không lưu giữ giá trị của tốc độ baud mà chỉ chứa số chia 16 bit (2 thanh ghi 8 bit), số này suy ra tốc độ baud.

Tốc độ baud được đặt bằng cách nạp số chia 16 bit đặt ở địa chỉ bộ đệm TX/RX.

Giá trị cất giữ trên 2 thanh ghi này phụ thuộc vào tần số của bộ cộng hưởng thạch anh của 8250 (chân 16, 17).

Tần số là 18 432MHz; 24 576 MHz; 3072MHz

Để đạt tốc độ truyền mong muốn, giá trị tính toán được đặt trong hai thanh ghi được gọi là thanh ghi chốt chia tốc độ được tính theo công thức:

$$\text{Bộ chia} = \frac{\text{Tần số nhịp chuẩn}}{16 \times \text{tốc độ baud mong muốn}}$$

Tần số nhịp chuẩn do đồng hồ thạch anh của 8250 phát ra, có giá trị 18432 MHz.

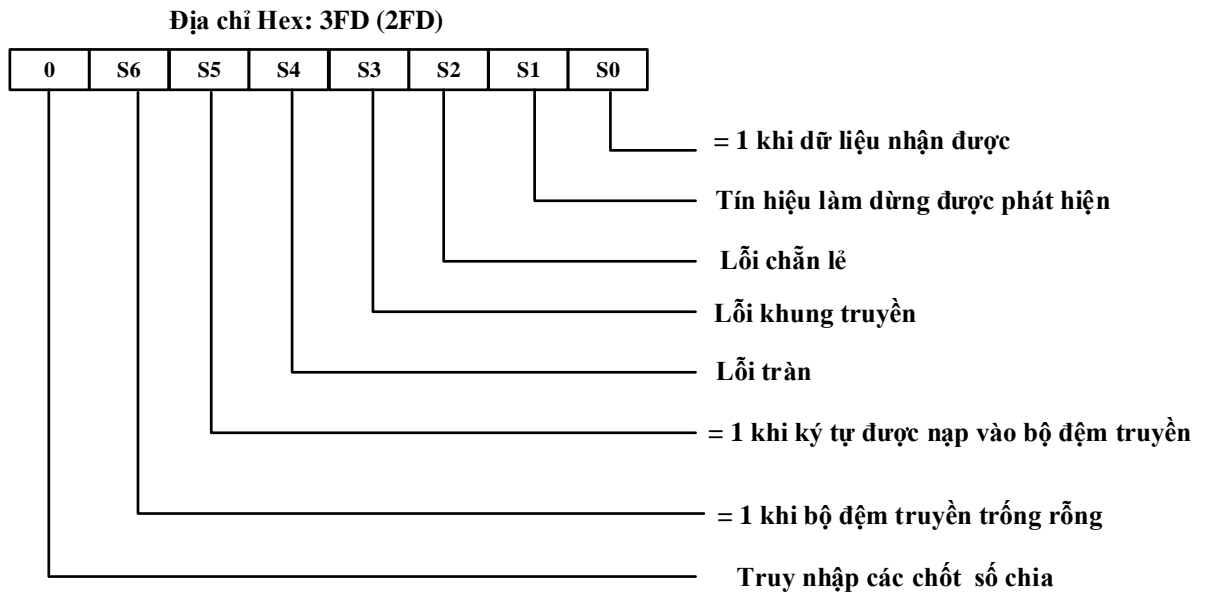
Tốc độ tối đa là 115200 baud. Dưới đây là bảng chuyển đổi giữa giá trị baud và số chia.

| Baud | Số chia | Baud  | Số chia |
|------|---------|-------|---------|
| 50   | 0900    | 1200  | 0060    |
| 110  | 0417    | 2400  | 0030    |
| 150  | 0300    | 4800  | 0018    |
| 300  | 0180    | 9600  | 0018    |
| 600  | 00C0    | 11520 | 0001    |

Nhận xét: giá trị trong thanh chốt chia cần 1.5 byte để lưu tất cả. Để thuận tiện người ta sẽ dùng 2 byte và ghi vào hai thanh ghi là LSB và MSB.

#### 3.3.2.5. Thanh ghi trạng thái đường truyền LSR- line Status Register

Gồm 8 bit chứa thông tin về quá trình truyền dữ liệu qua cổng nối tiếp cần cung cấp cho bộ VXL.



Hình 3.2. Sơ đồ định dạng thanh ghi trạng thái đường truyền LSR

Bit S0: thông báo cho biết dữ liệu đã nhận được. Bit 0 = 1: dữ liệu đã được nhận và sẵn sàng để bộ xử lý đọc.

Bit S1 = 1: ký tự nhận trước đó đã bị mất vì nó ko được đọc trước khi 1 ký tự mới được nhận nên ký tự mới đã ghi đè lên ký tự trước.

Bit S2 = 1: ký tự được nhận có tính chẵn lẻ sai. Khi thanh ghi trạng thái đường truyền LSR được đọc thì bit này = 0.

Bit S3 = 1: có lỗi khung truyền, (khi ký tự đã nhận có bit Stop ko hợp lệ).

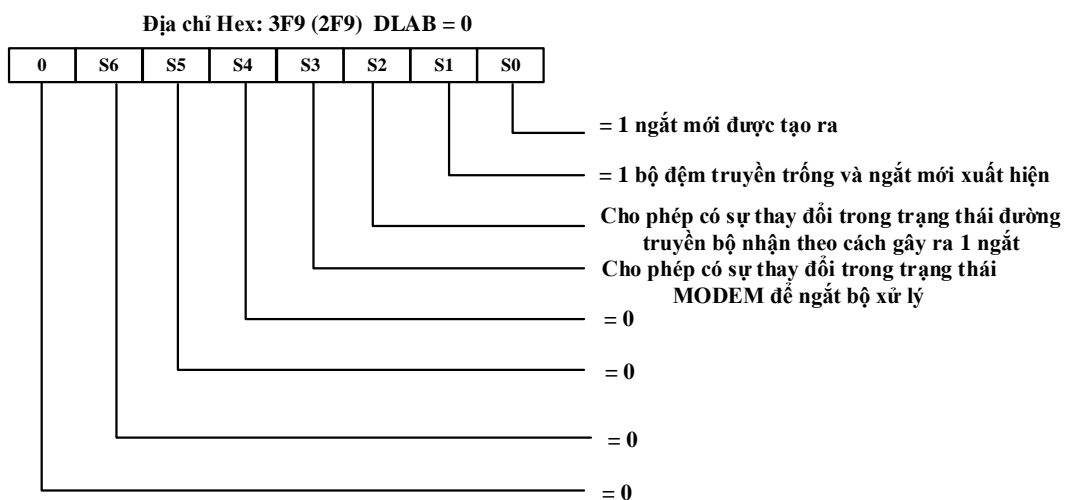
Bit S4 là bit gián đoạn ngắt (break interrupt bit)

Khi đường dây ở trạng thái Mark (ứng với mức logic 1). Bit Start sẽ có mức logic 0. Sau đó từng bit data sẽ được gửi lên đường dây. Bit Stop (logic 1) sau đó được gán vào để kết thúc truyền. Sau bit Stop là bit logic 0, điều này có nghĩa đây là bit Start của một dữ liệu mới.

Nếu không có thêm dữ liệu truyền đi, đường dây phải ở trạng thái rỗi tương ứng mức logic 1. Do đó, nếu đường dây giữ trạng thái 0 sau bit Stop trong một thời gian bằng độ dài 1 từ thì tín hiệu Break sẽ được tạo ra.

Tín hiệu Break là tín hiệu báo cho CPU hay MODEM biết ký tự truyền đã xòn và đang tạm ngắt việc truyền.

### 3.3.2.6. Thanh ghi cho phép ngắt- IER : Interrupt Enable Register



Hình 3.3. Sơ đồ định dạng thanh ghi cho phép ngắt IER

### 3.3.2.7. Thanh ghi nhận dạng ngắt – IIR: Interrupt Identification Register

Thanh này chứa đựng mã, nhận dạng điều kiện (ngắt) nào đang yêu cầu chú ý. Giữa các ngắt có phân cấp mức độ ưu tiên.

Các bit D7÷D3 luôn đặt bằng 0. D2, D1: mã hóa các yêu cầu ngắt có mức ưu tiên cao nhất đang chờ phục vụ.

| D1 | D2 | Mức ưu tiên | Nhận dạng ngắt                                       |
|----|----|-------------|--|
| 0  | 0  | 4           | Trạng thái MODEM → chương trình đọc trạng thái MODEM |
| 0  | 1  | 3           | Thanh ghi đệm phát rỗng                              |
| 1  | 0  | 2           | Thanh ghi đệm thu đầy, số liệu đã sẵn sàng           |
| 1  | 1  | 1           | Trạng thái dòng đã thay đổi                          |

D0 = 0: có yêu cầu ngắt.

D0 = 1: không có yêu cầu ngắt.

Từ các nhận dạng ngắt trên, VXL sẽ chuyển đến các địa chỉ chứa các chương trình con phục vụ ngắt. VXL sẽ xóa các bit D0, D1, D2 về giá trị 0 sau các thao tác:

- Đọc thanh ghi trạng thái chuỗi.
- Đọc dữ liệu từ thanh ghi đệm thu.
- Ghi vào bộ phát hoặc đọc thanh ghi nhận diện ngắt.
- Đọc trạng thái thanh ghi thao tác MODEM (RS232-C)

### 3.3.2.8. Thanh ghi điều khiển MODEM (MODEM Control Register - MCR)

Địa chỉ thanh ghi 3FCh. Thanh ghi này còn gọi là thanh ghi điều khiển các tín hiệu ra của MODEM vì nó cho phép điều khiển các tín hiệu tại các chân DTR (chân 33) và chân DTS (chân 32) của 8250.

Bảng 3.3. Bảng mô tả chức năng của thanh ghi điều khiển MODEM

| Bit | Chức năng   |
|-----|---|
| 7-5 | Dữ trữ, luôn được thiết lập về 0  |
| 4   | = 1: cho phép 8250 làm việc ở chế độ nối vòng cục bộ để kiểm tra các chức năng.<br>= 0: làm việc ở chế độ thường.   |
| 3   | = 1: kích hoạt OUT2   |
| 2   | = 1: kích hoạt OUT1   |
| 1   | = 1: tín hiệu tại chân /RTS của 8250 được chuyển về mức 0, máy tính phát chuyển tín hiệu /RTS tới MODEM để báo hiệu nó đã sẵn sàng phát dữ liệu.  |
| 0   | =1: tín hiệu tại chân /DTR của 8250 được chuyển về mức 0, máy tính phát chuyển tín hiệu /DTR tới MODEM (hoặc máy tính) để báo hiệu nó đã sẵn sàng làm việc (tín hiệu gửi tới chân số 4 của DB9 hay chân 20 của DB25). |

### 3.3.2.9. Thanh ghi trạng thái MODEM (MODEM Status Register).

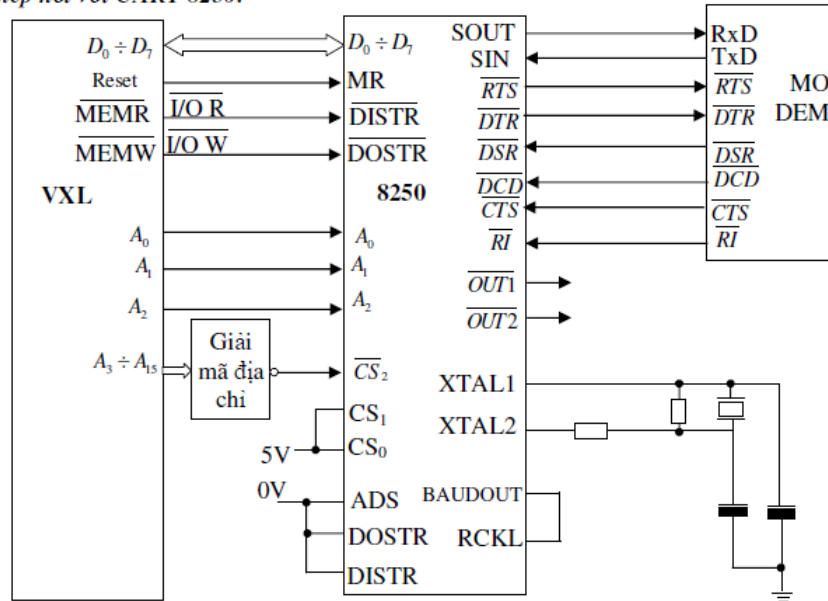
Địa chỉ thanh ghi 3FEh. Thanh ghi này còn được gọi là thanh ghi trạng thái vào từ RS232C vì nó cho biết trạng thái hiện thời của các tín hiệu điều khiển MODEM.

Bảng 3.4. Bảng mô tả chức năng của thanh ghi trạng thái MODEM

| Bit | Chức năng   |
|-----|---|
| 7   | = 1: DCD đang hoạt động.  |
| 6   | = 1: RI đang hoạt động.   |
| 5   | = 1: MODEM (hoặc máy tính) gửi DSR (Data Set Ready) về máy tính để cho biết sẵn sàng nhận dữ liệu (qua chân 6 của DB9 và DB25).           |
| 4   | = 1: MODEM (hoặc máy tính) gửi CTS (Clear To Send) về máy tính để cho biết sẵn sàng nhận dữ liệu (qua chân 8 của DB9 và chân 5 của DB25). |
| 3   | = 1: D7 vừa đổi trạng thái.   |
| 2   | = 1: D6 vừa đổi trạng thái.   |
| 1   | = 1: D5 vừa đổi trạng thái.   |
| 0   | = 1: D4 vừa đổi trạng thái.   |



Ghép nối với UART 8250:



Hình 3.4. Sơ đồ ghép nối với 8250

### 3.3.3. Lập trình cho cổng RS-232

#### *Lưu đồ thuật toán:*

- Khởi phát vi mạch theo trình tự sau:
- Ghi vào thanh ghi dạng số liệu theo:
  - o D7 = DLAB = 1 để chuẩn bị ghi chốt cho bộ chia tốc độ.
  - o Khung tin với số bit Stop.
  - o Số bit của tin.
- Ghi giá trị bộ chia tần số vào các thanh ghi chốt chia LSB, MSB tùy theo tốc độ baud.
- Ghi các phép yêu cầu ngắt vào thanh ghi yêu cầu ngắt.

#### *Phát số liệu nối tiếp:*

- Đọc thanh ghi nhận dạng ngắt để biết bộ đệm rỗng, có thể phát tin.
- Ghi vào thanh ghi điều khiển MODEM để kiểm tra các bit DSR (bit D0, D1) điều khiển MODEM chuẩn bị phát.
- Đọc thanh ghi trạng thái MODEM để kiểm tra các bit DSR (D5), RI (D6), DCD (D7) xem đã chuẩn bị phát chưa? (giá trị chúng = 1).
- Đọc thanh ghi trạng thái dòng để xem có sai số không và hai thanh truyền và đệm có trống không? (để đưa tin ra)
- Ghi tin ra vào thanh ghi đếm phát từ máy tính.
- Ghi lệnh RTS (D1 = 1) vào thanh ghi điều khiển MODEM để điều khiển phát số liệu.

### ***Nhận số liệu nối tiếp.***

- Ghi lệnh DTR (D0 = 1) vào thanh ghi điều khiển MODEM.
- Đọc trạng thái MODEM DSR, RI, DCD ở thanh ghi trạng thái MODEM.
- Đọc thanh ghi trạng thái dòng để biết đã có số liệu thu chưa (D0 = 1); hoặc đọc thanh ghi nhận diện ngắt để biết thêm số liệu thu.
- Đọc số liệu vào từ thanh ghi đệm số liệu vào.

#### ***3.3.3.1. Thủ tục trao đổi dữ liệu nối tiếp***

##### ***Thủ tục phát TxD (Tranceiver Data):***

Thiết bị đầu cuối gửi tín hiệu /DTR (Data Terminal Ready) ở mức 0 đến MODEM báo hiệu đã sẵn sàng. MODEM trả lời thiết bị đầu cuối bằng tín hiệu /DSR (Date Set Ready) ở mức 0.

Nếu thiết bị đầu cuối có 1 ký tự sẵn sàng gửi đi nó gửi /RST (Request To Send) đến MODEM. MODEM gửi tín hiệu CD (Carrier Detect) cho thiết bị đầu cuối để báo hiệu liên lạc đã thông.

Khi MODEM sẵn sàng phát số liệu trên đường dây thì nó phát xung và tín hiệu /CTS (Clear To Send) đến thiết bị đầu cuối. Thiết bị đầu cuối gửi các ký tự số liệu cho MODEM

Sau đó thiết bị đầu cuối nâng tín hiệu /RST lên mức cao để báo cho MODEM biết là đã phát xong. MODEM trả lời bằng cách gửi tín hiệu /CTS ở mức cao để báo đã hoàn thành việc truyền tin.

##### ***Thủ tục nhận dữ liệu RxD (Receiver Data).***

Thiết bị đầu cuối phía thu gửi /DTR mức thấp cho MODEM báo nó đã sẵn sàng nhận. MODEM thu gửi tín hiệu trả lời bằng /DSR.

MODEM thu nhận tín hiệu CD từ đường dây và kích gửi tín hiệu nhịp MODEM cho thiết bị đầu cuối. Thiết bị đầu cuối phát tín hiệu /RTS.

MODEM gửi tín hiệu /CTS mức thấp cho thiết bị đầu cuối để báo MODEM sẵn sàng nhận tin. MODEM nhận TxD trên đường dây, rồi điều chế thành bit 0/1 và lần lượt gửi chuỗi tín hiệu RxD cho thiết bị đầu cuối.

Khi thu xong, thiết bị đầu cuối nâng tín hiệu /RTS lên cao báo cho MODEM là đã thu xong. MODEM trả lời bằng việc nâng tín hiệu /CTS lên cao để báo đã nhận xong.

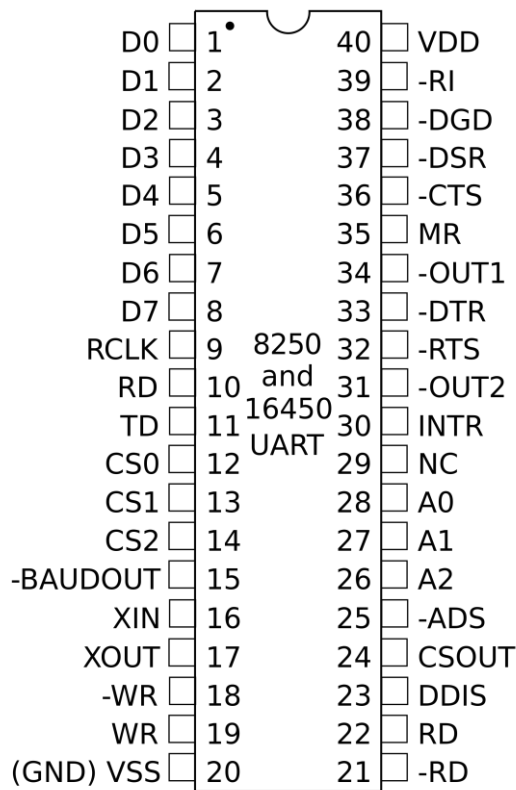
#### ***3.3.3.2. Mạch thu phát không đồng bộ vạn năng UART 8250***

Mạch UART 8250 (Universal Asynchronous Receiver/Transmitter) được lắp ráp trong các máy IBM XT. UART là IC thu phát không đồng bộ có thể lập trình được, nó thực hiện chức năng giao tiếp giữa máy tính và ngoại vi.

Trong các máy tính PC/AT hiện nay sử dụng UART 16450. Còn trong các máy tính AT đời mới sử dụng UART 16550 vì 8250 và 16450 không đạt đến tốc độ 115200 baud.

Thực ra tốc độ này còn ứng dụng tốt trong kỹ thuật truyền tin trên mạng, còn trong các thiết bị công nghiệp ngoại vi nói chung chỉ cần tối đa 19200 baud là được, thông dụng nhất là 9600 baud

Sơ đồ khối và chức năng



Hình 3.5. Sơ đồ chân của UART 8250

Chức năng các chân gồm:

Các chân từ 1÷8 (D0÷D7): là các chân dữ liệu.

Chân 9 (RCLK): nhận xung đồng hồ đưa ra từ bộ tạo tốc độ.

Chân 10 (SIN): nhận dữ liệu tuần tự đi tới từ cổng RS232.

Chân 11 (SOUT): gửi dữ liệu tuần tự sang cổng RS232.

Chân 12, 13, 14 (CS0÷CS2): Chọn chip.

Chân 15 (/BOUDOUT): Lỗi ra của bộ tạo tốc độ.

Chân 16, 17 (XTAL1, XTAL2): Lấy xung Clock từ bộ phát nhịp bằng thạch anh tới với tần số 3072MHz.

Chân 18 (DOSTR): đầu viết I/O .

Chân 19 (/DOSTR): đảo của đầu viết I/O .

Chân 20 (Vss): đất.

Chân 21 (DISTR): đầu đọc I/O.

Chân 22 (/DISTR): đảo của đầu đọc I/O.

Chân 26, 27, 28 (A0÷A2): nhận địa chỉ truyền tới để giải mã lệnh.

Chân 30 (INTRPT): Interrupt Control Logic (Logic điều khiển ngắt).

Chân 32 (/RTS): Request To Sent (yêu cầu gửi).

Chân 33 (/DTR): Data Terminal Ready (dữ liệu sẵn sàng).

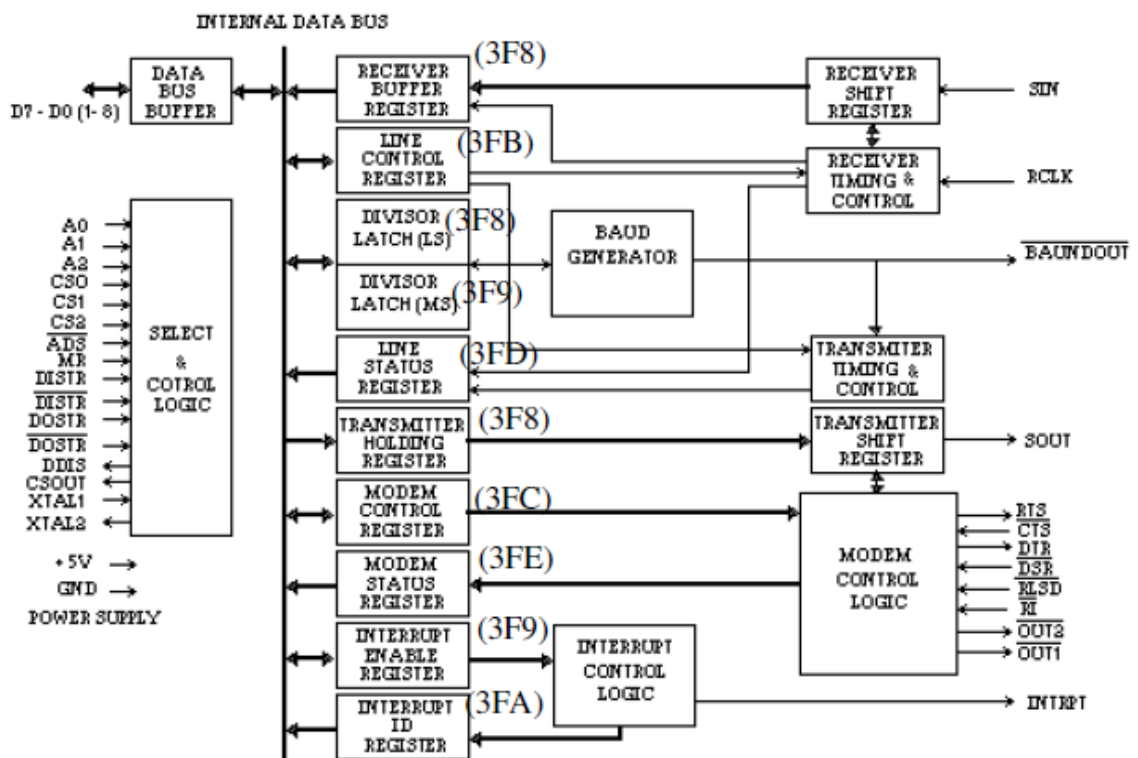
Chân 35 (MR): Reset.

Chân 36 (/CTS): Clear To Send.

Chân 37 (/DSR): Data Set Ready.

Chân 39 (/RI): Ring Indicate.

Chân 40 (VDo): Nối với nguồn 1 chiều 5V.



Hình 3.6. Sơ đồ khối của 8250.

8250 có 11 thanh ghi nội truy nhập theo bảng sau:

Bảng 3.5. Các lệnh của 8250.

| DLAB | A2 | A1 | A0 | Đọc/Ghi | Thanh ghi                       |
|------|----|----|----|---------|---------------------------------|
| 0    | 0  | 0  | 0  | Đọc/Ghi | Đệm thu (RBR) và đệm phát (THR) |
| 0    | 0  | 0  | 1  | Đọc/Ghi | Cho phép yêu cầu ngắt (IER)     |
| 1    | 0  | 0  | 0  | Đọc/Ghi | Chốt chia phần thấp (LSB)       |

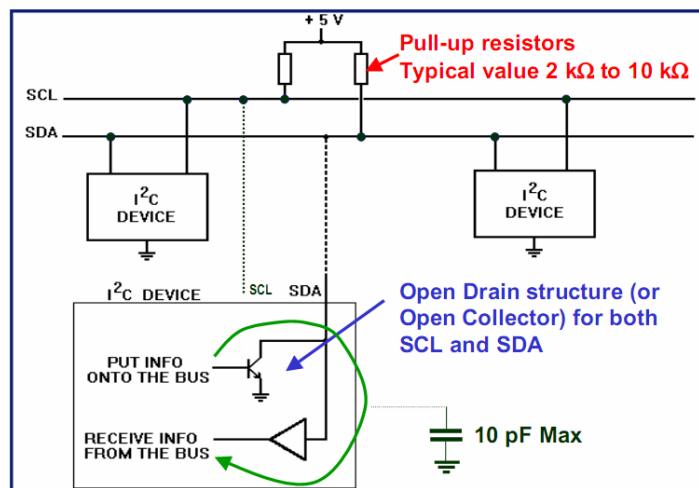
| DLAB | A2 | A1 | A0 | Đọc/Ghi | Thanh ghi                |
|------|----|----|----|---------|--------------------------|
| 1    | 0  | 0  | 1  | Đọc     | Chốt chia phần cao (MSB) |
| x    | 0  | 1  | 0  | Đọc/Ghi | Nhận dạng ngắt (IIR)     |
| x    | 0  | 1  | 1  | Đọc/Ghi | Điều khiển dòng (LCR)    |
| x    | 1  | 0  | 0  | Đọc/Ghi | Điều khiển MODEM (MC)    |
| x    | 1  | 0  | 1  | Đọc/Ghi | Trạng thái dòng (LSR)    |
| x    | 1  | 1  | 0  | Đọc/Ghi | Trạng thái dòng (MSR)    |
| x    | 1  | 1  | 1  | Đọc/Ghi | Nhớ nháp (DM)            |

### 3.3.4. Giao tiếp Two-Wire I2C

#### 3.3.4.1. Giới thiệu

TWI (Two-Wire Serial Intereafce) là một module truyền thông nối tiếp đồng bộ trên các chip AVR dựa trên chuẩn truyền thông I2C. I2C là viết tắt của từ Inter-Integrated Circuit là một chuẩn truyền thông do hãng điện tử Philips Semiconductor sáng lập và xây dựng thành chuẩn năm 1990. Phiên bản mới nhất của I2C là V3.0 phát hành năm 2007.

TWI (I2C) là một truyền thông nối tiếp đa chip chủ (tạm dịch của cụm từ multi-master serial computer bus). Khái niệm “multi-master” (“đa chip chủ”) được hiểu là trong trên cùng một bus có thể có nhiều hơn một thiết bị làm Master, đồng thời một Slave có thể trở thành một Master nếu nó có khả năng. Ví dụ trong một mạng TWI của nhiều AVR kết nối với nhau, bất kỳ một AVR nào đều có thể trở thành Master ở một thời điểm nào đó. Tuy nhiên nếu một mạng dùng một AVR điều khiển các chip nhớ (như EEPROM AT24C1024 chẳng hạn) thì khái niệm “multi-master” không tồn tại vì các chip nhớ được thiết kế sẵn là Slave, không có khả năng trở thành Master.



Hình 3.7. Một mạng TWI

TWI (I2C) được thực hiện trên 2 đường SDA (Serial DATA) và SCL (Serial Clock) trong đó SDA là đường truyền/nhận dữ liệu và SCL là đường xung nhịp.

Nhiệm vụ vai trò của Master và Slave:

**+ Master**

- Giữ vai trò điều khiển Bus I2C.
- Tạo xung Clock ( SCL) trong suốt quá trình giao tiếp.
- Tạo các tín hiệu Start bắt đầu quá trình truy xuất.
- Phát địa chỉ của thiết bị Slave cần truy xuất.
- Gửi tín hiệu R/W tới Slave.
- Truyền dữ liệu tới thiết bị Slave.
- Nhận dữ liệu từ Slave
- Tạo tín hiệu Not-ACK khi kết thúc nhận từ Slave.
- Tạo tín hiệu Stop kết thúc quá trình truy xuất.

**+ Slave**

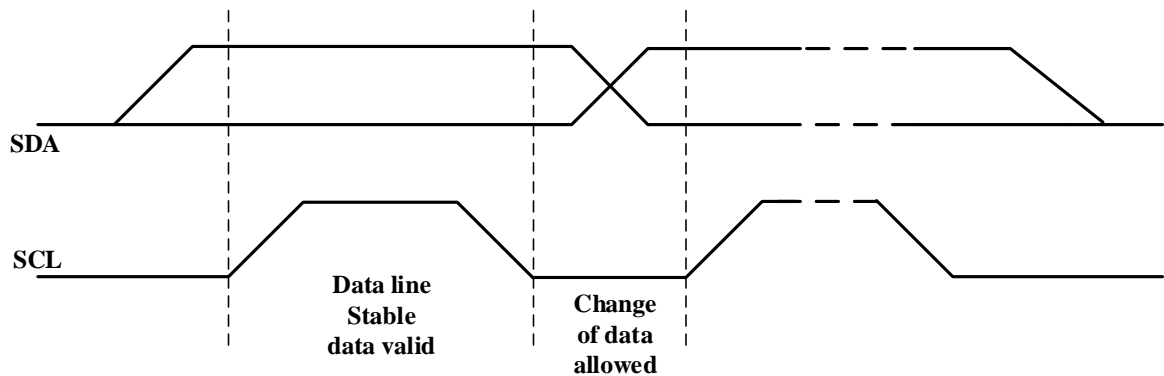
- Nhận địa chỉ và bit R/W từ Master (Chỉ “Response” khi đúng địa chỉ của Slave) .
- Nhận dữ liệu từ Master gửi bit ACK sau mỗi 8 Clock.
- Truyền dữ liệu tới Master, chờ ACK từ Master để tiếp tục gửi.
- Thực hiện chức năng chuyên dụng của khối thiết bị ngoại vi (RAM, EEPROM, ADC,DAC ngoài...).

Mỗi thiết bị ngoại vi tham gia vào bus I2C đều có một địa chỉ duy nhất, nhằm phân biệt giữa các thiết bị với nhau. Độ dài địa chỉ là 7 bit, điều đó có nghĩa là trên một bus I2C có thể phân biệt tối đa 128 thiết bị. Khi thiết bị Master muốn giao tiếp với ngoại vi nào trên bus I2C, nó sẽ gửi 7 bit địa chỉ của thiết bị đó ra bus ngay sau xung START. Byte đầu tiên được gửi sẽ bao gồm 7 bit địa chỉ và một bit thứ 8 điều khiển hướng truyền.

Mỗi một thiết bị ngoại vi sẽ có một địa chỉ riêng do nhà sản xuất quy định. Địa chỉ đó có thể là cố định hay thay đổi. Riêng bit điều khiển hướng sẽ quy định chiều truyền dữ liệu. Nếu bit này bằng “0” có nghĩa là byte dữ liệu tiếp theo sau sẽ được truyền từ Master đến Slave, còn ngược lại nếu bằng “1” thì các byte theo sau byte đầu tiên sẽ là dữ liệu từ Slave gửi đến Master. Việc thiết lập giá trị cho bit này do Master thi hành, Slave sẽ tùy theo giá trị đó mà có sự phản hồi tương ứng đến Master.

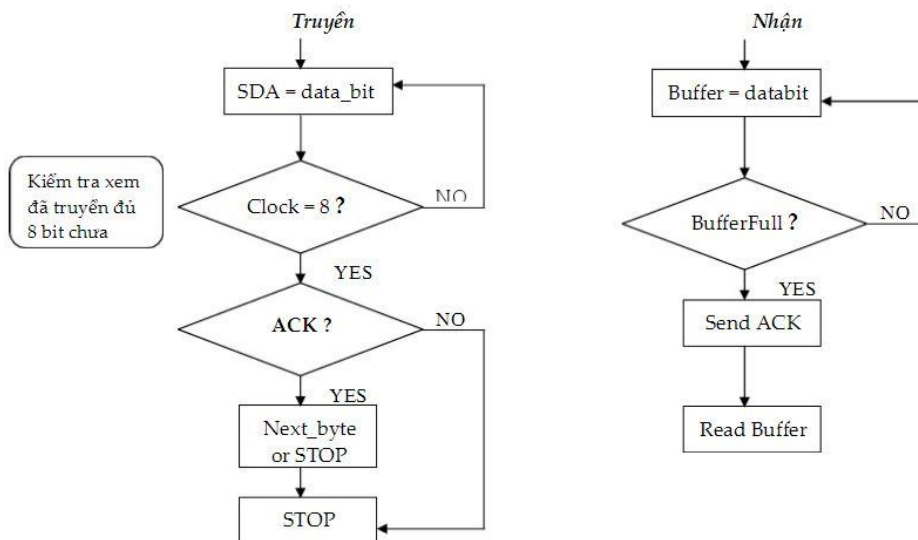
**3.3.4.2. Quá trình truyền nhận dữ liệu**

Dữ liệu được truyền trên bus I2C theo từng bit, bit dữ liệu được truyền đi tại mỗi sườn dương của xung đồng hồ trên dây SCL, quá trình thay đổi bit dữ liệu xảy ra khi SCL đang ở mức thấp.



Hình 3.8. Quá trình truyền 1 bit dữ liệu I2C

Mỗi byte dữ liệu được truyền có độ dài là 8 bits. Số lượng byte có thể truyền trong một lần là không hạn chế. Mỗi byte được truyền đi theo sau là một bit ACK để báo hiệu đã nhận dữ liệu. Bit có trọng số cao nhất (MSB) sẽ được truyền đi đầu tiên, các bit sẽ được truyền đi lần lượt. Sau 8 xung clock trên dây SCL, 8 bit dữ liệu đã được truyền đi. Lúc này thiết bị nhận, sau khi đã nhận đủ 8 bit dữ liệu sẽ kéo SDA xuống mức thấp tạo một xung ACK ứng với xung clock thứ 9 trên dây SDA để báo hiệu đã nhận đủ 8 bit. Thiết bị truyền khi nhận được bit ACK sẽ tiếp tục thực hiện quá trình truyền hoặc kết thúc.



Hình 3.9. Lưu đồ thuật toán quá trình truyền nhận dữ liệu I2C

Một byte truyền đi có kèm theo bit ACK là điều kiện bắt buộc, nhằm đảm bảo cho quá trình truyền nhận được diễn ra chính xác. Khi không nhận được đúng địa chỉ hay khi muốn kết thúc quá trình giao tiếp, thiết bị nhận sẽ gửi một xung Not-ACK

(SDA ở mức cao) để báo cho thiết bị chủ biết, thiết bị Master sẽ tạo xung STOP để kết thúc hay lặp lại một xung START để bắt đầu quá trình mới.

### 3.3.5. Giao tiếp SPI

#### 3.3.5.1. Giới thiệu

SPI (Serial Peripheral Bus) là một chuẩn truyền thông nối tiếp tốc độ cao do hãng Motorola đề xuất. Đây là kiểu truyền thông Master-Slave, trong đó có 1 chip Master điều phối quá trình truyền thông và các chip Slaves được điều khiển bởi Master vì thế truyền thông chỉ xảy ra giữa Master và Slave. SPI là một cách truyền song công (full - duplex) nghĩa là tại cùng một thời điểm quá trình truyền và nhận có thể xảy ra đồng thời. SPI đôi khi được gọi là chuẩn truyền thông “4 dây” vì có 4 đường giao tiếp trong chuẩn này đó là SCK (Serial Clock), MISO (Master Input Slave Output), MOSI (Master Output Slave Input) và SS (Slave Select). Hình 3.10 thể hiện một kết SPI giữa một chip Master và 3 chip Slave thông qua 4 đường.

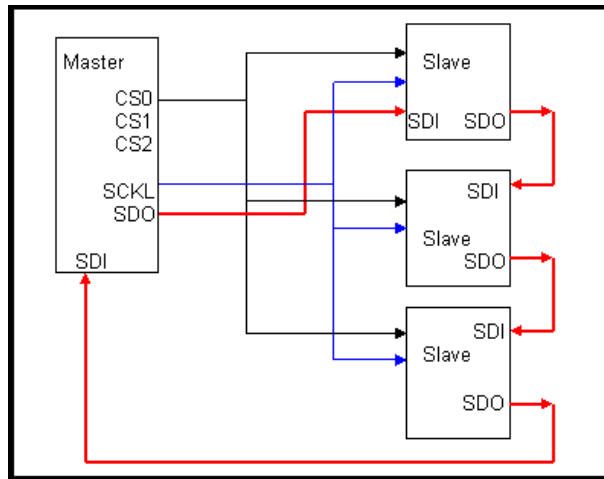
**SCK:** Xung giữ nhịp cho giao tiếp SPI, vì SPI là chuẩn truyền đồng bộ nên cần 1 đường giữ nhịp, mỗi nhịp trên chân SCK báo 1 bit dữ liệu đến hoặc đi. Đây là điểm khác biệt với truyền thông không đồng bộ mà chúng ta đã biết trong chuẩn UART. Sự tồn tại của chân SCK giúp quá trình truyền ít bị lỗi và vì thế tốc độ truyền của SPI có thể đạt rất cao. Xung nhịp chỉ được tạo ra bởi chip Master.

**MISO – Master Input / Slave Output:** nếu là chip Master thì đây là đường Input còn nếu là chip Slave thì MISO lại là Output. MISO của Master và các Slaves được nối trực tiếp với nhau..

**MOSI – Master Output / Slave Input:** nếu là chip Master thì đây là đường Output còn nếu là chip Slave thì MOSI là Input. MOSI của Master và các Slaves được nối trực tiếp với nhau.

**SS – Slave Select:** SS là đường chọn Slave cần giao tiếp, trên các chip Slave đường SS sẽ ở mức cao khi không làm việc. Nếu chip Master kéo đường SS của một Slave nào đó xuống mức thấp thì việc giao tiếp sẽ xảy ra giữa Master và Slave đó. Chỉ có 1 đường SS trên mỗi Slave nhưng có thể có nhiều đường điều khiển SS trên Master, tùy thuộc vào thiết kế của người dùng.





Hình 3.10. Giao diện SPI

### 3.3.5.2. Quá trình truyền nhận dữ liệu

Các chân SPI trong AVR: Các chân giao tiếp SPI cũng chính là các chân PORT thông thường, vì thế nếu muốn sử dụng SPI chúng ta cần xác lập hướng cho các chân này. Trên chip Atmega8, các chân SPI như sau:

**SCK** – PB7 (chân 8)

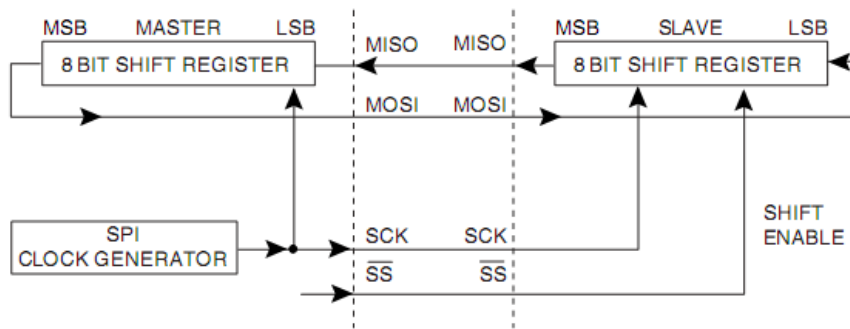
**MISO** – PB6 (chân 7)

**MOSI** – PB5 (chân 6)

**SS** – PB4 (chân 5)

Khi chip AVR được sử dụng làm Slave, bạn cần set các chân SCK input, MOSI input, MISO output và SS input. Nếu là Master thì SCK output, MISO output, MOSI input và khi này chân SS không quan trọng, chúng ta có thể dùng chân này để điều khiển SS của Slaves hoặc bất kỳ chân PORT thông thường nào.

**Hoạt động của SPI:** mỗi chip Master hay Slave có một thanh ghi dữ liệu 8 bits. Cứ mỗi xung nhịp do Master tạo ra trên đường giữ nhịp SCK, một bit trong thanh ghi dữ liệu của Master được truyền qua Slave trên đường MOSI, đồng thời một bit trong thanh ghi dữ liệu của chip Slave cũng được truyền qua Master trên đường MISO. Do 2 gói dữ liệu trên 2 chip được gửi qua lại đồng thời nên quá trình truyền dữ liệu này được gọi là “song công”. Hình 3.11 mô tả quá trình truyền 1 gói dữ liệu thực hiện bởi module SPI trong AVR, bên trái là chip Master và bên phải là Slave.



Hình 3.11. Truyền nhận dữ liệu trên SPI

Cực của xung giữ nhịp, phase và các chế độ hoạt động: cực của xung giữ nhịp (Clock Polarity) được gọi tắt là CPOL là khái niệm dùng chỉ trạng thái của chân SCK ở trạng thái nghỉ. Ở trạng thái nghỉ (Idle), chân SCK có thể được giữ ở mức cao (CPOL=1) hoặc thấp (CPOL=0). Phase (CPHA) dùng để chỉ cách mà dữ liệu được lấy mẫu (sample) theo xung giữ nhịp. Dữ liệu có thể được lấy mẫu ở cạnh lên của SCK (CPHA=0) hoặc cạnh xuống (CPHA=1). Sự kết hợp của SPOL và CPHA làm nên 4 chế độ hoạt động của SPI. Nhìn chung việc chọn 1 trong 4 chế độ này không ảnh hưởng đến chất lượng truyền thông mà chỉ cốt sao cho có sự tương thích giữa Master và Slave.

### 3.4. Cổng USB

#### 3.4.1. Chuẩn USB

Universal Serial Bus là một chuẩn truyền dữ liệu cho bus ngoại vi do hai hãng Intel và Microsoft phối hợp phát triển. Một cổng USB đơn có thể được dùng để kết nối tới 127 thiết bị ngoại vi như chuột, modem, bàn phím, máy in, máy scan, ...

Mục tiêu hướng tới khi sử dụng USB:

- Dễ dàng mở rộng các thiết bị đầu cuối của PC.
- Cung cấp giải pháp chi phí thấp song vẫn hỗ trợ truyền dẫn với tốc độ lên đến 480 Mb/s.
- Hỗ trợ ứng dụng thời gian thực.
- Giao thức linh hoạt cho các chế độ hỗn hợp.
- Tích cực công nghệ thiết bị tiện nghi.
- Đa năng do có nhiều thiết bị có thể ghép nối với PC qua cổng USB.

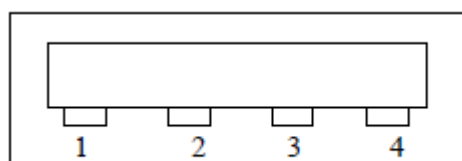
#### 3.4.2. Đầu nối và cáp nối

USB có hai kiểu đầu nối khác nhau được gọi là A, B. Bus USB sử dụng cáp nối 4 sợi dây để nối với các thiết bị ghép nối. Trong đó có một cặp đường truyền 2 sợi xoắn được dùng làm đường dẫn dữ liệu vi phân, ký hiệu là D+ và D-. Còn một cặp

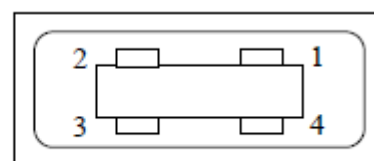
kia dùng làm đường 5V và đường nối đất chung. Cáp nối luôn được thực hiện liên kết 1:1. Sự sắp xếp các chân ở đầu nối cáp tuân theo những quy định sau:

Bảng 3.6. Sắp xếp chân ở cổng USB

| Chân | Tên gọi | Màu dây  |
|------|---------|----------|
| 1    | Vcc     | Đỏ       |
| 2    | D-      | Trắng    |
| 3    | D+      | Xanh lục |
| 4    | GND     | Đen      |



Kiểu A



Kiểu B

Hình 3.12. Cấu trúc cổng USB.

Hiện nay, ổ cắm USB của máy tính đều là kiểu A, qua đó có thể đấu trực tiếp thiết bị USB vào máy tính. Các thiết bị có tốc độ thấp như chuột có thể đấu thẳng vào ổ cắm thông qua một phích cắm cũng kiểu A.

Trong các trường hợp khác thiết bị thường có một ổ cắm kiểu B, muốn nối với máy tính phải sử dụng một cáp kiểu A,B. Trong trường hợp cần nối dài cáp, tức là để tăng khoảng cách giữa máy tính PC tới thiết bị ghép nối, người ta sử dụng cáp A,A. Cho đến nay các cáp USB đều được các nhà sản xuất cung cấp dưới dạng hoàn chỉnh trên đó đầu cắm, độ dài, chất lượng bọc kim chống nhiễu đều không thể thay đổi được. Vì vậy, tùy theo mục đích sử dụng ta phải lựa chọn thông số cáp cho chính xác từ chiều dài cho đến đầu nối.

Thông qua ổ cắm USB có thể lấy ra điện áp + 5V với dòng điện tiêu thụ 100 mA. Trong một số trường hợp có thể lấy tới 500 mA. Hai đường dẫn dữ liệu D +, D - cho phép đấu nối với các linh kiện USB đặc biệt chẳng hạn như là một số vi điều khiển tín hiệu ở chân D +, D - là các tín hiệu vi phân với mức điện áp = 0 - 3,3V. Điện áp nguồn nuôi cho bus có thể tăng đến 5,25V và khi chịu dòng tải lớn có thể giảm xuống 4,2V. Một vi mạch ổn áp trong trường hợp này có thể tạo ra một điện áp ổn định +3,3V. Toàn bộ hệ thống có thể thiết kế sao cho khi chịu dòng tải lớn điện áp nguồn cũng không vượt quá + 4,2V. Khi thiết bị ghép nối cần dòng tiêu thụ >100mA cần xem xét kỹ khả năng cung cấp và chịu tải của các linh kiện phía trong máy tính để tránh nguy hiểm. Khi ghép nối một thiết bị với bus USB, thường phải phân biệt rõ các

thiết bị sử dụng nguồn nuôi riêng như máy in với các thiết bị nhận điện áp nguồn nuôi qua bus. Trong một số trường hợp cả hai chế độ nguồn nuôi có thể cùng tồn tại để lựa chọn theo cách thiết kế của bus.

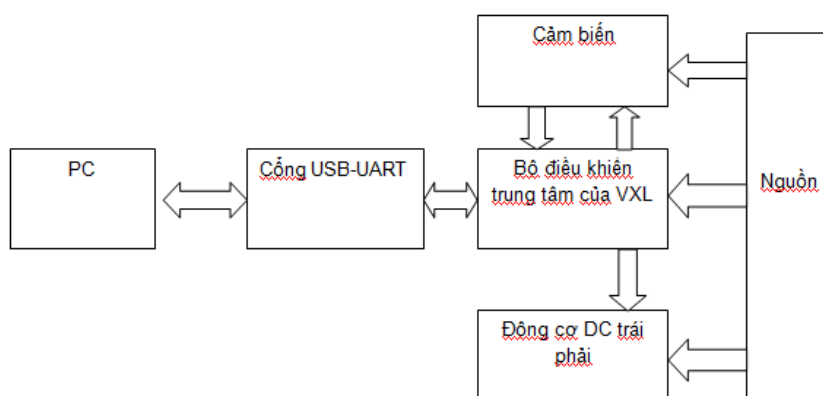
### 3.4.3. Mô tả hệ thống

Một hệ thống USB được mô tả bởi 3 định nghĩa: kết nối USB, các thiết bị USB, USB host. Kết nối USB bao gồm kiến trúc bus, những mối quan hệ Inter-Layer, các mô hình luồng dữ liệu, lập trình USB.

Các thiết bị USB: gồm có hub cung cấp điểm lắp thêm vào USB và thiết bị hiểu được giao thức USB. Mô hình sơ lược về truyền nhận dữ liệu qua cổng USB.

Tín hiệu điều khiển từ giao diện được lập trình trên C# được truyền qua chuẩn giao tiếp USB-UART đưa tới bộ điều khiển trung tâm, tại đây tín hiệu được xử lý và truyền tới các động cơ DC điều chỉnh hướng.

Bộ điều khiển trung tâm phát tín hiệu và nhận dữ liệu từ cảm biến rồi truyền về PC thông qua cổng USB-UART.



Hình 3.13. Sơ đồ tổng quát của hệ thống

### 3.4.4. Cấu trúc thành phần

#### 3.4.4.1. Truyền nhận dữ liệu USB

Để truyền dữ liệu thì thông tin được chia nhỏ lại thành các dạng gói thông tin:

- Gói thông báo: chỉ ra các điểm đầu cuối của quá trình truyền dữ liệu.
- Gói bắt đầu khung truyền: bắt đầu khung và số khung đáp ứng khoảng cách thời gian chính xác để bắt đầu khung khác.
- Gói dữ liệu: 8bit chứa thông tin cần truyền.

#### **Thực hiện kết nối USB gồm các thành phần:**

Thiết bị USB vật lý: Một phần cứng ở đầu cuối của cáp USB thi hành một số chức năng hữu dụng với người sử dụng.

Client Software: Phần mềm thi hành trên máy chủ, đáp ứng cho thiết bị USB. Phần mềm này có thể được cung cấp bởi hệ điều hành hoặc được cung cấp cùng thiết bị USB.

USB System Software: Là phần mềm hỗ trợ USB trong một hệ điều hành cụ thể. Phần mềm hệ thống USB thường được cung cấp kèm với hệ điều hành, nó không phụ thuộc vào một thiết bị USB cụ thể nào cũng như phần mềm client cụ thể nào.

USB Host Controller: Bao gồm phần cứng và phần mềm cho phép các thiết bị USB kết nối với Host.

USB Bus Interface Layer: Cung cấp kết nối vật lý, gói tin, báo hiệu giữa Host và một thiết bị.

USB Device Layer: Cho thấy hệ điều hành hỗ trợ thiết bị USB cần có một phần mềm hệ thống để thực hiện việc quản lý thiết bị USB logic.

Function Layer: cung cấp khả năng được thêm vào cho host qua phần mềm của thiết bị USB trên host.

### ***Quá trình xử lý tổng quát:***

Một trong những nhiệm vụ của hub là phát hiện sự cắm vào hoặc tháo ra của các thiết bị. Mỗi hub có một điểm ngắt để báo cáo những sự kiện trên cho máy chủ. Khi hệ thống khởi động, máy chủ thăm dò hub gốc của nó để biết có hay không các thiết bị được gắn vào, các thiết bị đó có thể là các hub bổ sung và các thiết bị khác gắn vào hub gốc. Sau khi khởi động, máy chủ tiếp tục thăm dò định kỳ để báo cáo có thiết bị mới được gắn vào hay không hoặc một thiết bị vừa được tháo ra.

Để tìm hiểu một thiết bị mới, máy chủ gửi một chuỗi các yêu cầu tới hub của thiết bị để hub này thiết lập một đường truyền giữa máy chủ và thiết bị. Sau đó máy chủ sẽ tìm hiểu về thiết bị bằng cách gửi các yêu cầu chuẩn của USB tới điểm cuối 0 của thiết bị bằng kiểu truyền điều khiển. Tất cả các thiết bị USB phải hỗ trợ truyền điều khiển, các yêu cầu chuẩn và điểm cuối 0.

Đối với người sử dụng thì quá trình tìm hiểu máy chủ là ẩn và hoàn toàn tự động ngoại trừ một số thông báo cho biết có một thiết bị mới được gắn vào và việc cài đặt thiết bị có thành công hay không. Đôi khi, trong lần đầu tiên sử dụng, người dùng cần phải chọn bộ điều khiển (driver) thích hợp hoặc chỉ cho máy chủ nơi mà nó có thể tìm thấy bộ điều khiển cho thiết bị.

### ***Các trạng thái khi thiết bị không hoạt động.***

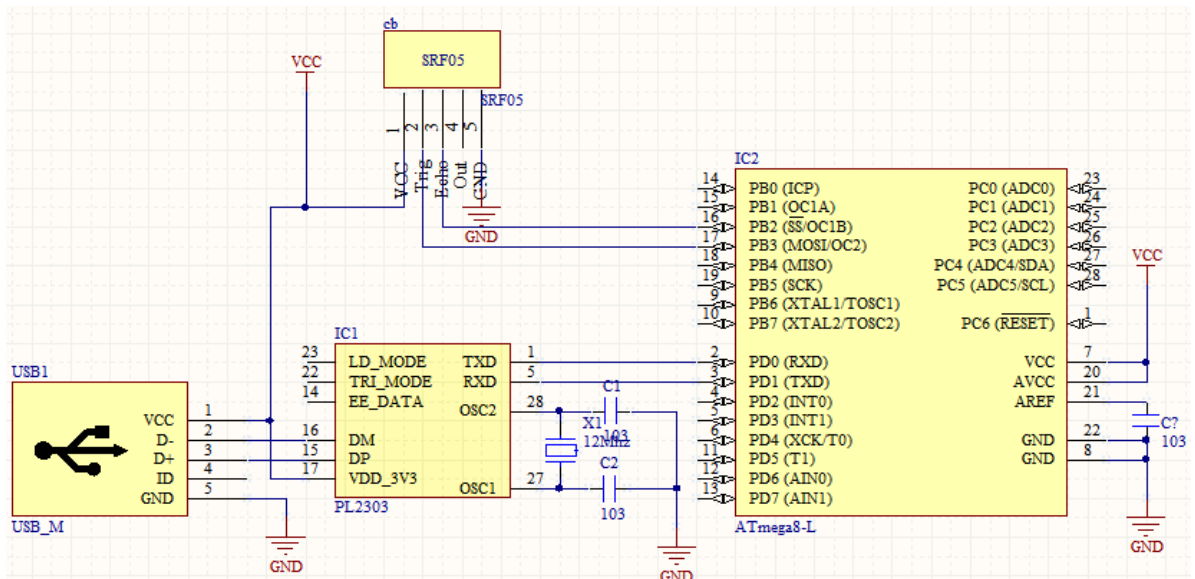
Khi quá trình tìm hiểu được hoàn thành, windows đưa thiết bị mới vào mục Device Manager trong Control Panel. Còn khi người sử dụng gỡ thiết bị ra khỏi hệ thống thì windows cũng gỡ thiết bị ra khỏi danh sách trong Device Manager.

Trạng thái tháo ra: Nếu hub không cấp nguồn tới các đường bus của thiết bị thì thiết bị ở trạng thái tháo ra. Hiện tượng thiết bị không được cấp nguồn mặc dù vẫn đang gắn vào hub xảy ra khi hub phát hiện sự quá tải về dòng từ phía thiết bị hoặc hub nhận được yêu cầu từ phía máy chủ bắt buộc nó ngắt nguồn.

Trạng thái treo: Thiết bị sẽ ở vào trạng thái treo khi nó phát hiện thấy đã 3ms trôi qua mà không thấy bất kỳ một tín hiệu nào trên bus. Các thiết bị đều phải hỗ trợ trạng thái này tức thiết bị phải có khả năng phát hiện khoảng thời gian 3ms không tích cực của bus và đưa thiết bị vào trạng thái treo.

### **Chuẩn USB-UART.**

USB cho phép người sử dụng dễ dàng hơn nhờ hỗ trợ tính năng cài đặt Plug-and-Play (cắm và chạy) và đặc biệt là tính năng cắm gỡ nóng (có thể cắm và gỡ thiết bị USB trong khi máy tính vẫn đang hoạt động mà không cần phải khởi động lại). Cấp USB gồm hai sợi nguồn (+5V và dây chung GND) cùng một cặp gồm hai sợi dây xoắn để mang dữ liệu. Trên sợi nguồn máy tính có cấp nguồn lên tới 500mA ở điện áp 5V một chiều



Hình 3.14. Sơ đồ giao tiếp công USB với bộ điều khiển trung tâm (kit Arduino)

## **3.5. Đo và tạo thời gian chính xác bằng chip PIT – 8253/54**

### **3.5.1. Giới thiệu chung**

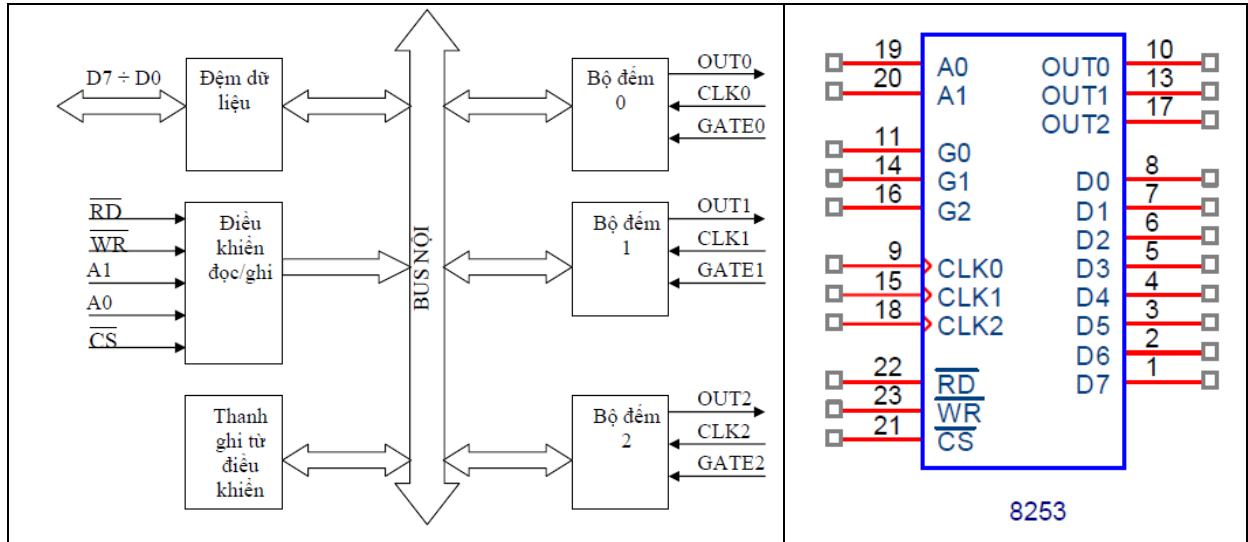
Muốn đo hoặc tạo ra những xung nhịp định thời chính xác và ổn định bằng một hệ thống ghép nối máy tính người ta sử dụng vi mạch định thời có thể lập trình được là PIT-8253 (Programmable Interval Timer).

PIT-8253 khi được lắp trên bản mạch ghép nối cắm vào khe cắm mở rộng của PC có thể phục vụ cho nhiều mục đích như: tạo máy phát sóng tỷ lệ khả trình, đếm các sự

kiện, tạo đồng hồ thời gian thực, tạo các xung đơn, đo khoảng cách thời gian chính xác, đo tần số, điều khiển mô tơ bước...

### 3.5.2. Cấu tạo của PIT – 8253/54

Sơ đồ khối và sơ đồ chân của PIT 8253/54 được mô tả ở hình 3.15.



Hình 3.15. Sơ đồ khối và sơ đồ chân của PIT 8253/54

Bộ đệm dữ liệu là loại 8 bit-2 hướng-3 trạng thái dùng để phối ghép 8253 với bus hệ thống của PC.

Số liệu sẽ được bộ đếm phát hoặc thu bằng việc chạy lệnh OUT hoặc IN của CPU.

Bộ đệm dữ liệu có 3 chức năng cơ bản:

- Định trình cho chế độ hoạt động của 8253/54.
- Nạp các thanh ghi của bộ đếm.
- Đọc các giá trị đếm.

Mạch logic điều khiển đọc/viết nhận các tín hiệu vào từ bus hệ thống và lần lượt phát các tín hiệu điều khiển cho thiết bị hoạt động. Nó bị cấm hoặc cho phép bởi tín hiệu chọn chip CS nhằm không để một hoạt động nào xảy ra khi mà chip chưa được chọn bởi hệ thống PC.

Chân /RD khi ở mức thấp (= 0) cho phép CPU đọc số liệu từ 8253 trong dạng 1 giá trị các bộ đếm.

Chân /WR khi ở mức thấp (= 0) cho phép CPU viết dữ liệu vào 8253, đó là các thông tin về chế độ hoạt động hoặc nạp các số đếm ban đầu vào bộ đếm.

Hai chân A0, A1 nối với 2 bit địa chỉ thấp nhất của bus địa chỉ PC. Khi kết hợp với chân RD, WR sẽ cho phép truy cập một trong ba bộ đếm hoặc thanh ghi điều khiển theo quy luật sau từ bảng :

Bảng 3.7. Bảng chế độ hoạt động của 8253.

| /CS | /RD | /WR | A1 | A0 | Chức năng                 |
|-----|-----|-----|----|----|---------------------------|
| 0   | 1   | 0   | 0  | 0  | Nạp bộ đếm 0              |
| 0   | 1   | 0   | 0  | 1  | Nạp bộ đếm 1              |
| 0   | 1   | 0   | 1  | 0  | Nạp bộ đếm 2              |
| 0   | 1   | 0   | 1  | 1  | Viết thanh ghi lệnh       |
| 0   | 0   | 1   | 0  | 0  | Đọc bộ đếm 0              |
| 0   | 0   | 1   | 0  | 1  | Đọc bộ đếm 1              |
| 0   | 0   | 1   | 1  | 0  | Đọc bộ đếm 2              |
| 0   | 0   | 1   | 1  | 1  | Đọc thanh ghi lệnh (8254) |
| 1   | X   | X   | X  | X  | Không tích cực            |
| 0   | 1   | 1   | X  | X  | Không hoạt động           |

Thanh ghi từ điều khiển được chọn khi A1A0=11. Thông tin được lưu giữ trong thanh ghi này sẽ điều khiển:

- Chế độ hoạt động của các bộ đếm.
- Chọn cách đếm (nhị phân hay BCD).
- Phương thức đọc/viết của mỗi thanh ghi đếm số liệu của các bộ đếm.

Đối với 8253 thanh ghi này chỉ được viết. Đối với 8254 thanh ghi này có thể đọc/viết.

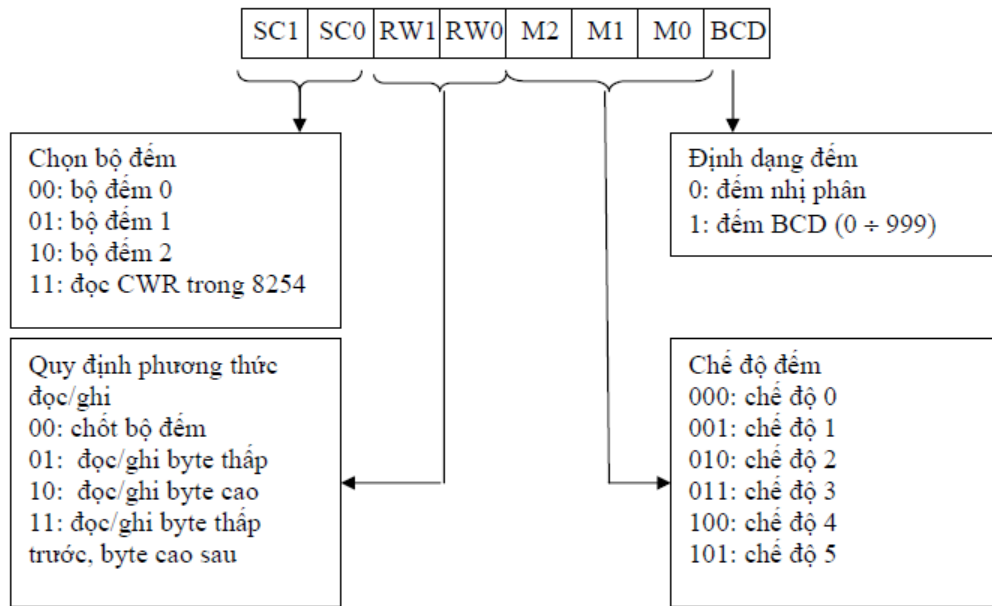
Ba bộ đếm 0, 1, 2 là loại đếm lùi, 16 bit và có thể đặt giá trị đếm ban đầu. Mỗi bộ đếm có 2 lối vào là xung clock – CLK và GATE, 1 lối ra OUT. Khi GATE = 1, bộ đếm được phép đếm và ngược lại

### 3.5.3. Lập trình cho 8253

#### 3.5.3.1. Định dạng từ điều khiển

Dùng các lệnh vào/ra đơn giản để lập trình cho các hoạt động của 8253. Đầu tiên phải viết từ điều khiển vào thanh ghi từ điều khiển. Định dạng từ điều khiển như sau:





Hình 3.16. Định dạng từ điều khiển.

### 3.5.3.2. Chế độ đếm

PIT 8253/54 có sáu chế độ đếm từ chế độ 0 đến chế độ 5.

**Chế độ 0 (Interrupt on Terminal Count):** Khi kết thúc đếm thì phát ra một sườn xung lên (thường dùng làm tín hiệu yêu cầu ngắt trong các hệ thống). Tín hiệu lỗi ra ở mức thấp ngay sau khi chọn chế độ và cho tới khi số xung đếm kết thúc thì sẽ chuyển lên mức cao.

Việc nạp lại thanh ghi bộ đếm sẽ tạo ra các kết quả sau:

- Nạp byte đầu tiên (byte thấp) sẽ làm ngừng bộ đếm hiện tại.
- Nạp byte thứ 2 (byte cao) sẽ khởi phát quá trình đếm mới.

**Chế độ 1 (Programmable Monoflop):** Phát ra một xung đơn với thời gian tồn tại xung biến đổi được. Tín hiệu lỗi ra OUT chuyển xuống mức thấp tại sườn âm của xung clock đầu tiên (khởi phát đếm) và sẽ chuyển lên mức cao khi bộ đếm kết thúc.

Bộ đếm được khởi động bởi sườn dương của xung cửa GATE. Trong quá trình đếm, nếu xung cửa xuất hiện nhiều sườn dương, thì với mỗi lần như vậy bộ đếm lại được đếm từ giá trị ban đầu.

Chế độ này cho phép tạo ra các xung đơn có độ rộng biến đổi tùy theo giá trị nạp ban đầu.

**Chế độ 2 (Rate Generator):** Phát ra các sóng tỷ lệ. Các xung nhịp đưa vào bộ đếm được chia bởi giá trị nạp trong thanh ghi bộ đếm. Tín hiệu lỗi ra xuống mức thấp trong chu kỳ đầu tiên và sau đó chuyển lên mức cao trong các chu kỳ còn lại. Quá trình cứ tiếp tục như vậy.

Ví dụ: muốn chia 4 tần số lỗi vào ta để lỗi ra có 1 chu kỳ ở mức thấp và 3 chu kỳ còn lại ở mức cao.

*Chế độ 3 (Square-Wave Generator):* Phát ra sóng xung vuông. Chế độ này tương tự như chế độ 2 nhưng xung lỗi ra là sóng vuông khi giá trị đếm chẵn và sẽ thêm một chu kỳ ở mức cao khi giá trị đếm lẻ.

*Chế độ 4 (Software-triggered Pulse):* Tạo các xung bằng phần mềm. Chế độ này giống như chế độ 2 nhưng xung cửa GATE không khởi động quá trình đếm mà sẽ đếm ngay khi số đếm ban đầu được nạp. Ngay sau khi nạp chế độ hoạt động, lỗi ra ở mức cao để đếm và khi kết thúc đếm lỗi ra xuống mức thấp trong 1 chu kỳ xung đếm rồi lại trở lại mức cao.

*Chế độ 5 (Hardware-triggered Pulse):* tạo các xung bằng xung cửa GATE. Cũng giống như chế độ 2, sườn dương của xung Gate khởi động quá trình đếm sau đó xuống mức thấp trong 1 chu kỳ nhịp khi việc đếm kết thúc. Khi quá trình đếm chưa kết thúc, nếu xung cửa xuất hiện những sườn dương thì cứ mỗi lần như vậy bộ đếm lại được đếm lại từ giá trị ban đầu..

Tóm tắt vai trò của xung GATE như sau:

Bảng 3.8. Tóm tắt hoạt động của xung cửa GATE 8253/54.

| Trạng thái tín hiệu<br>Chế độ | Mức thấp hoặc<br>sườn âm                            | Sườn dương   | Mức cao      |
|-------------------------------|---|--|--------------|
| 0                             | Cấm bộ đếm  | - - -  | Cho phép đếm |
| 1                             | - - -   | - Khởi phát đếm<br>- Reset lỗi ra sau xung<br>nhịp tiếp theo | - - -        |
| 2                             | - Cấm đếm<br>- Đặt lỗi ra ở mức<br>cao ngay lập tức | Khởi phát đếm  | Cho phép đếm |
| 3                             | - Cấm đếm<br>- Đặt lỗi ra ở mức<br>cao ngay lập tức | Khởi phát đếm  | Cho phép đếm |
| 4                             | Cấm bộ đếm  | - - -  | Cho phép đếm |
| 5                             | - - -   | Khởi phát đếm  | - - -        |

### 3.5.3.3. *Viết bộ đếm*

Chương trình phải thực hiện hai thao tác viết bộ đếm:

- Viết từ điều khiển để xác lập chế độ hoạt động của các bộ đếm.
- Nạp số đếm ban đầu cho các bộ đếm.

Sau khi được nạp giá trị ban đầu, bộ đếm sẽ thực hiện đếm lùi từ đó xuống 0.

Giá trị ban đầu ứng với hệ số chia tần của bộ đếm trong các chế độ 2 và 3.

Số đếm ban đầu được nạp là 0 tương đương với việc nạp số đếm cực đại  $2^{16}$  (đếm nhị phân) hoặc  $10^4$  (đếm BCD)

### 3.5.3.4. *Đọc bộ đếm*

Có hai cách chọn lựa cho việc đọc bộ đếm trong 8253/54:

- Đọc trực tiếp bởi một hoặc hai lệnh IN.
- Dùng lệnh chốt bộ đếm (counter latch command).

Nếu cần đọc giá trị tức thời của bộ đếm khi quá trình đếm chưa kết thúc thì phải sử dụng các lệnh chốt bộ đếm hoặc lệnh đọc thanh ghi từ điều khiển (Read-back Command). Lệnh đọc này chỉ có trong 8254. Tại thời điểm lệnh chốt bộ đếm được viết vào thanh ghi từ điều khiển, giá trị đếm được chốt vào thanh ghi đếm ra của PIT.

Định dạng của từ điều khiển cho lệnh chốt bộ đếm được mô tả ở bảng 3.9.

Bảng 3.9. Định dạng của từ điều khiển.

| D7  | D6              | D5 | D4 | D3                           | D2 | D1 | D0 |
|---|-----------------|----|----|------------------------------|----|----|----|
| SC <sub>1</sub>   | SC <sub>0</sub> | 0  | 0  | X                            | X  | X  | X  |
| 2 bit chọn bộ đếm được chốt:<br>00: chọn bộ đếm 0<br>01: chọn bộ đếm 1<br>10: chọn bộ đếm 2 |                 |    |    | X: tùy chọn (có thể đặt = 0) |    |    |    |

Lệnh đọc thanh ghi từ điều khiển cho phép chốt giá trị đếm và chốt byte lưu trữ trạng thái của bộ đếm được chọn.

Định dạng cho lệnh đọc thanh ghi điều khiển được mô tả ở bảng 3.10.

Bảng 3.10. Định dạng cho lệnh đọc thanh ghi điều khiển.

| D7 | D6 | D5   | D4   | D3                 | D2                 | D1                 | D0 |
|----|----|--|--|--------------------|--------------------|--------------------|----|
| 1  | 1  | Count                                      | Status   | Count2             | Count1             | Count0             | 0  |
|    |    | = 0: chốt giá trị đếm;<br>= 1: ko xác định | = 0: chốt byte trạng thái của bộ đếm;<br>=1: ko xác định | = 1: chọn bộ đếm 2 | = 1: chọn bộ đếm 1 | = 1: chọn bộ đếm 0 |    |

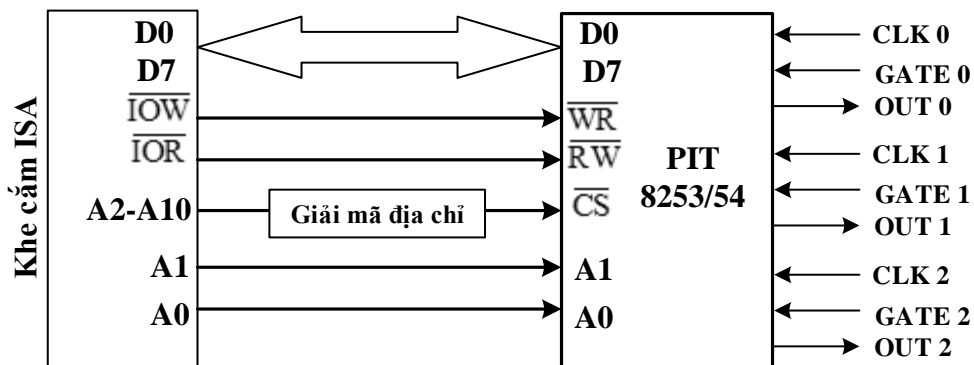
Định dạng byte trạng thái được mô tả ở bảng 3.11.

Bảng 3.11. Định dạng byte trạng thái.

| D7   | D6  | D5                            | D4              | D3             | D2             | D1             | D0  |
|--|---|-------------------------------|-----------------|----------------|----------------|----------------|-----|
| Pin  | Null  | RW <sub>1</sub>               | RW <sub>0</sub> | M <sub>2</sub> | M <sub>1</sub> | M <sub>0</sub> | BCD |
| Trạng thái của OUT <sub>x</sub> ; (x=0,1,2)<br>= 1: lỗi ra mức cao.<br>= 0: thấp | Bộ đếm đã được nạp giá trị ban đầu chưa?<br>=1: chưa nạp, chưa đọc được.<br>= 0: nạp rồi đọc được | Giống định dạng từ điều khiển |                 |                |                |                |     |

### 3.5.4. Ghép nối PIT 8253/54

Sơ đồ khối ghép nối 8253/54 với các chân tín hiệu trên khe cắm mở rộng như 8255A được mô tả ở hình 3.17.



Hình 3.17. Ghép nối 8253/54 với PC qua khe cắm ISA.

### 3.6. Ví dụ

Ví dụ 1: 8250 cần trao đổi 8 bit, tốc độ 9600 baud, không kiểm tra chẵn/lẻ, 2bit Stop, địa chỉ làm việc đầu 03F8h.

- a. Tìm địa chỉ cho thanh ghi điều khiển trạng thái – LCR. (Ghi)
- b. Tìm địa chỉ cho thanh ghi chốt bộ chia– LS. (Ghi)
- c. Tìm địa chỉ cho thanh ghi cho phép ngắt– IER. (Ghi)
- d. Tìm địa chỉ cho thanh ghi nhận dạng ngắt– IIR. (Đọc)
- e. Tìm địa chỉ cho thanh ghi điều khiển MODEM – MCR. (Ghi)
- f. Tìm địa chỉ cho thanh ghi trạng thái MODEM – MSR. (Đọc)
- g. Tìm địa chỉ cho thanh ghi trạng thái đường truyền – LSR. (Đọc)

**Giải:**

- a. Thanh ghi điều khiển trạng thái:

$D0D1 = 11; D2 = 1; D3 = 0; D4 = 0; D5 = 0; D6 = 0;$

Nếu  $D7 = 1 \rightarrow data1\_LCR = 87h;$

Nếu  $D7 = 0 \rightarrow data2\_LCR = 07h$

$addr\_LCR = 03FBh$

- b. Thanh ghi chốt bộ chia:

Tốc độ 9600 baud  $\rightarrow$  số chia = 000C

$\rightarrow data\_LS = 0Ch$  và  $data\_MS = 00h$

$addr\_LS = 03F8h$

$addr\_MS = 03F9h$

- c. Thanh ghi cho phép ngắt không làm việc, cấm ngắt:

$data\_IER = 00h$

$addr\_IER = 03F9h$

- d. Đọc thanh ghi nhận dạng ngắt:

$THR\_rong = 02h$

$addr\_IIR = 03FAh$

- e. Ghi thanh ghi điều khiển MODEM:

$addr\_MCR = 3FCh$

$data\_DRT = 01h$

$data\_RTS = 02h$

- f. Đọc thanh ghi trạng thái MODEM:

$addr\_MSR = 3FEh$

$DSR(D5), RI (D6), DCD (D7) = 1$

$\rightarrow data\_MSR = E0h$

- g. Đọc thanh ghi trạng thái dòng:

$addr\_LSR = 3FDh$

Không lỗi  $D1 D2 D3 = 0;$  thời gian đệm rỗng  $D5 D6 = 1$

$\rightarrow data1\_LSR=60h$

Ví dụ 2: Đặt 8250 (COM 1) ở chế độ truyền 1200 baud, 8 bit dữ liệu, 1 bit Stop, không bit chẵn lẻ. Hãy lập đoạn chương trình để:

- a. Đặt các thông số cho cổng nối tiếp.
- b. Kiểm tra bộ đệm truyền (THR).
- c. Kiểm tra thanh ghi trạng thái đường truyền (LSR)

Giải:

Các bước:

- Khởi tạo
    - *Chốt số chia để quy định tốc độ baud*
    - *Lựa chọn số bit dữ liệu, bit Stop và kiểu chẵn lẻ.*
  - Bắt đầu thực hiện truyền/nhận:
    - *Thanh ghi LSR kiểm tra xem thanh ghi đệm truyền THR đang trống rỗng (nếu đúng thì việc xuất ra được thực hiện).*
    - *LSR kiểm tra xem có dữ liệu nhận được đang chờ để đọc*
- Đặt thông số cho cổng nối tiếp:

```

/*Dat toc do baud 1200*/
Baud_rate = 1843200 /(1200*16);
outp (0x3FB, 0x80); /*dat 1 vao DLAB*/
outp (0x3F8, (baud_rate & 0xFF)); /*load LSB into latch*/
outp (0x3F9, ((baud_rate & FF00)>>4)); /*load MSB into latch*/
'Now set the format
outp (0x1, FB, 3); /*8, 1 and No parity*/

```

- Kiểm tra thanh ghi bộ đệm truyền THR

```

/* Loop until THRE*/
While (((status = inp (0x3FD)) & 40)); /*while bit 5 is low*/
Outp (0x3F8, var);
Kiểm tra thanh ghi trạng thái đường truyền LSR
/* check for flag*/
if ((status = inp (0x3FD)) & 01); /*if bit 0 is hi*/
Var = inp (0x3F8); /* get the character */

```

Ví dụ 3. Viết đoạn chương trình cho PIT 8253/54:

- Đặt bộ đếm 0 (địa chỉ là 304h) thực hiện đếm 16 bit hoạt động ở chế độ 0.
- Nạp bộ đếm 0 một giá trị thích hợp, như là OUT 0 =1 sau 0.025sec

Giải:

Giả sử xung clock được nối với PCLK (**14.7456/6 MHz**) → chu kỳ là **6/14.7456** microseconds. Do vậy, hệ số nạp của bộ đếm là  $(0.025 \times 14.7456 \times 10^6)/6 = 61440 = \mathbf{F000h}$ .

Nạp giá trị 30h vào thanh ghi Control Word Register, và nạp giá trị F000h vào bộ đếm Counter0 :

**MOV AL, 30h** ; load the control word into AL

**OUT 0Eh, AL** ; and send it to the Control Register since the 8253 PIT chip is connected to the low byte of the data bus, two write cycles are required to load F000h into counter0

**MOV AL, 00h** ; load the low byte of F000h

**OUT 08h, AL** ; into low byte of Counter0

**MOV AL, F0h** ; load the high byte of F000h

**OUT 08h, AL** ; into high byte of Counter0

## CÂU HỎI ÔN TẬP

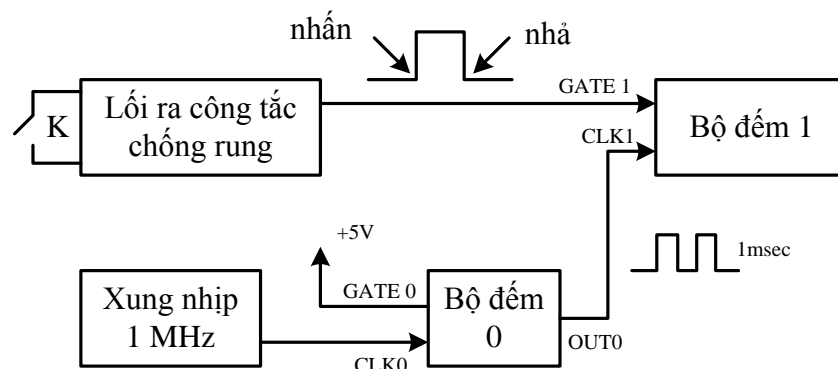
1. Lập trình để truyền 1 ký tự từ COM 1 và nhận nó qua cổng này.
2. Viết chương trình để truyền dòng chữ “Khoa KTDT1” từ máy tính qua cổng COM1 hiển thị trên LCD.
3. Viết chương trình để truyền dòng chữ “2010-2014” từ máy tính qua cổng COM1 hiển thị trên LED 7 đoạn, có hiệu ứng nhấp nháy.
4. Viết chương trình để truyền dòng chữ “HEN GAP LAI” từ máy tính qua cổng COM1 hiển thị trên LCD, chữ chạy từ phải sang trái.
5. Viết chương trình tìm các số nguyên tố nhỏ hơn 100 và hiển thị kết quả trên máy tính thông qua giao tiếp cổng COM.
6. Xây dựng chương trình đơn giản để thực hiện việc truyền lệnh điều khiển từ máy tính tới vi điều khiển 8051 để bật tắt thiết bị điện thông qua cổng COM (yêu cầu mô hình hệ thống, chức năng các thiết bị và chương trình chương trình).
7. Nối lối ra của máy phát xung nhịp 1 MHz tới lối vào CLK2 của bộ đếm 2 chip PIT 8253; nối lối vào GATE2 lên + 5V để luôn cho phép đếm. Tạo chương trình phát sóng vuông qua bộ đếm 2 trong chip PIT -8253 với tần số bất kì được nhập từ bàn phím. *(Cho địa chỉ C0 = 304)*
8. Nối lối ra của máy phát xung nhịp 1 MHz (tần số có thể được điều chỉnh tăng hoặc giảm liên tục từng bước 100Hz một bằng việc nhấn phím “T” (tăng) hoặc nhấn phím “G” (giảm)) tới lối vào CLK2 của bộ đếm 2 chip PIT 8253; nối lối vào GATE2 lên + 5V để luôn cho phép đếm. Tạo chương trình phát sóng vuông qua bộ đếm 2 trong chip PIT -8253 với tần số bất kì được nhập từ bàn phím. *(Cho địa chỉ C0 = 304)*

9. Nối lối ra của máy phát xung nhịp 1 MHz tới lối vào CLK2 của bộ đếm 2 chip PIT 8253; nối lối vào GATE2 lên +5V để luôn cho phép đếm. Viết chương trình để phát ra các xung tỷ lệ lặp lại có độ rộng xung thỏa mãn điều kiện sau: mức thấp 40 $\mu$ s mức cao 200 $\mu$ s. **(Cho địa chỉ C0 = 304)**

10. Nối đầu ra của công tắc tạo xung đơn vào lối vào CLK1 của bộ đếm 1 vi mạch PIT-8254. Viết chương trình liên tục hiển thị số xung được đếm. Nhấn công tắc để tạo xung. **(Cho địa chỉ C0 = 304)**

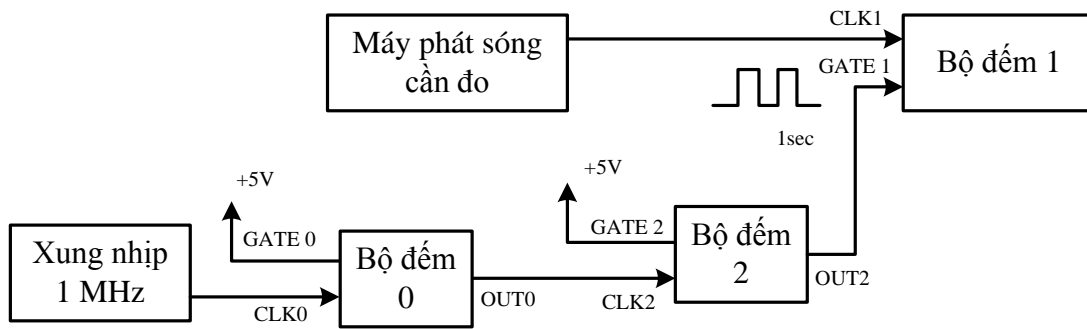
11. Nối đầu ra của công tắc tạo xung đơn vào lối vào CLK0 của bộ đếm 0 vi mạch PIT-8254. Viết chương trình liên tục hiển thị số xung được đếm. Nhấn công tắc để tạo xung. Giá trị đếm ban đầu luôn là 1111 1111 1111 1111 = FFFFh. **(Cho địa chỉ C0 = 304)**

12. Thực hiện đo thời gian chính xác giữa 2 sự kiện (thí dụ giữa các sự kiện nhấn và nhả công tắc chống rung K) như sơ đồ hình sau. Các xung đếm chuẩn có độ rộng 1ms được tạo ra từ nguồn xung nhịp 1MHz (có sai số tương đối về tần số rất thấp  $10^{-5}$  đến  $10^{-6}$ ) và lối ra OUT0 của bộ đếm 0 được đưa tới lối vào CLK1 của bộ đếm 1. Bộ đếm sẽ chỉ đếm được số xung trong khoảng thời gian giữa 2 lần nhấn công tắc K tức là khi giá trị GATE1 bằng 1. **(Cho địa chỉ C0 = 304)**



13. Sơ đồ tạo một bộ đo tần số xung tuần hoàn chính xác dùng vi mạch PIT-8253/54 như hình sau. Viết chương trình cho sơ đồ. **(Cho địa chỉ C0 = 304)**





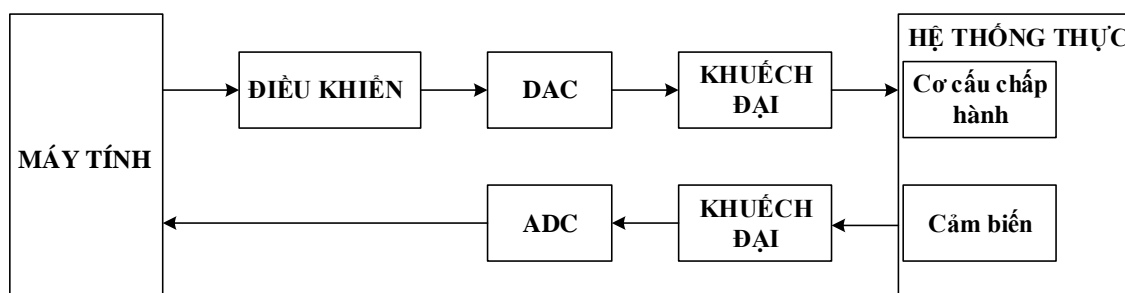
*Đo tần số*

# CHƯƠNG 4. GHÉP NỐI SỐ - TƯƠNG TỰ, TƯƠNG TỰ - SỐ

## 4.1. Tổng quan

Máy vi tính là thiết bị số, nhiều thiết bị ngoại vi dùng trong điều khiển và đo lường là thiết bị thu/phát các tín hiệu tương tự như nhiệt độ, áp suất ... Do đó, các bộ biến đổi tín hiệu số sang tín hiệu tương tự (DAC) và tín hiệu tương tự sang tín hiệu số (ADC) là phần tử trung gian giữa máy tính và các thiết bị ngoại vi.

Hình 4.1 minh họa một hệ thống điều khiển của máy tính với thiết bị ngoại vi.



Hình 4.1. Sơ đồ cấu trúc hệ thống điều khiển tự động.

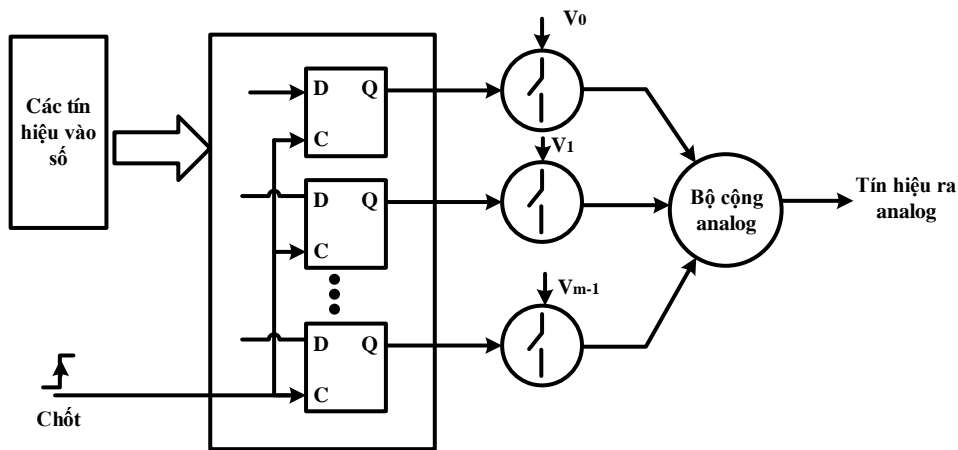
Các bộ cảm biến dùng để biến đổi các giá trị vật lý như nhiệt độ, áp suất... sang điện áp hay dòng điện tương tự. Sau các bộ cảm biến thường là các bộ khuếch đại và bộ lọc. Các tín hiệu ở đầu ra bộ khuếch đại là các tín hiệu tương tự nên chúng được đưa qua các bộ biến đổi tương tự sang số (ADC- Analog to Digital Converter) để chuyển sang tín hiệu số. Máy tính sẽ tiếp nhận tín hiệu này để xử lý, lưu trữ hay so sánh rồi đưa ra các lệnh điều khiển tới hệ thống cơ cấu chấp hành thông qua bộ biến đổi số sang tương tự (DAC- Digital to Analog Converter) và bộ khuếch đại.

## 4.2. Bộ biến đổi số-tương tự (DAC)

Các bộ biến đổi D/A thường dựa trên nguyên lý cơ bản như hình 4.2. Trong sơ đồ nguyên lý bao gồm một mạch cộng analog để cộng tất cả điện thế analog tỷ lệ với từng bit nhị phân. Các trigơ D là các mạch chốt  $m$  bit nhị phân của tín hiệu đầu vào. Mỗi bit thứ  $i$  sẽ điều khiển các công tắc tương ứng nhằm cho qua điện thế  $V_i$  tỷ lệ với các trọng số thứ  $i$  tới bộ cộng mỗi khi giá trị của nó đạt mức 1. Do vậy, đầu ra của bộ cộng có giá trị là:

$$V = B_{m-1}.V_{m-1} + B_{m-2}.V_{m-2} + \dots + B_0.V_0$$

Trong đó  $B_i$  là giá trị nhị phân (0 hoặc 1) của bit thứ  $i$ .

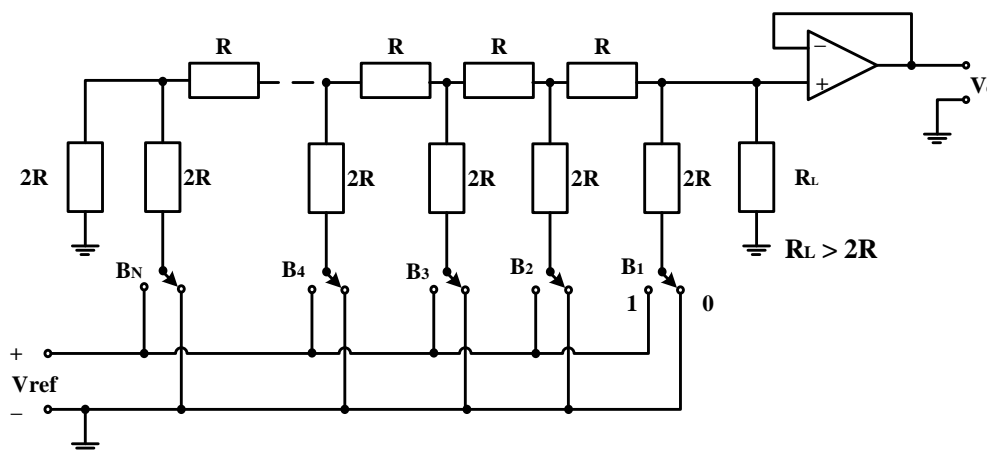


Hình 4.2. Bộ biến đổi D/A cơ bản.

Hiện nay, loại DAC thông dụng nhất là loại dùng thang các điện trở R-2R để cấp dòng cho bộ cộng analog, sơ đồ minh họa hình 4.3.

Điện áp đầu ra tỷ lệ với giá trị các bit đầu vào là:

$$V_0 = -V_{\text{ref}} \left( \frac{B_1}{2^1} + \frac{B_2}{2^2} + \dots + \frac{B_N}{2^N} \right)$$



Hình 4.3. Mạch biến đổi D/A kiểu R-2R.

### 4.3. Các tham số của bộ biến đổi D/A

#### *Độ phân giải*

Độ phân giải là tỉ số giữa giá trị cực tiểu đối với giá trị cực đại của điện áp đầu ra, về trị số tỉ số này tương ứng với tỉ số giá trị cực tiểu đối với giá trị cực đại của tín hiệu số đầu vào.

Thí dụ đối với DAC 10 bit, có độ phân giải là:

$$\frac{0000000001}{1111111111} = \frac{1}{2^{10} - 1} = \frac{1}{1023} \approx 0,001$$

Độ phân giải của DAC cũng có thể biểu thị bằng số bit tín hiệu số đầu vào.

#### *Điện áp ra toàn thang*

Điện áp ra toàn thang là điện áp cực đại ứng với trường hợp tất cả các bit lỗi vào đều bằng 1. Giá trị điện áp ra cực đại của bộ biến đổi luôn nhỏ hơn giá trị danh định ít nhất là 1 bit có trọng số nhỏ nhất. Ví dụ, đối với bộ biến đổi D/A 10 bit, điện áp ra toàn thang là 10V thì giá trị của bit LSB là  $10V/1024 \approx 9.77 \text{ mV}$ . Điện áp ra lớn nhất của bộ biến đổi nếu được điều chỉnh đúng là  $10V - 0,00977 \approx 9.9902V$ .

### ***Độ tuyến tính***

Độ tuyến tính là độ lệch của đầu ra so với đường thẳng nối điểm chuyển đổi từ trạng thái toàn 0 (các công tắc đều tắt) đến trạng thái toàn 1 (các công tắc đều đóng). Trong trường hợp lý tưởng, độ lệch của đầu ra không được vượt quá giá trị  $\pm 1/2$  bit LSB nhằm duy trì độ chính xác toàn cục. Trên thực tế có rất nhiều bộ biến đổi D/A có sai số tuyến tính lớn hơn giá trị này mà vẫn cho ra kết quả đúng.

### ***Độ chính xác***

Độ chính xác của bộ biến đổi D/A là sự sai lệch giữa giá trị lỗi ra thực tế và giá trị lỗi ra mong muốn. Nó thường được xác định theo số phần trăm của điện áp hoặc dòng điện toàn thang. Trong trường hợp lý tưởng, sai số lớn nhất không vượt quá giá trị  $\pm 1/2$  bit LSB.

### ***Thời gian xác lập dòng điện, điện áp đầu ra***

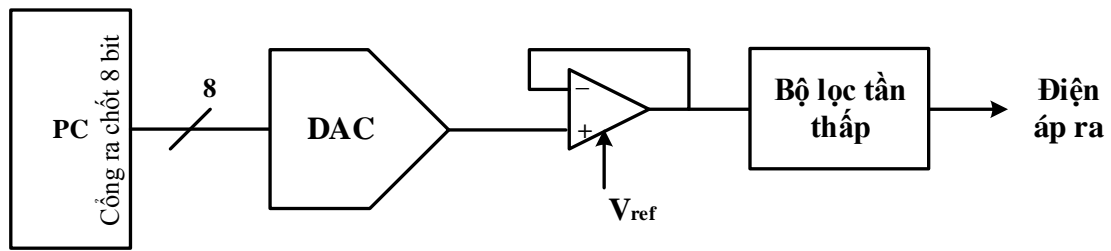
Thời gian xác lập, là thời gian từ khi tín hiệu số được đưa vào đến khi dòng điện hoặc điện áp đầu ra ổn định. Điều này có nghĩa đây là thời gian để bộ biến đổi đạt được khoảng  $\pm 1/2$  bit LSB so với giá trị xác lập cuối cùng.

Ngoài các tham số trên còn một số tham số khác như: các mức logic cao, thấp, điện trở và điện dung đầu vào. Dải động, điện trở và điện dung đầu ra v.v.

## **4.4. Ghép nối bộ biến đổi D/A với máy tính**

Bộ biến đổi D/A có thể tương thích với hầu hết các bộ vi xử lý. Đối với các bộ biến đổi D/A 8 bit thì việc ghép nối rất đơn giản vì các vi xử lý đều có BUS dữ liệu là bội của 8. Đối với các bộ biến đổi D/A 12 hay 16 bit cần phải sử dụng các bộ đệm trung gian.

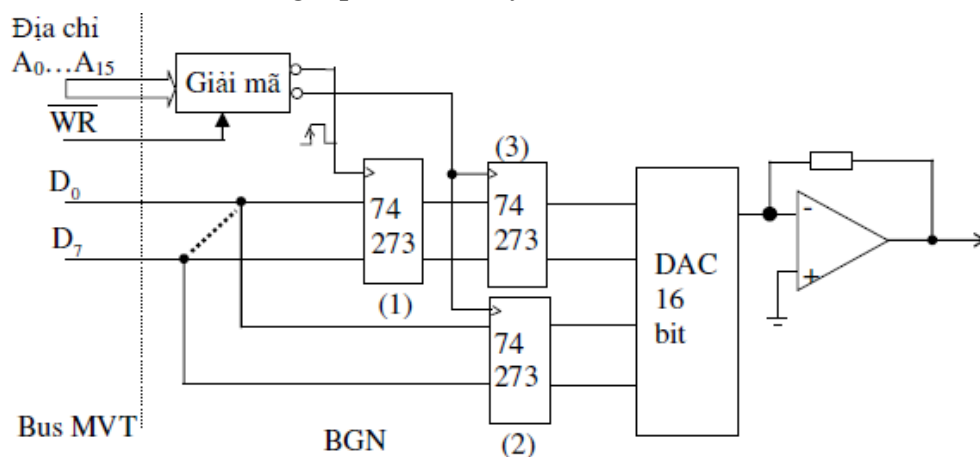
Thông thường các bộ biến đổi D/A là loại có dòng ra tỷ lệ với mã đầu vào nên người ta sử dụng mạch khuếch đại thuật toán để làm bộ biến đổi dòng điện thành điện áp. Do điện áp đầu ra biến đổi theo các mức lượng tử nên phải dùng một bộ lọc tần thấp để là trơn tín hiệu. Có thể sử dụng các cổng vào/ra của vi mạch PPI-8255 làm cổng ra 8 bit. Nếu số bit vào của D/A có 12 hay 16 bit thì phải sử dụng 2 cổng của 8255, có thể dùng thêm các mạch chốt dữ liệu 74244... Khi lập trình xuất ra cổng các số là hàm biến đổi theo thời gian, từ đó có thể tạo được các sóng sin, răng cưa, vuông hay tỷ lệ... Đồng thời độ ổn định tín hiệu ra chỉ phụ thuộc vào nguồn điện áp chuẩn  $V_{ref}$  cấp cho DAC.



Hình 4.4. Điều khiển DAC bằng máy tính.

Để ghép nối ta nối các lối vào của bộ biến đổi với một cổng (port). Trong trường hợp số bit của bộ biến đổi D/A (ví dụ 12 bit) lớn hơn số bit của cổng (ví dụ 8 bit) cần phải thiết kế mạch phần cứng và phần mềm hợp lý. Ví dụ, nối 8 bit thấp của 12 bit đầu vào của bộ biến đổi với một cổng và 4 bit cao còn lại với cổng khác.

Hình 4.5 minh họa cách ghép nối vi xử lý với bộ biến đổi D/A 16 bit.



Hình 4.5. Ghép nối vi xử lý với DAC 16 bit

#### 4.5. Lập trình cho DAC

Lập trình xuất dữ liệu cho DAC 8 bit.

```
Port[addr_port]:=data;
```

Trong đó địa chỉ cổng *addr\_port* sẽ qua mạch giải mã địa chỉ để tạo xung kích mở mạch đệm đưa dữ liệu số vào đầu vào DAC. Số liệu cần chuyển đổi được đặt trong *data*.

Đối với DAC 16 bit cần 2 lệnh xuất:

```
Port[addr_port1]:=data1;
```

```
Port[addr_port2]:=data2;
```

Trong đó địa chỉ cổng *addr\_port1* sẽ qua mạch giải mã địa chỉ để tạo xung kích mở mạch chốt đệm 74273 (hình 4.5) thứ nhất, lưu giữ 8 bit thấp của dữ liệu, số liệu cần chuyển đổi được đặt trong *data1*. Lệnh xuất dữ liệu thứ 2 theo địa chỉ cổng *addr\_port2* sẽ tạo xung kích mở mạch chốt đệm 74273 (hình 4.5) thứ hai, lưu giữ 8 bit

cao của dữ liệu, số liệu cần chuyển đổi được đặt trong *data2*. Đồng thời xung kích thứ hai cũng mở chốt đệm 74273 thứ ba. Do vậy DAC đồng thời nhận được 16 bit dữ liệu.

#### 4.6. Bộ biến đổi tương tự - số (ADC)

Các bộ biến đổi A/D có nhiệm vụ biến đổi điện thế hoặc dòng điện thành dạng mã dạng số tương ứng tại đầu ra. Nếu số bit đầu ra là N tương ứng với độ phân giải là N bit. Các tham số của bộ biến đổi A/D tương tự như bộ biến đổi D/A.

Có rất nhiều cách để thực hiện biến đổi A/D. Phần sau giới thiệu một số phương pháp biến đổi A/D thông dụng.

##### 4.6.1. Tham số đặc trưng của ADC

###### *Dải biến đổi của điện áp tương tự ở đầu vào.*

Là khoảng điện áp mà bộ chuyển đổi AD có thể thực hiện chuyển đổi được. Khoảng điện áp đó có thể lấy trị số từ 0 đến một trị số dương hoặc âm nào đó hoặc cũng có thể là điện áp có hai cực tính từ  $-U_{Am}$  đến  $+U_{Am}$ .

###### *Độ phân giải.*

Độ phân giải của ADC biểu thị bằng số bit của tín hiệu ở đầu ra. Số bit càng nhiều thì sai số lượng tử càng nhỏ, độ chính xác càng cao.

Ví dụ: Một ADC có số bit ở đầu ra  $N = 12$  có thể phân biệt được  $2^{12} = 4096$  mức trong dải biến đổi điện áp vào của nó. Độ phân biệt của một ADC được ký hiệu là Q và được xác định bởi biểu thức sau:

$$Q = \frac{U_{Am}}{2^N - 1}$$

Q là giá trị của một mức lượng tử hoá hoặc còn gọi là một LSB.

Thông thường các ADC có số bit từ 3 đến 12. Ngoài ra còn có một số các ADC đạt được độ chính xác có số bit từ 14 đến 16 bit.

Đặc tuyến truyền đạt lý tưởng của ADC là một đường bậc thang đều và có độ dốc trung bình bằng 1. Đặc tuyến thực có sai số lệch không, nghĩa là nó không xuất phát tại giá trị ứng với  $\frac{1}{2}$  LSB. Nó là hình bậc thang không đều do ảnh hưởng của sai số khuếch đại, méo phi tuyến.

###### *Tốc độ chuyển đổi.*

Tốc độ chuyển đổi là số chuyển đổi trong một giây gọi là tần số chuyển đổi  $f_c$ . Cũng có thể dùng tham số thời gian chuyển đổi  $T_c$  để đặc trưng cho tốc độ chuyển đổi.  $T_c$  là thời gian cần thiết cho một lần chuyển đổi.

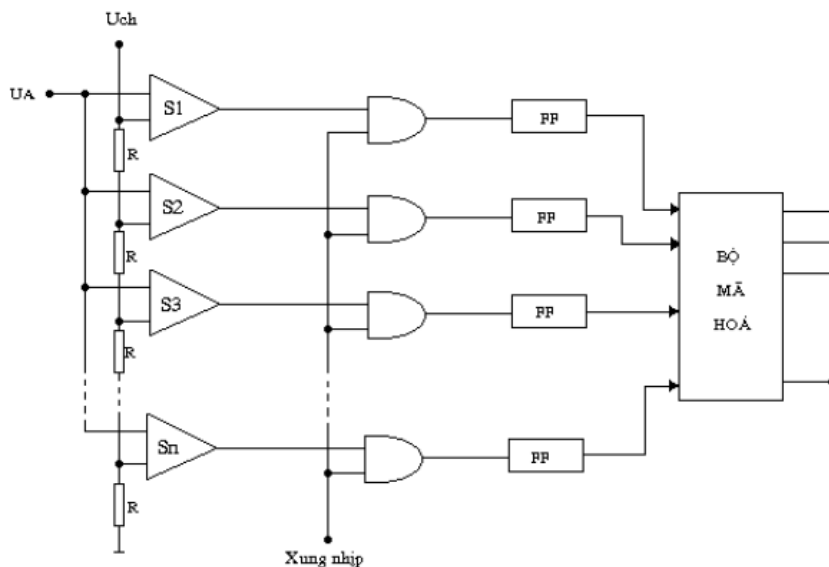
Chú ý rằng  $f_c \neq 1/T_c$ . Thường  $f_c < 1/T_c$  và giữa các lần chuyển đổi còn có một khoảng thời gian cần thiết cho ADC phục hồi lại trạng thái ban đầu.

#### 4.6.2. Bộ biến đổi A/D kiểu so sánh song song

Trong phương pháp chuyển đổi song song, tín hiệu tương tự  $U_A$  được đồng thời đưa tới các bộ so sánh  $S_1 \div S_n$ . Điện áp chuẩn được đưa tới đầu vào thứ hai của các bộ so sánh, thông qua thang điện trở  $R$ . Do đó các điện áp chuẩn đặt vào bộ so sánh lân cận khác nhau một lượng không đổi và giảm dần từ bộ so sánh  $S_1$  đến từ bộ so sánh  $S_n$ . Đầu ra của bộ so sánh có điện áp vào lớn hơn điện áp chuẩn lấy trên thang điện trở có mức logic “1” các đầu ra còn lại có mức logic “0”. Tất cả các đầu ra được nối với mạch AND (và), một đầu mạch AND được nối với mạch tạo xung nhịp chỉ khi có xung nhịp đưa đến đầu vào mạch AND thì các xung trên đầu ra mạch so sánh mới đưa tới mạch nhớ FF (Flip - Flop).

Như vậy cứ sau một khoảng thời gian bằng một chu kỳ của xung nhịp lại có một tín hiệu được biến đổi và đưa tới đầu ra. Xung nhịp đảm bảo cho quá trình so sánh kết thúc mới đưa tới tín hiệu vào bộ nhớ.

Mạch biến đổi song song có tốc độ chuyển đổi nhanh, vì quá trình so sánh được thực hiện song song, nhưng mạch phức tạp với số linh kiện quá lớn. Với bộ chuyển đổi  $N$  bit để phân biệt được  $2^N$  mức lượng tử hóa phải dùng  $(2^N - 1)$  bộ so sánh. Vì vậy phương pháp này chỉ dùng trong các ADC yêu cầu số bit  $N$  nhỏ và tốc độ chuyển đổi cao.



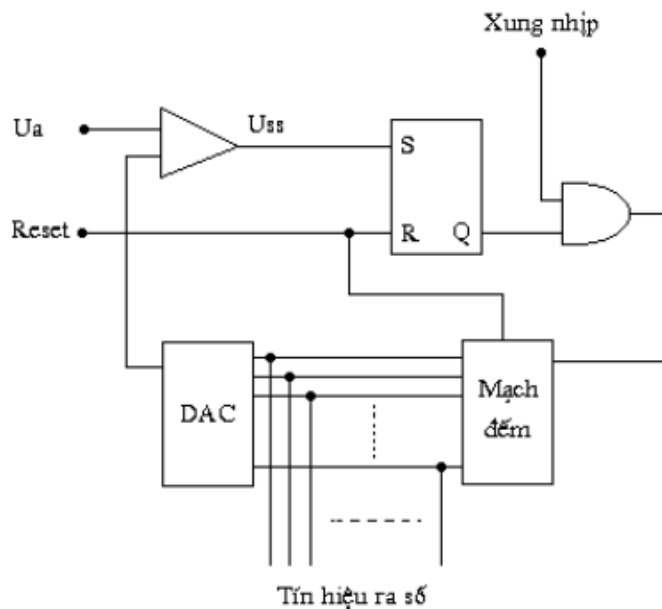
Hình 4.6. Bộ biến đổi A/D song song.

#### 4.6.3. Bộ biến đổi A/D theo phương pháp đếm

Hình 4.7 trình bày sơ đồ nguyên tắc của ADC làm việc theo phương pháp đếm đơn giản. Mạch bao gồm bộ so sánh, trigơ RS, cổng AND dùng để đóng mở xung nhịp, bộ đếm  $n$  bit và một bộ DAC  $n$  bit. Các phần tử được mắc thành mạch hồi tiếp.

Lúc đầu mạch trigơ và mạch đếm được Reset, lối ra Q của trigơ có giá trị 0, bộ đếm cũng bị xóa về trạng thái 0, do vậy, điện áp ra  $U_{DAC}$  của bộ biến đổi D/A có giá trị là 0V. Cổng AND mở để cho các xung nhịp vào mạch đếm. Lúc này điện áp vào  $U_a$  lớn hơn  $U_{ADC}$  nên  $U_{SS}$  ở giá trị thấp.  $U_{DAC}$  tăng dần theo hình bậc thang vì mạch đếm liên tục đổi trạng thái từ thấp lên cao, khi  $U_{DAC}$  đủ lớn hơn  $U_a$  thì  $U_{SS}$  chuyển lên cao làm cho lối ra Q của trigơ chuyển lên mức logic 0 làm cổng AND đóng lại. Lúc này nội dung bộ đếm là tín hiệu số  $n$  bit tương ứng với tín hiệu tương tự  $U_a$  cần chuyển đổi.

Thời gian chuyển đổi của ADC theo phương pháp đếm phụ thuộc vào độ lớn của tín hiệu tương tự  $U_a$  và tần số xung nhịp. Nếu  $U_a$  càng lớn thì thời gian chuyển đổi càng dài, nếu xung nhịp cao thì thời gian chuyển đổi ngắn. Ngoài ra thời gian chuyển đổi sẽ hạn chế tần số biến thiên cao nhất của tín hiệu tương tự đầu vào  $U_a$ .



Hình 4.7. Bộ biến đổi A/D theo phương pháp đếm

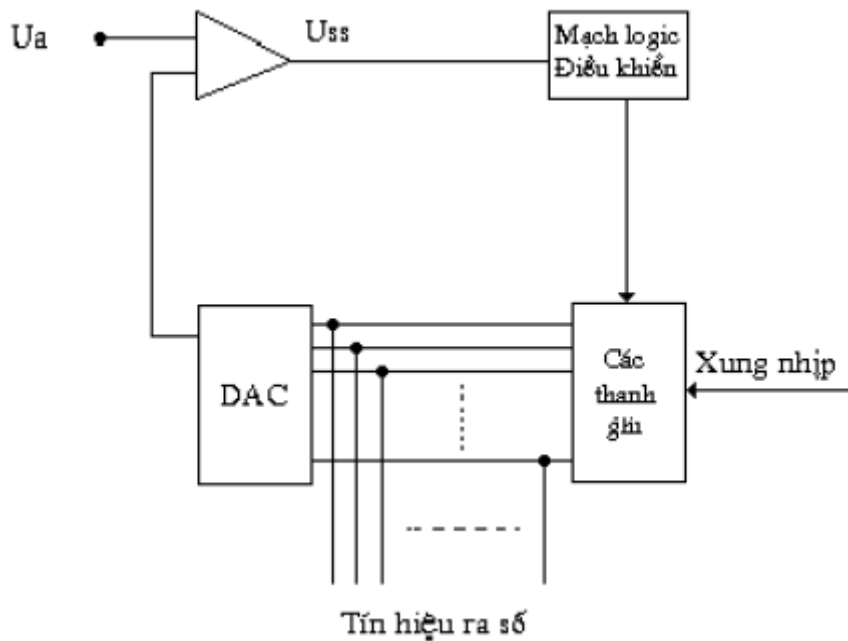
#### 4.6.4. Bộ biến đổi A/D theo phương pháp xấp xỉ liên tiếp

Bộ chuyển đổi A/D theo phương pháp xấp xỉ liên tiếp có ưu điểm là thời gian chuyển đổi tỷ lệ thuận với số bit của mã số và thời gian thiết lập của thanh ghi mà không phụ thuộc của tín hiệu chuyển đổi.

ADC có  $N$  bit tương ứng với quá trình biến đổi xảy ra  $N$  bước. Đầu tiên thanh ghi xuất ra số nhị phân có giá trị số bằng  $\frac{1}{2}$  toàn dải, nghĩa là số bit có trọng số lớn nhất MSB có giá trị 1, các bit còn lại có giá trị 0. Như vậy, điện áp lối ra của bộ biến đổi D/A có giá trị bằng  $\frac{1}{2}$  điện áp toàn dải. Nếu điện áp ra của bộ biến đổi D/A lớn hơn điện áp vào thì lối ra của bộ so áp  $U_{SS}$  sẽ ở mức logic 0 và điều khiển thanh ghi xóa bit MSB và đặt bit tiếp theo của số xuất ra lên mức logic 1. Nếu điện áp này vẫn



nhỏ hơn điện áp vào  $U_a$  thì thế lối ra của bộ so áp có mức logic 1 sẽ điều khiển thanh ghi giữ nguyên giá trị MSB bằng 1 và đặt bit tiếp theo của số xuất ra lên giá trị 1. Quá trình cứ lặp lại  $N$  lần và giá trị chuyển đổi số mong muốn.



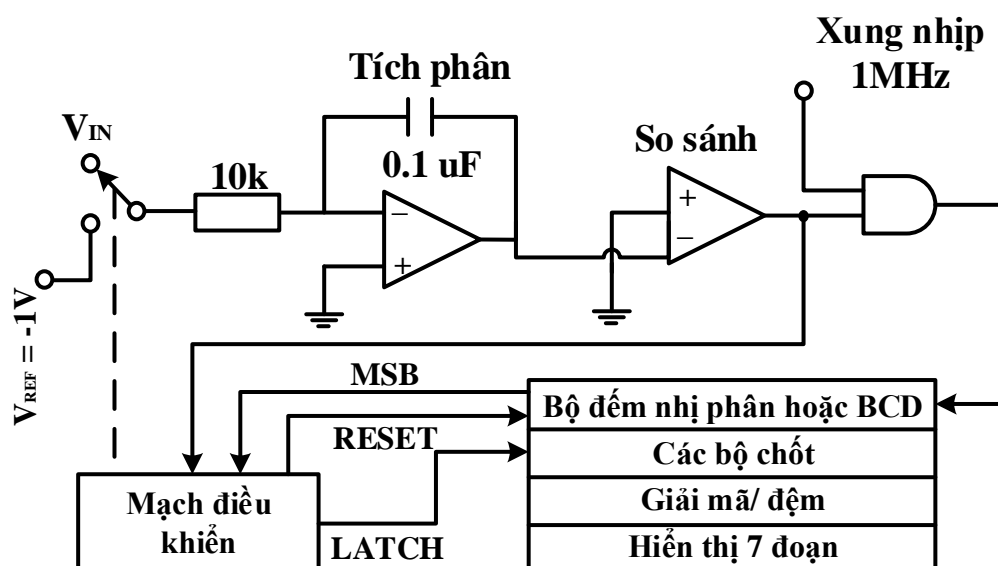
Hình 4.8. Bộ biến đổi A/D theo phương pháp đếm.

#### 4.6.5. Bộ biến đổi A/D hai sườn xung

Bộ biến đổi A/D hai sườn xung cung cấp độ phân giải cao với giá thành hạ.

Đầu tiên, mạch điều khiển sẽ xóa tất cả các bộ đếm về giá trị 0 và nối lối vào của mạch tích phân với điện áp vào cần chuyển đổi. Giả sử điện áp vào là dương làm cho lối ra của mạch tích phân lúc này sẽ âm dần. Khi lối ra của mạch tích phân giảm xuống dưới 0 thì lối ra bộ so sánh sẽ chuyển lên mức cao. Lối ra bộ so sánh ở mức cao cho phép mở cổng AND đưa xung nhịp 1 MHz tới chuỗi các bộ đếm. Sau một số đếm nhất định, thường là 1000, mạch điều khiển sẽ chuyển lối vào bộ tích phân xuống mức điện áp chuẩn âm, đồng thời reset tất cả các bộ đếm về giá trị 0.

Với điện áp lối vào âm, lối ra mạch tích phân sẽ tăng dần và vượt qua giá trị 0V thì lối ra của bộ so sánh chuyển xuống mức thấp, cấm xung nhịp điều khiển bộ đếm. Số đếm cần thiết để lối ra của bộ tích phân quay về 0V tỷ lệ với điện áp vào. Vì điện trở và tụ điện trên mạch tích phân được dùng cho cả tích phân điện áp đầu vào và điện áp chuẩn nên những biến đổi nhỏ trong giá trị của chúng (do ảnh hưởng của nhiệt độ) sẽ không ảnh hưởng đến độ chính xác của quá trình biến đổi.



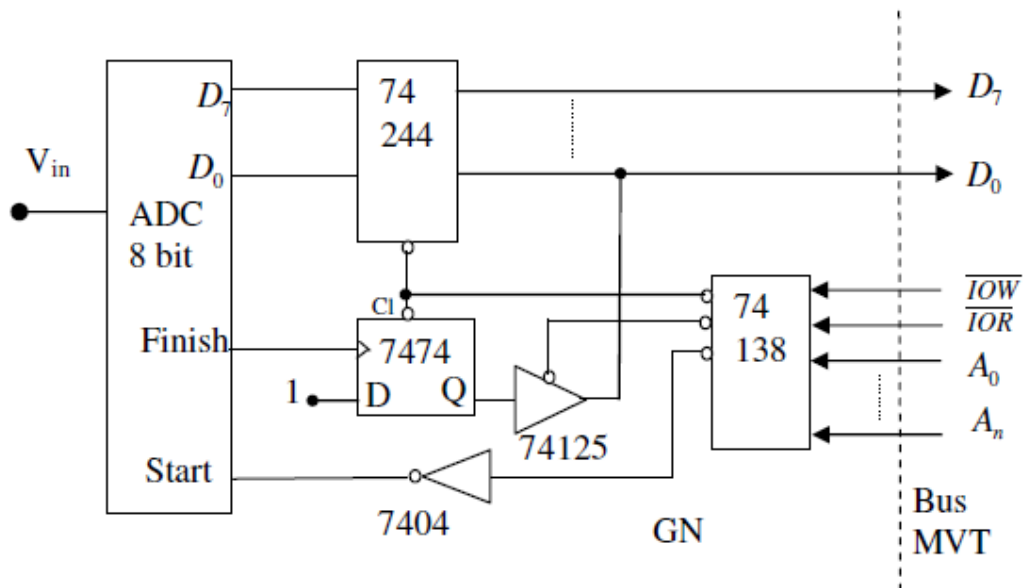
Hình 4.9. Bộ biến đổi A/D hai sườn xung.

#### 4.6.6. Ghép nối các bộ biến đổi A/D với máy tính

Khi bộ biến đổi A/D sử dụng các bộ so sánh song song thì bộ biến đổi tạo ra các giá trị lỗi ra nhanh hơn khả năng đọc chúng của máy tính nhiều lần. Do vậy, cần phải dùng phương pháp truy cập bộ nhớ trực tiếp DMA. Khi vi xử lý thả nổi bus, chip điều khiển DMAC sẽ điều khiển bus và cho dữ liệu từ bộ biến đổi A/D truyền trực tiếp vào các ô nhớ liên tiếp.

Phần lớn các bộ biến đổi A/D loại sườn xung được thiết kế để ghép nối với các bộ hiển thị 7 đoạn. Do đó, chúng thường xuất dữ liệu dạng mã BCD hoặc mã 7 đoạn. Để đọc dữ liệu từ bộ biến đổi này thường dùng phương pháp hỏi vòng.

Các bộ biến đổi A/D theo phương pháp xấp xỉ liên tiếp thường có các lỗi ra cho từng bit một. Mã ở lỗi ra là dạng mã nhị phân. Có thể nối các lỗi ra song song của bộ biến đổi với số chân yêu cầu của một cổng vào và đọc số liệu bằng chương trình phần mềm. Ngoài các đường dữ liệu, có hai đường tín hiệu khác của bộ biến đổi xấp xỉ liên tiếp cần phải nối máy tính. Đầu tiên, máy tính phát ra tín hiệu START CONVERT (khởi phát) đến bộ biến đổi để báo cho nó thực hiện một quá trình chuyển đổi A/D. Bộ biến đổi phát ra tín hiệu EOC hoặc Finish (kết thúc) để báo hiệu quá trình biến đổi đã hoàn tất và dữ liệu trên các lỗi ra đã ổn định.



Hình 4.10. Sơ đồ ghép nối ADC với vi xử lý.

Hình 4.10 biểu diễn mạch ghép nối với ADC 8 bit. Quá trình chuyển đổi được đồng bộ bằng một dương Start. Kết thúc quá trình này, số liệu sẽ được đưa đến lối ra ADC, đồng thời tín hiệu Finish chuyển từ mức logic 0 lên mức 1. Lối ra ADC được nối với mạch đệm ba trạng thái 74244. Chân ra của 74244 được nối với chân Clear của trigơ D 7474 để xóa trạng thái sẵn sàng nhận số liệu của ADC. Đồng thời, một xung đọc số liệu của ADC sẽ xóa đầu ra Q của 7474 về giá trị 0 để tránh việc đọc hai lần cùng một số liệu. Xung Finish đưa mức logic 1 ra chân Q của trigơ D rồi tới mạch đệm 3 trạng thái 74125 để đưa vào đường dữ liệu D<sub>0</sub>.

Đối với ADC 16 bit, cần thêm bộ chốt đệm thứ hai để đọc số liệu 8 bit cao theo một địa chỉ thứ hai.

#### 4.6.7. Lập trình cho ADC

Quá trình nhận dữ liệu từ ADC trên hình 4.10 được thực hiện:

- Tạo xung Start để bắt đầu quá trình chuyển đổi A/D.
- Kiểm tra việc chuyển đổi đã thực hiện xong chưa?
- Đọc dữ liệu vào.

Địa chỉ để tạo tín hiệu Start từ IC 74138: `addr_St`.

Địa chỉ để tạo tín hiệu Start từ IC 74125:.

Địa chỉ để tạo tín hiệu Start từ IC 74244:

Sau đây là ví dụ tham khảo:

```
Port[addr_St] := 0;
```

Repeat

```
Var1 := port[addr_Fh];
```

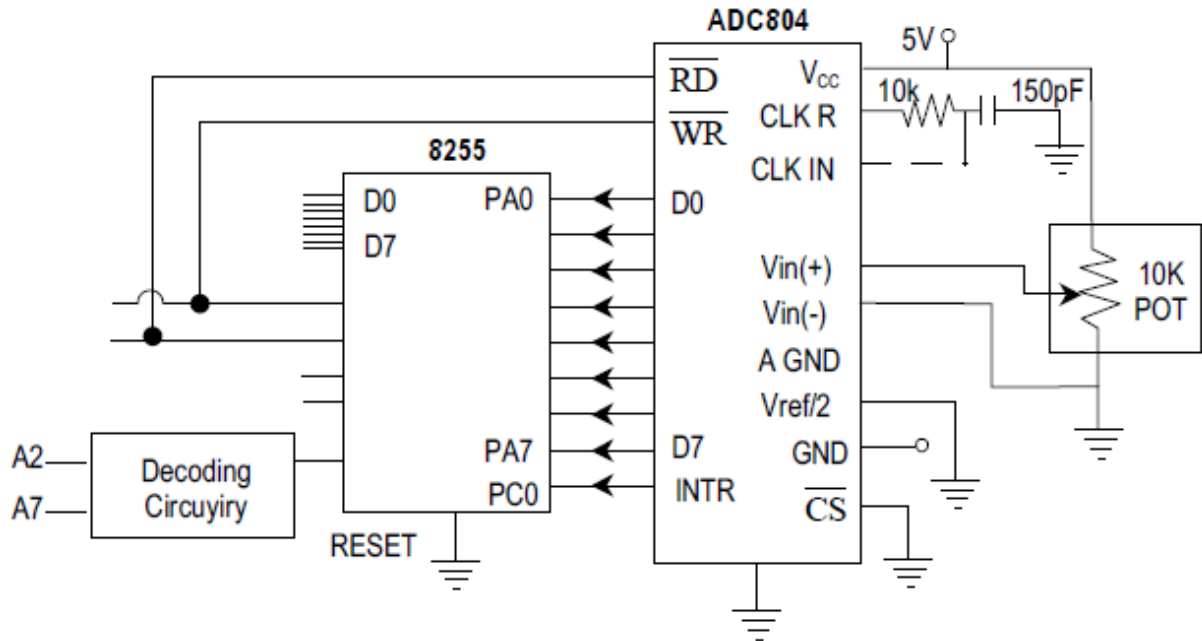
*Until ((Var1 AND 1) = 1)*

*//Delay(thoigianchuyendo) → không dùng mach doc finish*

*Data := port[addr\_ADC];*

#### 4.7. Ví dụ

Ví dụ: Nối ghép ADC với 8255.



Hình 4.11. Nối ghép ADC 804 với 8255

```

MOV     A, #80H      ; Từ điều khiển với PA = đầu ra và PC = đầu vào
MOV     R1, #CRPORT ; Nạp địa chỉ cổng điều khiển
MOVX    @R1, A      ; Đặt PA = đầu ra và PC = đầu vào
BACK:   MOV     R1, #CPORT ; Nạp địa chỉ cổng C
        MOVX    A, @R1    ; Đọc địa chỉ cổng C để xem ADC đã sẵn sàng chưa
        ANL     A, #0000001B ; Che tất cả các bit cổng C để xem ADC đã sẵn
                               ; sàng chưa
        JNZ     BACK      ; Giữ hiển thị PC0 che EOC
                               ; Kết thúc hội thoại và bây giờ nhận dữ liệu của ADC
        MOV     R1, #APORT ; Nạp địa chỉ PA
        MOVX    A, @R1    ; A = đầu vào dữ liệu tương tự
    
```

### CÂU HỎI ÔN TẬP

1. Viết chương trình biến đổi các số 0, 255, 511, 1023, 2047, 4095 thành các tín hiệu tương tự ở lối ra DAC của chip DAC-80.

2. Viết chương trình phát ra một sóng hình răng cưa với tần số và biên độ lớn nhất có thể được bằng bộ biến đổi D/A.

3. Viết chương trình phát ra một sóng hình răng cưa có thể biến đổi liên tục và tần số bằng việc nhấn các phím trên bàn phím bằng bộ biến đổi D/A.
4. Viết chương trình phát ra một sóng xung vuông với độ rộng biến đổi được bằng bộ biến đổi D/A.
5. Viết chương trình phát ra một sóng xung vuông có thể biến đổi liên tục và tần số bằng việc nhấn các phím trên bàn phím bằng bộ biến đổi D/A.
6. Viết chương trình biến đổi tương tự - số A/D để biến đổi điện áp một chiều 10V theo phương pháp đếm.
7. Viết chương trình biến đổi tương tự - số A/D để biến đổi điện áp một chiều 10V theo phương pháp xấp xỉ liên tục.
8. Viết chương trình biến đổi tương tự - số A/D để biến đổi điện áp một chiều 10V theo phương pháp hai sườn xung.

## TÀI LIỆU THAM KHẢO

1. *Slide bài giảng Thiết bị ngoại vi và Kỹ thuật ghép nối* - Trần Thị Thúy Hà, Học viện công nghệ Bưu chính Viễn thông 2012.
2. *Kỹ thuật ghép nối máy vi tính*, Nguyễn Mạnh Giang, NXB Giáo dục 1997 .
3. *Nguyên lý phân cứng và kỹ thuật ghép nối máy vi tính*, Trần Quang Vinh, NXB Giáo dục 2002.
4. *Ghép nối và điều khiển thiết bị ngoại vi*, Nguyễn Văn Minh Trí, Lâm Tăng Đức.
5. *Đo lường và điều khiển bằng máy tính*, Ngô Diên Tập, NXB Khoa học và Kỹ thuật 1999.
6. *Cấu trúc máy vi tính*, Trần Quang Vinh, Đại học Quốc gia Hà nội, 2005.
7. *Microprocessor and interfacing*, Douglas V.Hall, Glencoe 1993.
8. *Microcomputer Interfacing, a practical guide for technicians, engineers and scientific*, Joseph J. Comer, Prentice hall, 1991.
9. *Peripheral design handbook*, Intel, 1991.
10. *PC Interfacing and Data Acquisition - Techniques for Measurement Instrumentation and Control*, Kelvin Jame, Newnes, 2000.
11. *Visual Basic for Electronic Engineerings Applications*, Vincent Him, Newnes, 2005.
12. *USB complete*, Jan Axelson, Newnes, 2001.
13. *Serial port complete*, Jan Axelson, Newnes, 2001
14. *Parallel port complete*, Jan Axelson, Newnes, 2001.
15. *The Windows serial port programming handbook*, Ying Bai, CRC Press LLC, 2005.