

# KIẾN TRÚC MÁY TÍNH

Giảng viên: ThS. Phan Thanh Toàn

# **BÀI 2**

## **ĐƠN VỊ XỬ LÝ TRUNG TÂM**

Giảng viên: ThS. Phan Thanh Toàn

## MỤC TIÊU BÀI HỌC

- Liệt kê được các thành phần cơ bản của bộ vi xử lí.
- Mô tả được kiến trúc RISC và kĩ thuật đường ống.
- Phân biệt được các đặc trưng cơ bản của các họ vi xử lí thông dụng: intel 80x86, pentium,...



## CÁC KIẾN THỨC CẦN CÓ

Để hiểu rõ bài này, yêu cầu học viên cần có các kiến thức cơ bản liên quan đến các môn học sau:

- Kỹ thuật số;
- Kỹ thuật điện tử số;
- Tin học cơ bản.



## HƯỚNG DẪN HỌC

- Đọc tài liệu và tóm tắt những nội dung chính của từng bài.
- Luôn liên hệ và lấy ví dụ thực tế khi học đến từng vấn đề và khái niệm.
- Sử dụng các ngôn ngữ lập trình cơ bản như Pascal, C,... Để cài đặt một số thuật toán trong bài học.
- Làm bài tập và luyện thi trắc nghiệm theo yêu cầu từng bài.



## CẤU TRÚC NỘI DUNG

2.1. Kiến trúc vi xử lý trung tâm Intel 80x86

2.2. Bộ vi xử lý Intel 80386

2.3. Bộ vi xử lý 80486 và Pentium

## 2.1. KIẾN TRÚC VI XỬ LÝ TRUNG TÂM INTEL 80x86

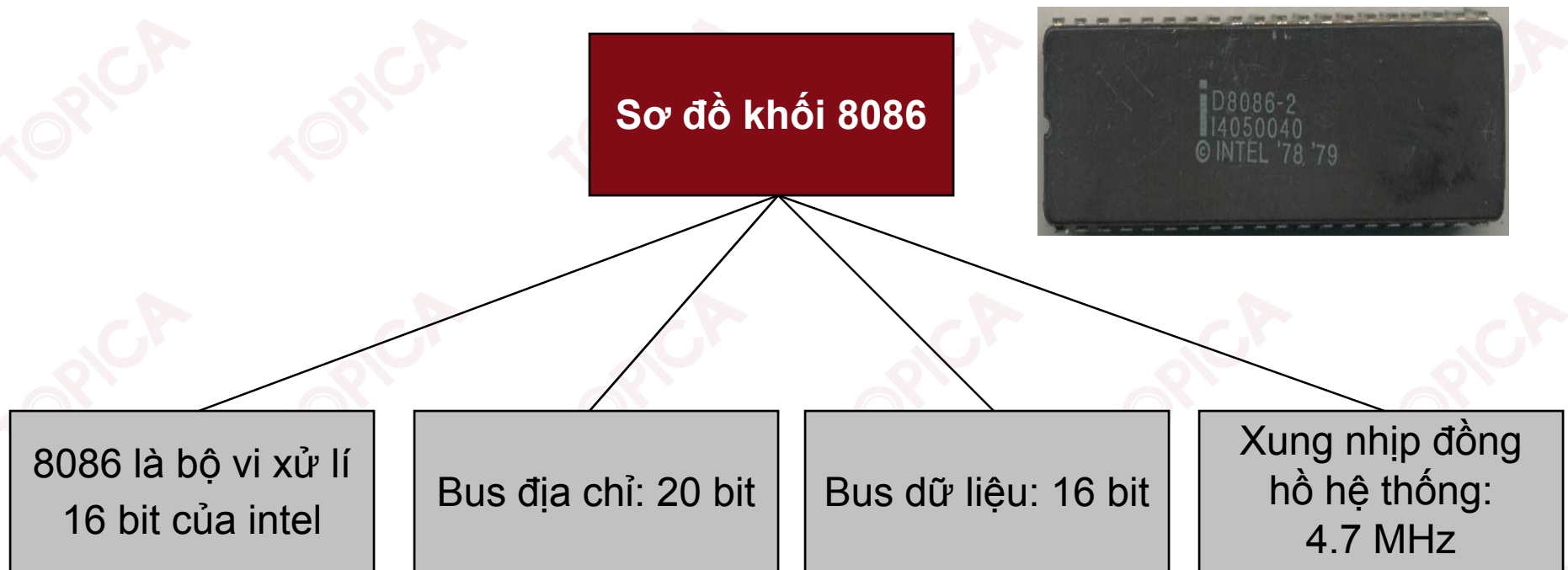
2.1.1. Sơ đồ và các chân tín hiệu

2.1.2. Truy nhập bộ nhớ và thiết bị ngoại vi

2.1.3. Cấu trúc bên trong vi xử lý 80x86

2.1.4. Tập lệnh của 80x86

## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088





## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

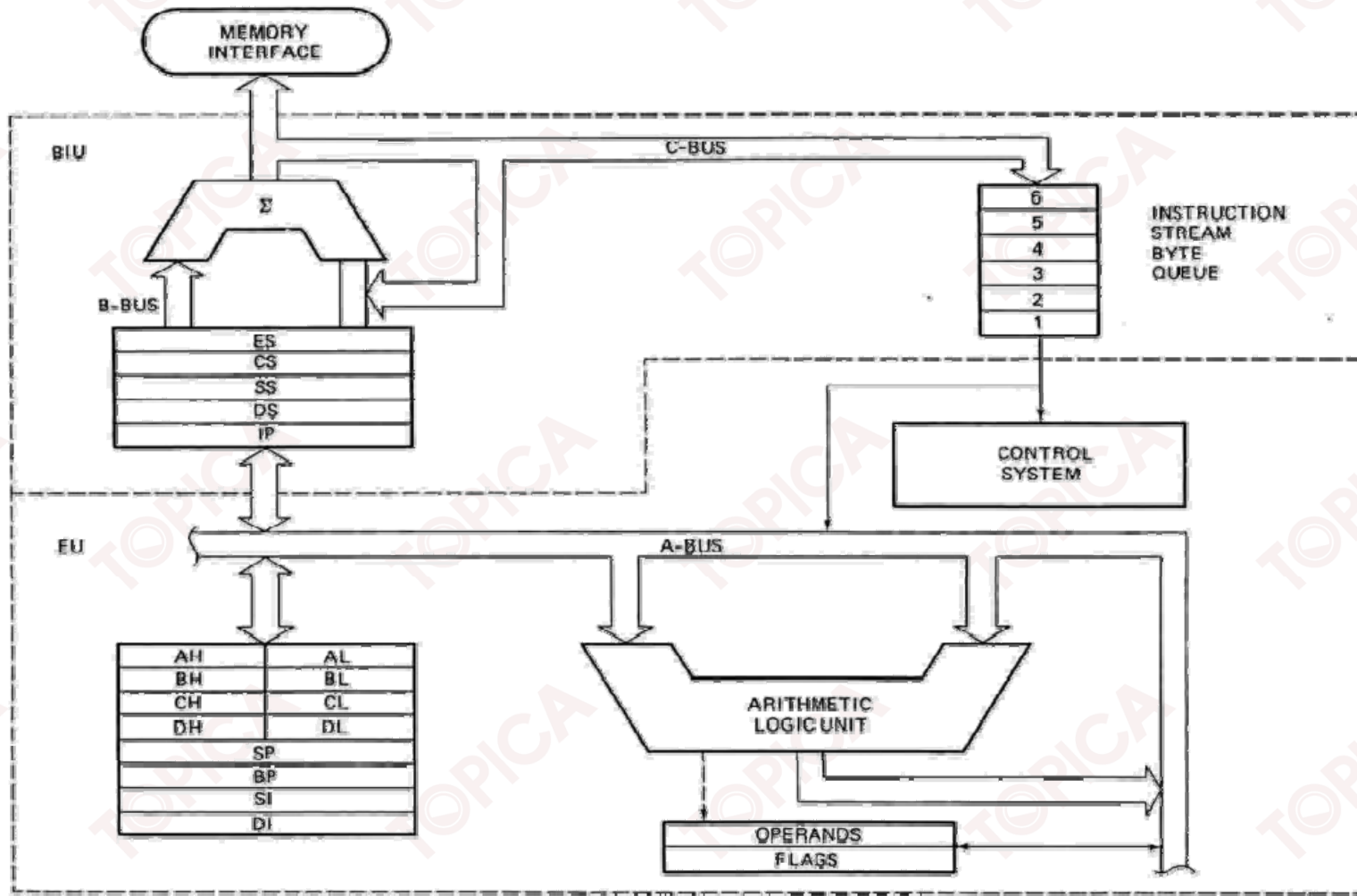
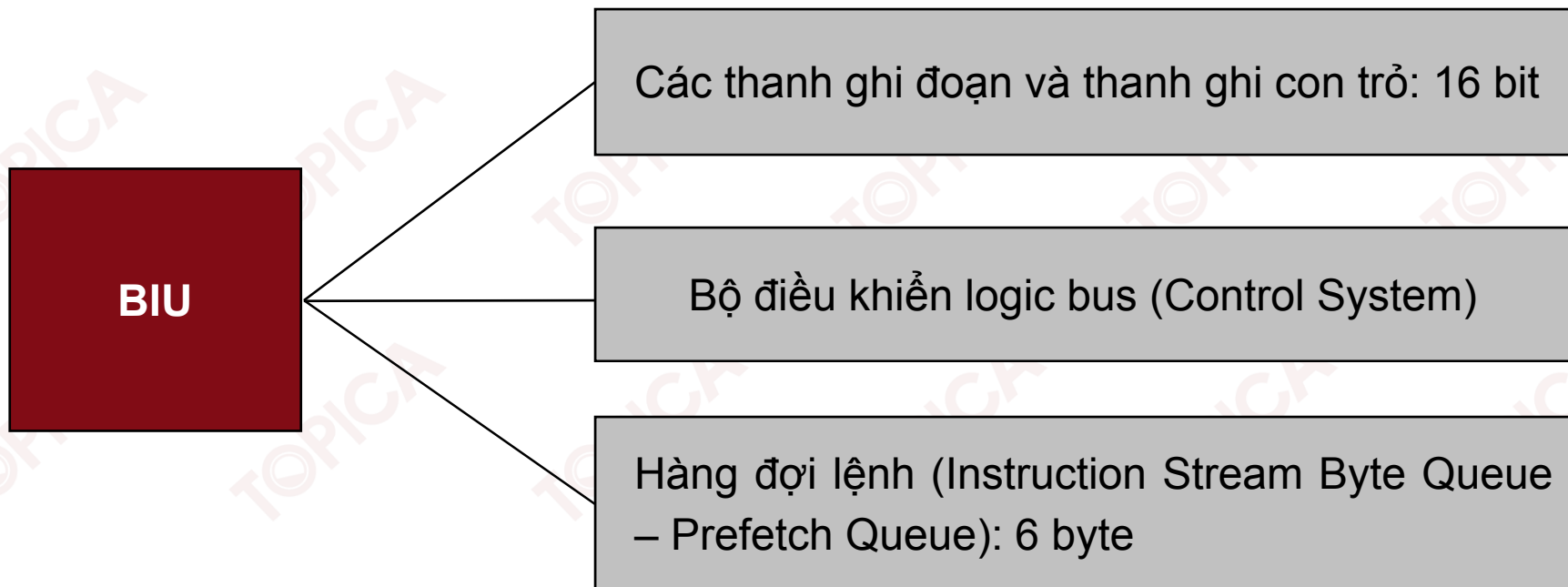


FIGURE 2-7 8086 internal block diagram. (Intel Corp.)

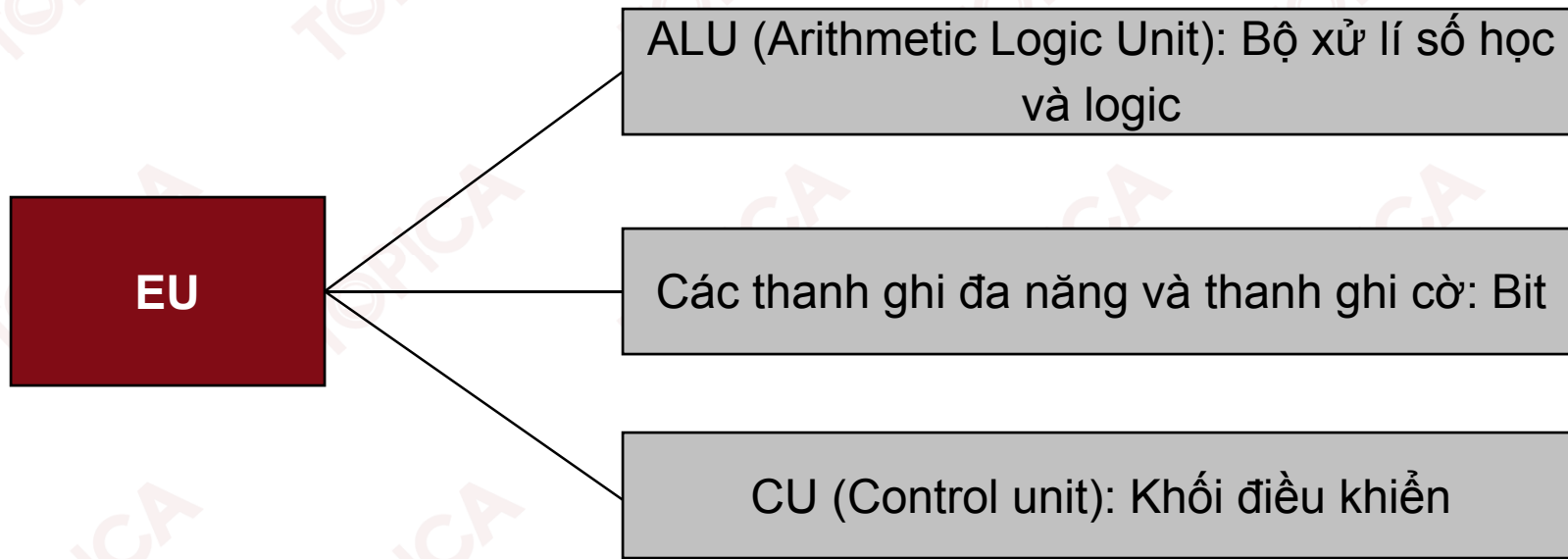
Hình 1: Sơ đồ khối 8086

## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

- BIU đơn vị phối ghép bus (Bus Interface Unit): Thực hiện các công việc điều khiển hệ thống BUS.
- EU đơn vị thực thi lệnh (Execution Unit): Chịu trách nhiệm giải mã lệnh, thực thi lệnh và phát xung điều khiển các thành phần khác trong hệ thống.



## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)



- Phân chia BIU và EU làm tăng tốc độ tính toán của bộ VXL
  - Mỗi chu kì lệnh của VXL gồm 2 pha (hoặc hai tác vụ): Lấy lệnh từ bộ nhớ và thực thi lệnh.
  - Khi EU đang thực hiện lệnh trước thì BIU có thể thực hiện tìm lệnh tiếp theo trong bộ nhớ, giải mã lệnh và đưa vào hàng đợi lệnh.  
→ Thời gian lấy lệnh của bộ VXL là bằng 0.

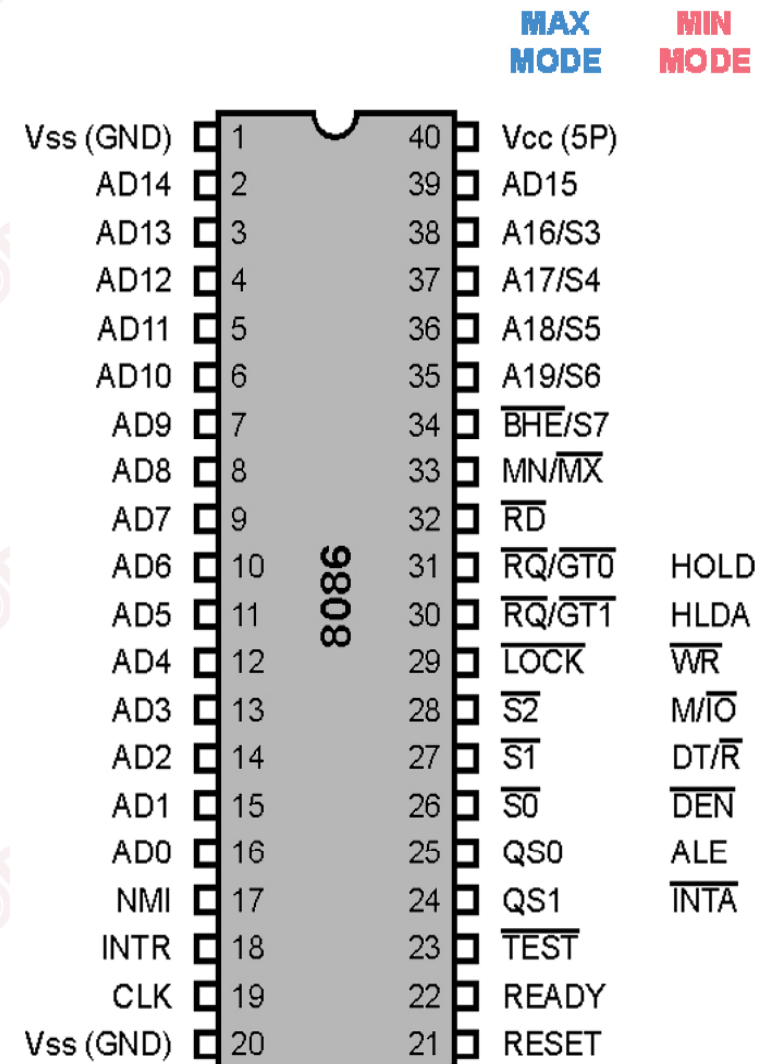
## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

### • Các chân tín hiệu của 8086

- 8086 có thể hoạt động ở 2 chế độ: MIN, MAX;
- AD15-AD0: 16 dây của bus địa chỉ;
- A19-A16/S0-S3: 4 bit địa chỉ cao hoặc 4 bit trạng thái chỉ hoạt động của CPU.

| S4 | S3 | Chỉ thị thanh ghi được truy xuất |
|----|----|----------------------------------|
| 0  | 0  | ES                               |
| 0  | 1  | SS                               |
| 1  | 0  | CS                               |
| 1  | 1  | DS                               |

- S5: Chỉ thị trạng thái cờ interrupt;
- S6: Luôn bằng 0;



Hình 2: Sơ đồ chân 8086

## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

- $\overline{BHE}/S7$ : Khi kết hợp với A0 sẽ cho các chỉ thị sau

| $\overline{BHE}$ | A0 |   |
|------------------|----|---|
| 0                | 0  | Một từ được truyền từ D15-D0                                  |
| 0                | 1  | Một byte trên D15-D8 được truy xuất tới một địa chỉ byte lẻ   |
| 1                | 0  | Một byte trên D15-D8 được truy xuất tới một địa chỉ byte chẵn |
| 1                | 1  | Chưa xác định   |

- RD: Nếu =1 thì bộ VXL đang đọc dữ liệu từ bộ nhớ; nếu = 0 thì bộ VXL đang ghi dữ liệu vào bộ nhớ.
- READY: Nếu bộ nhớ (TBNV) cần hoàn tất việc chuyển số liệu đến (hoặc đi) chúng cần phát ra tín hiệu READY ở mức tích cực 1 khi đó bộ VXL mới đọc hoặc phát số liệu.

### 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

- INTR: VXL kiểm tra chân này sau khi thực hiện xong 1 lệnh để xem có đòi hỏi ngắt từ phần cứng không? Ngắt này có thể bị che bởi cờ ngắt.
- $\overline{TEST}$ : Được kiểm tra bởi lệnh WAIT.
- NMI: Nếu có sườn xung lên tác động tới sẽ gây ra ngắt số 2. Ngắt này không bị che bởi cờ ngắt.
- RESET: Chân reset ở mức 1 trong ít nhất 4 chu kỳ xung nhịp thì bộ VXL sẽ loại bỏ các nhiệm vụ đang thực thi và chuyển vào trạng thái khởi động lại.
- CLK: Lối vào cho xung nhịp đồng hồ.
- Vcc: Nguồn nuôi.
- GND: Nối đất.
- MN/  $\overline{MX}$  Khi nối với Vcc thì VXL hoạt động ở chế độ MIN, khi nối đất thì VXL hoạt động ở chế độ MAX.

### 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

- $\bar{S}_2, \bar{S}_1, \bar{S}_0$  : Ở chế độ MAX, chip điều khiển bus 8288 sẽ sử dụng 3 tín hiệu này để điều khiển truy xuất vào/ra và bộ nhớ.

| $\bar{S}_2, \bar{S}_1, \bar{S}_0$ | Ý nghĩa  |
|-----------------------------------|--|
| 000                               | Yêu cầu ngắt cứng qua chân INTR được chấp nhận |
| 001                               | Đọc I/O  |
| 010                               | Ghi I/O  |
| 011                               | CPU treo                                       |
| 100                               | Nạp mã chương trình vào hàng đợi lệnh (PQ)     |
| 101                               | Đọc bộ nhớ                                     |
| 110                               | Ghi bộ nhớ                                     |
| 111                               | Trạng thái thụ động                            |

- QS1, QS0: Chỉ trạng thái của hàng đợi lệnh PQ

| QS1, QS0 | Ý nghĩa                    |
|----------|----------------------------|
| 00       | Không hoạt động            |
| 01       | Byte 1 trong PQ được xử lý |
| 10       | Hàng đợi lệnh được xóa     |
| 11       | Byte 2 trong PQ được xử lý |

## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

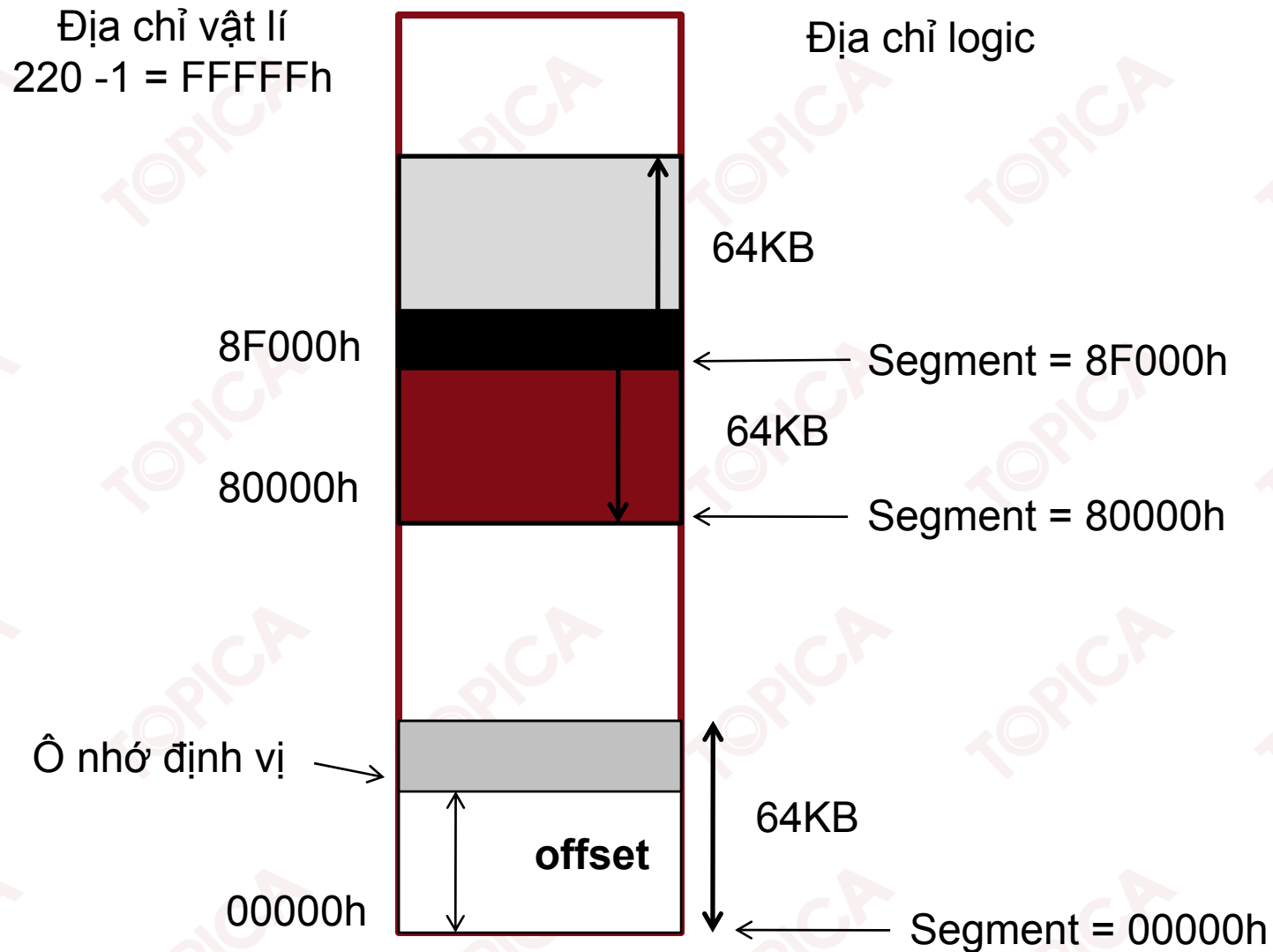
- **Các thanh ghi và định địa chỉ byte nhớ trong 8086**

- Thanh ghi là loại bộ nhớ nhanh nhất trong máy vi tính.
- Lưu trữ dữ liệu tạm thời cho tính toán trong CPU.
- 8086: 20 dây địa chỉ → quản lí được:  $2^{20} = 1\text{MB}$  bộ nhớ.
- 8086: Các thanh ghi 16 bit → dùng 1 thanh ghi chỉ đánh được địa chỉ:  $2^{16} = 64$  KB. Vì vậy phải dùng 2 thanh ghi để quản lí bộ nhớ: Thanh ghi đoạn + thanh ghi lệch.
  - Thanh ghi đoạn: segment;
  - Thanh ghi lệch: offset.
- Địa chỉ vật lí = địa chỉ đoạn \* 16 + địa chỉ lệch.
- Không gian địa chỉ ảo:  $64\text{KB} * 64 \text{KB} = 4 \text{GB}$ .



## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

- Các thanh ghi và định địa chỉ byte nhớ trong 8086



## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

### • Các thanh ghi

- AX (AH, AL): Thanh ghi tích lũy;
- BX (BH, BL): Thanh ghi cơ sở;
- CX (CH, CL): Thanh ghi đếm;
- DX (DH, DL): Thanh ghi số liệu;
- SI: Thanh ghi chỉ số nguồn;
- DI: Thanh ghi chỉ số đích;
- BP: Thanh ghi con trỏ cơ sở;
- SP: Thanh ghi con trỏ ngăn xếp;
- IP: Thanh ghi con trỏ lệnh;
- CF: Thanh ghi cờ;
- DS: Thanh ghi đoạn dữ liệu;
- CS: Thanh ghi đoạn mã lệnh;
- ES: Thanh ghi đoạn phụ;
- SS: Thanh ghi đoạn ngăn xếp.

#### Main registers

|    |    |  |
|----|----|--|
| AH | AL | <b>AX</b> (primary accumulator)          |
| BH | BL | <b>BX</b> (base, accumulator)            |
| CH | CL | <b>CX</b> (counter, accumulator)         |
| DH | DL | <b>DX</b> (accumulator, other functions) |

#### Index registers

|    |                          |
|----|--------------------------|
| SI | <b>Source Index</b>      |
| DI | <b>Destination Index</b> |
| BP | <b>Base Pointer</b>      |
| SP | <b>Stack Pointer</b>     |

#### Status register

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 (bit position)

- - - - O D I T S Z - A - P - C Flags

#### Segment register

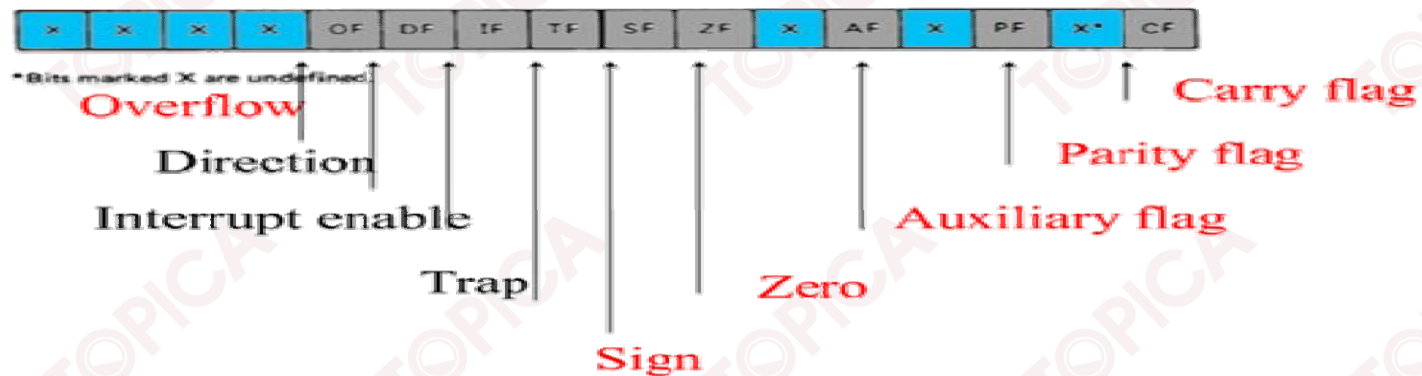
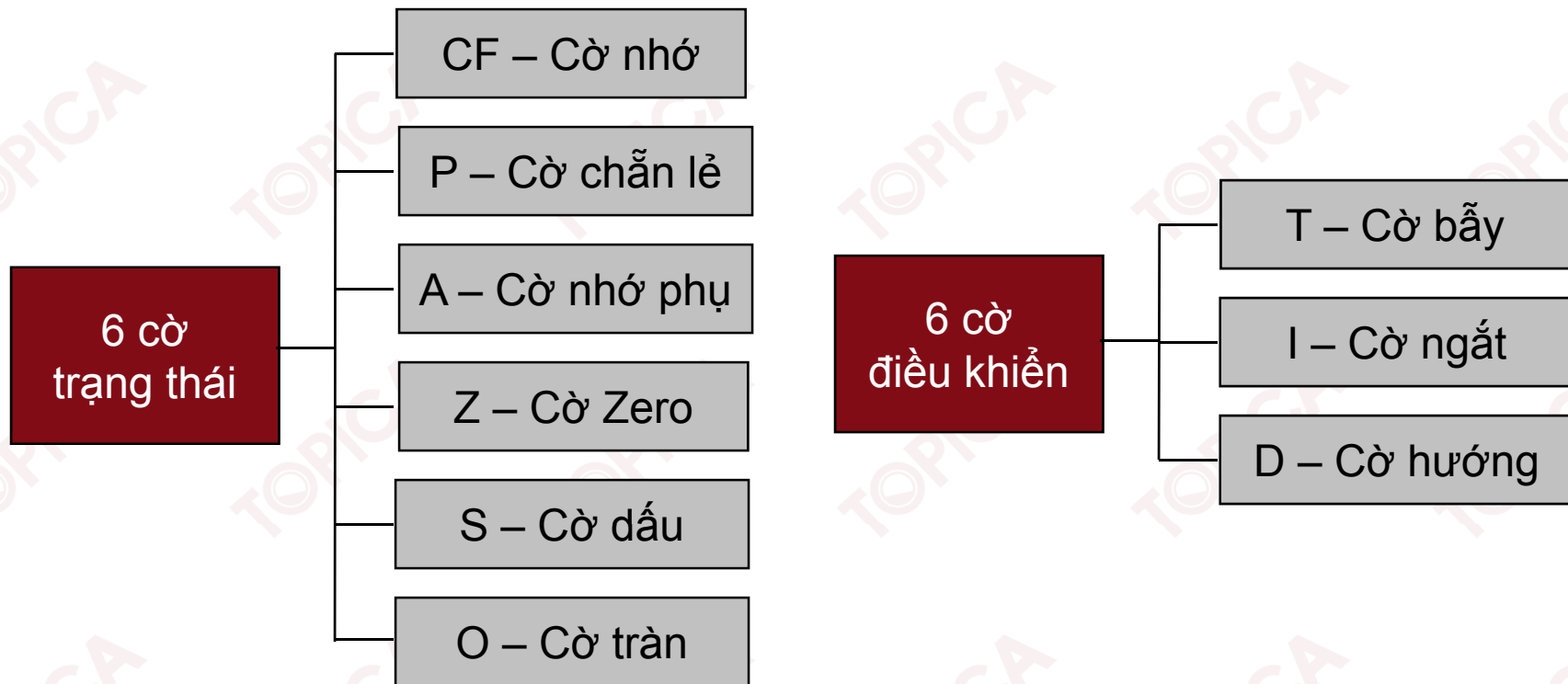
|    |                      |
|----|----------------------|
| CS | <b>Code Segment</b>  |
| DS | <b>Data Segment</b>  |
| ES | <b>ExtraSegment</b>  |
| SS | <b>Stack Segment</b> |

#### Instruction pointer

|    |                            |
|----|----------------------------|
| IP | <b>Instruction Pointer</b> |
|----|----------------------------|

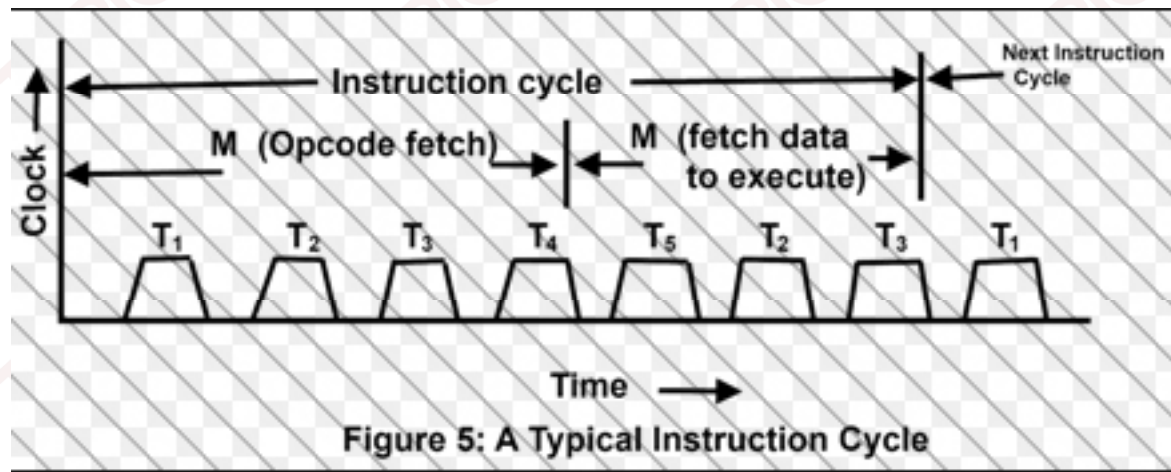
## 2.1.1. SƠ ĐỒ VÀ CÁC CHÂN TÍN HIỆU CỦA VI XỬ LÝ 8086/8088 (tiếp theo)

- **Thanh ghi cờ:** Lưu trữ trạng thái thực hiện lệnh và điều khiển của CPU



## 2.1.2. TRUY NHẬP BỘ NHỚ VÀ THIẾT BỊ NGOẠI VI

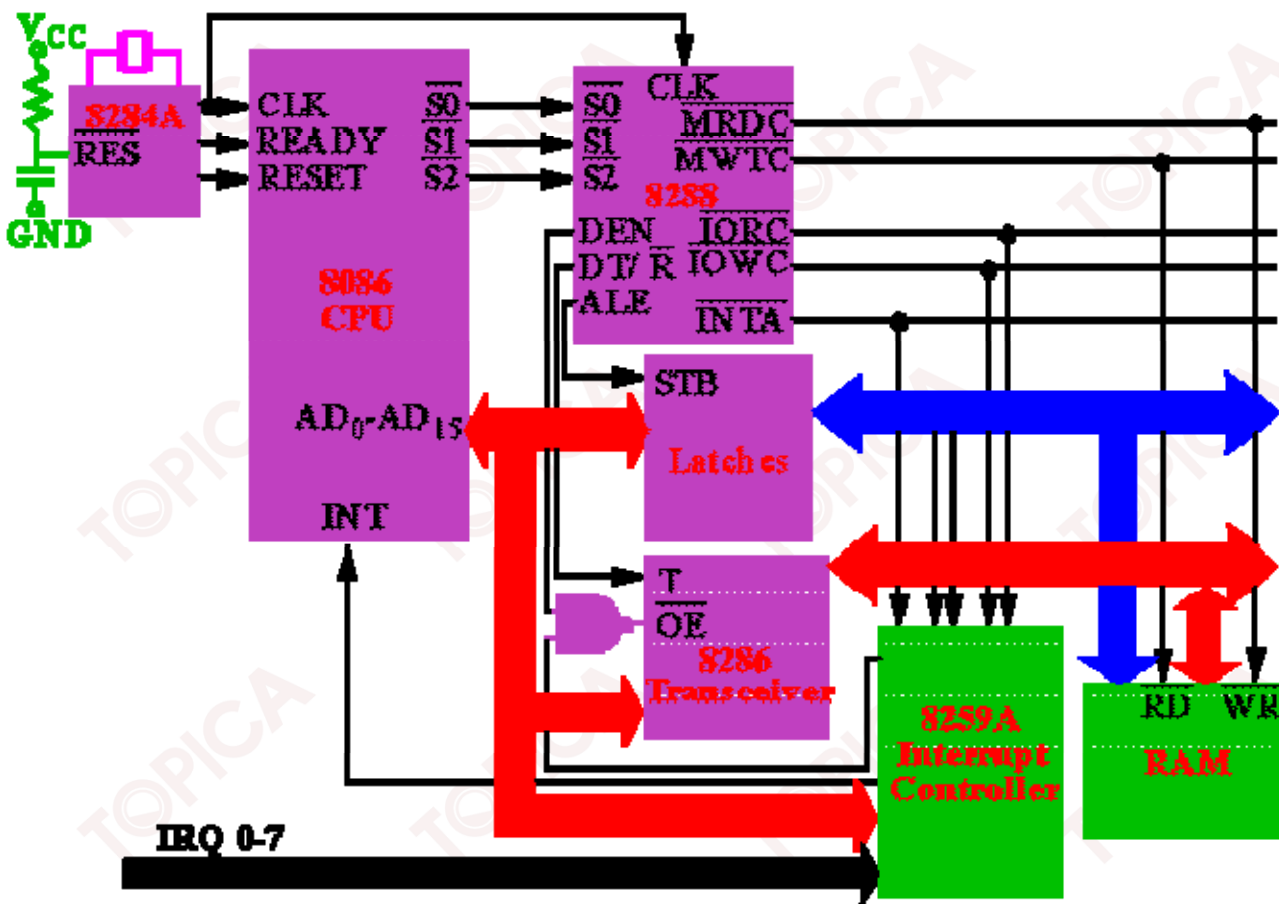
- Thời gian một chu kỳ đồng hồ của hệ thống gọi là một trạng thái. Một trạng thái được tính từ sườn âm của xung đồng hồ đến sườn âm của xung tiếp theo.
- Chu kỳ máy hay chu kỳ bus: Bộ VXL làm chủ bus để truyền dữ liệu.
- Một chu kỳ bus gồm 2 giai đoạn: Gửi địa chỉ lên bus và chuyển dữ liệu đến hay đi.
- Có 4 loại chu kỳ máy cơ bản: Lọc bộ nhớ, ghi bộ nhớ, đọc I/O, ghi I/O.
- Chu kỳ lệnh: Là thời gian mà VXL cần để nhận và thi hành 1 lệnh.
- Trạng thái chờ: CPU đợi sự sẵn sàng của các thành phần khác.



Hình 3: Chu kỳ lệnh 8086

## 2.1.2. TRUY NHẬP BỘ NHỚ VÀ THIẾT BỊ NGOẠI VI (tiếp theo)

- Truy cập bộ nhớ chế độ MAX, 8288 phát tín hiệu điều khiển bus.

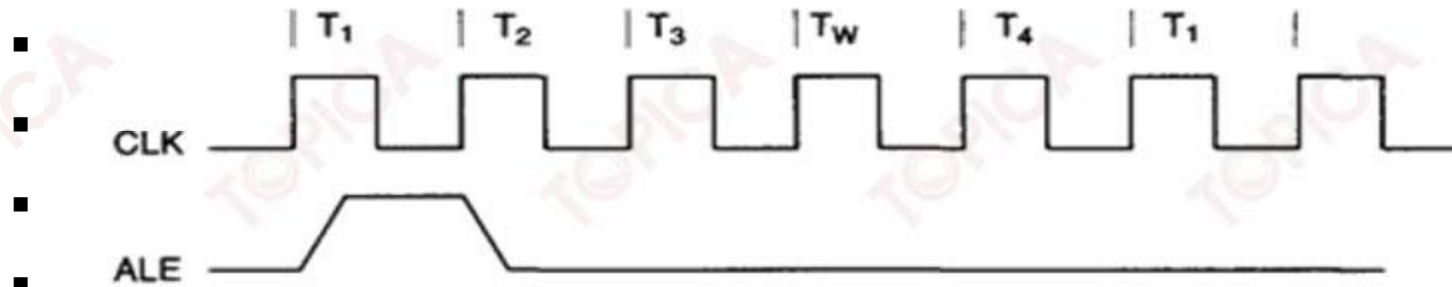


Hình 4: Phối ghép 8086 với 8288

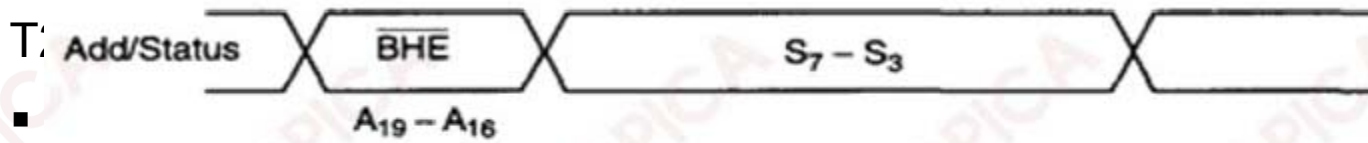
## 2.1.2. TRUY NHẬP BỘ NHỚ VÀ THIẾT BỊ NGOẠI VI (tiếp theo)

- Chu kỳ đọc bộ nhớ

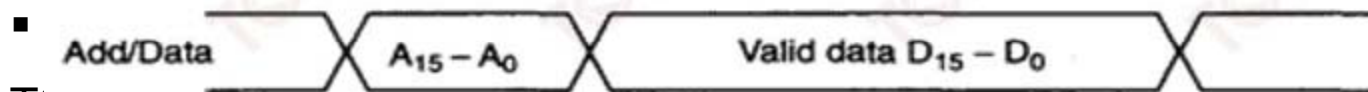
- T1:



- T2:



- T3:



- T4:



- T5:



## 2.1.2. TRUY NHẬP BỘ NHỚ VÀ THIẾT BỊ NGOẠI VI (tiếp theo)

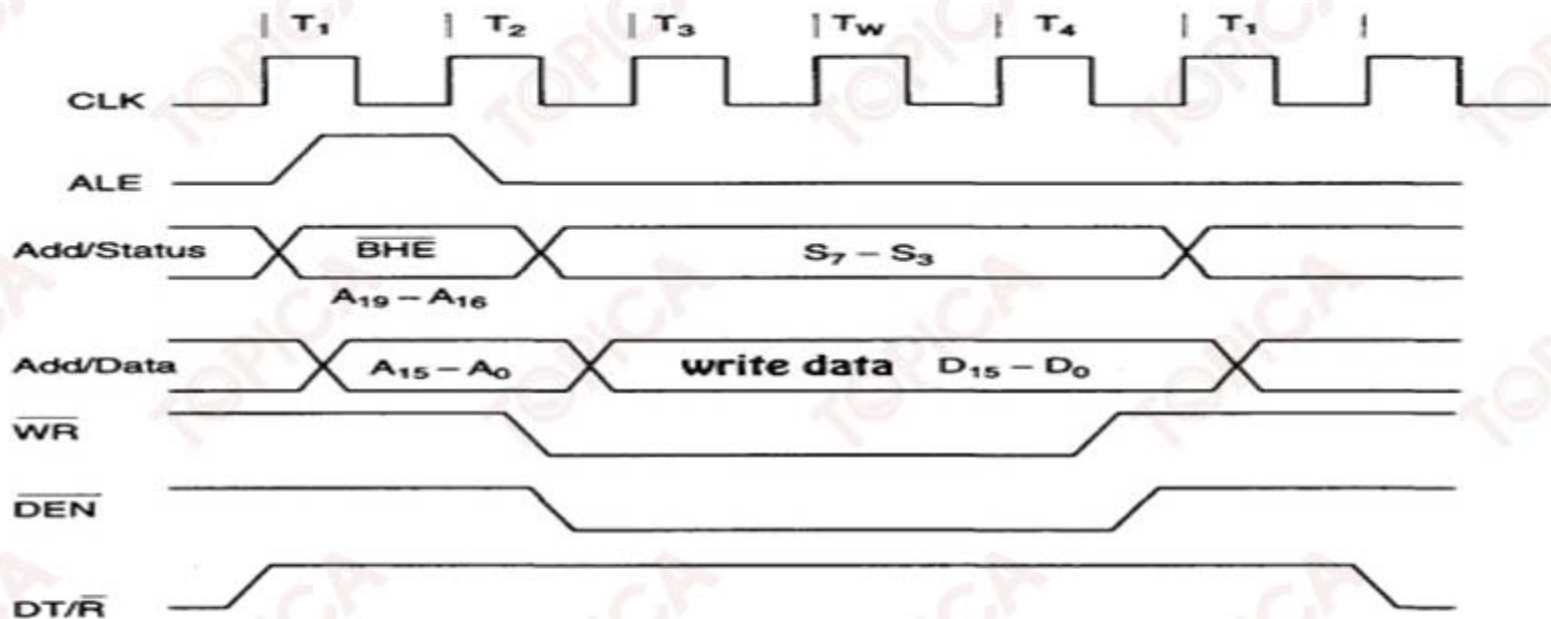
Chu kỳ ghi bộ nhớ

T1: Xử lý tương tự đọc bộ nhớ

T2: Hướng bus số liệu và địa chỉ không thay đổi

T3: Ghi xong dữ liệu tín hiệu READY về mức cao

T4: Kết thúc việc ghi



## 2.1.2. TRUY NHẬP BỘ NHỚ VÀ THIẾT BỊ NGOẠI VI (tiếp theo)

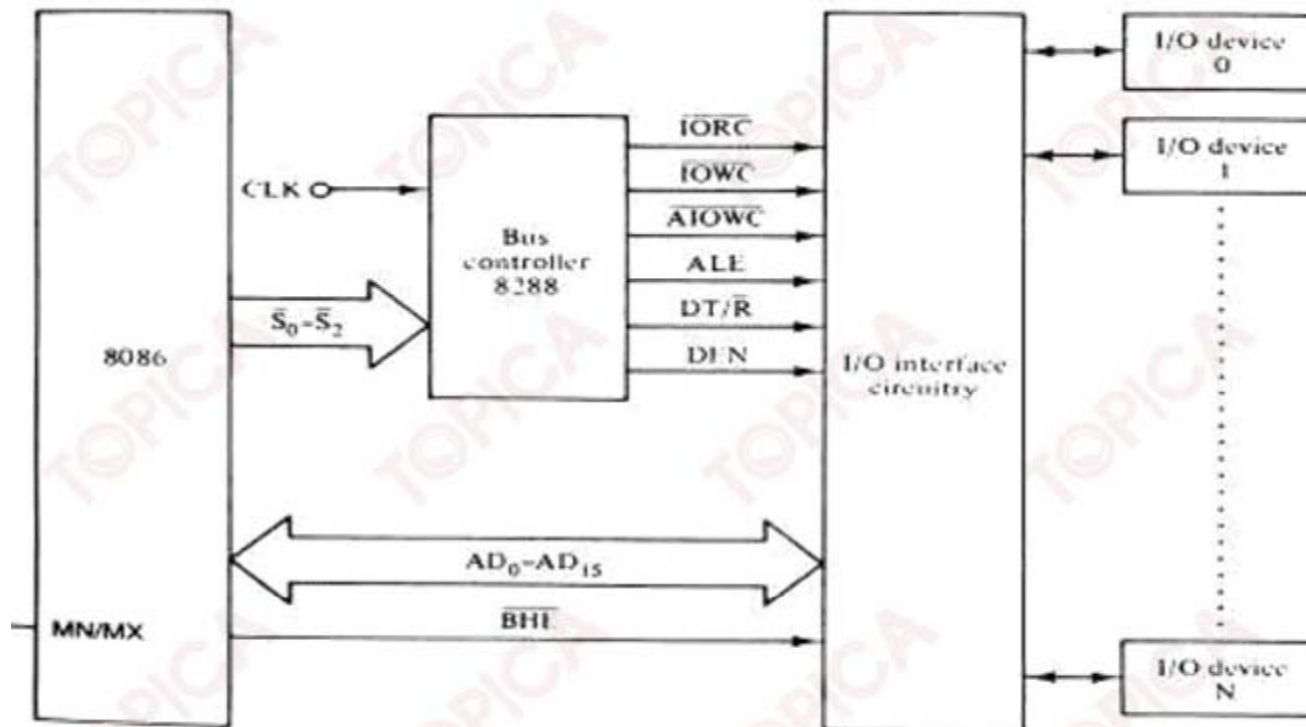
### Truy cập cổng vào ra

8086 truy cập thiết bị ngoại vi qua các cổng (port)

Không gian bộ nhớ cho các cổng vào/ra

8086 truy cập cổng vào/ra bằng các lệnh riêng biệt: IN và OUT

Truy cập cổng vào/ra có thể theo byte hoặc từ (2 byte)





## 2.1.2. TRUY NHẬP BỘ NHỚ VÀ THIẾT BỊ NGOẠI VI (tiếp theo)

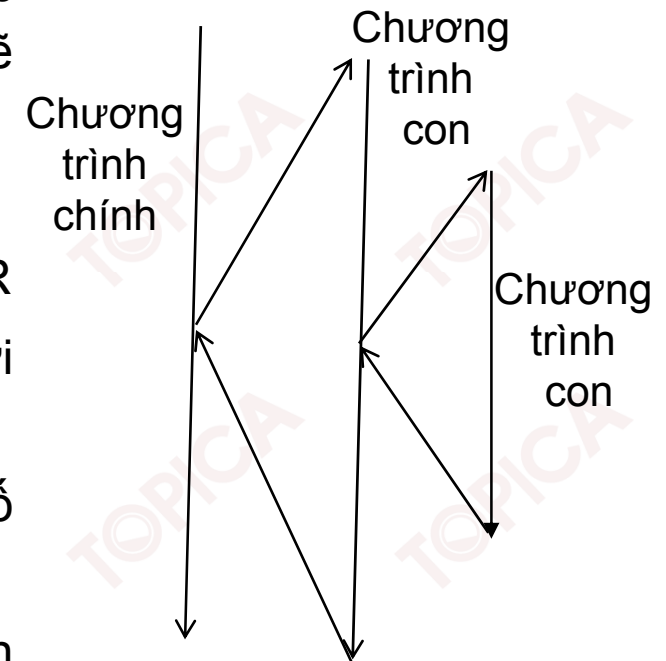
### • Khởi động lại và ngắt

- Khởi động lại: Khi chân RESET đặt ở mức cao trong ít nhất 4 chu kỳ, bộ VXL sẽ khởi động lại và thiết lập lại giá trị của các thanh ghi.

Cặp CS:IP trở tới F000H:FFF0H.

- Ngắt: Ngắt là khả năng dừng chương trình để thực hiện một chương trình khác và sau khi kết thúc sẽ quay về thực hiện tiếp chương trình chính.
- Ngắt cứng: Sinh ra bởi phần cứng
  - Ngắt có thể bị che: Do tín hiệu gửi tới chân INTR
  - Ngắt không che được: Do tín hiệu gửi tới chân NMI
- Ngắt mềm: Ngắt sinh ra bởi lệnh gọi ngắt INT < số hiệu ngắt>
- Ngoại lệ: Sinh ra trong quá trình thực hiện các lệnh (Ví dụ như xuất hiện phép chia cho 0).

|      |       |    |       |
|------|-------|----|-------|
| Flag | 0002h | DS | 0000h |
| IP   | FFF0h | ES | 0000h |
| CS   | F000h | SS | 0000h |



### 2.1.3. TẬP LỆNH 8086

- **Lệnh máy**

- Mỗi họ VXL có một tập lệnh riêng;
- Lệnh máy: Mã hóa theo dạng nhị phân;
- Cấu trúc lệnh:

|         |            |               |                        |
|---------|------------|---------------|------------------------|
| Tiền tố | Mã toán tử | Các toán hạng | Địa chỉ lệnh tiếp theo |
|---------|------------|---------------|------------------------|

- Tập lệnh bộ VXL thường chia thành các nhóm:
  - Lệnh di chuyển dữ liệu;
  - Lệnh tính toán 2 ngôi;
  - Lệnh tính toán 1 ngôi;
  - Lệnh so sánh và nhảy;
  - Lệnh gọi thủ tục;
  - Lệnh lặp;
  - Lệnh vào/ra.
- Một số lệnh hợp ngữ thông dụng: IN, OUT, MUL, SUB, MOV, LOOP,.....

## 2.2. VI XỬ LÝ INTEL 80386

2.2.1. Đặc điểm chung và các thanh ghi

2.2.2. Tổ chức bộ nhớ

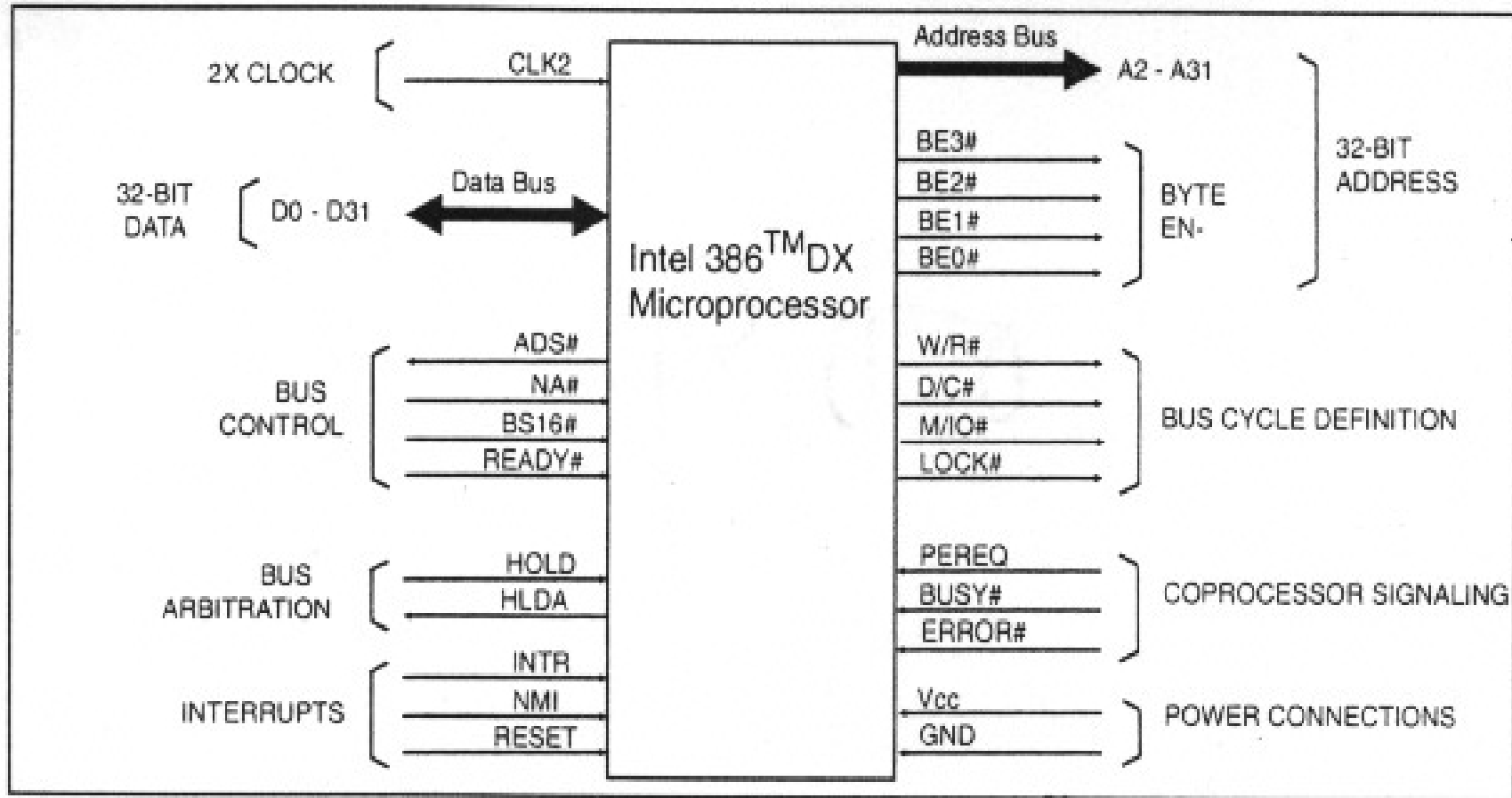
2.2.3. Chế độ bảo vệ và phân đoạn

2.2.4. Chế độ bảo vệ và phân trang

2.2.5. Chế độ ảo

## 2.2.1. ĐẶC ĐIỂM CHUNG VÀ CÁC THANH GHI

- D0-D31: Các chân dữ liệu, tùy theo mức tín hiệu trên  $\overline{NA}$  dữ liệu qua bus sẽ là 32 bit hay 16 bit.



Hình 5: Sơ đồ 80386

## 2.2.1. ĐẶC ĐIỂM CHUNG VÀ CÁC THANH GHI (tiếp theo)

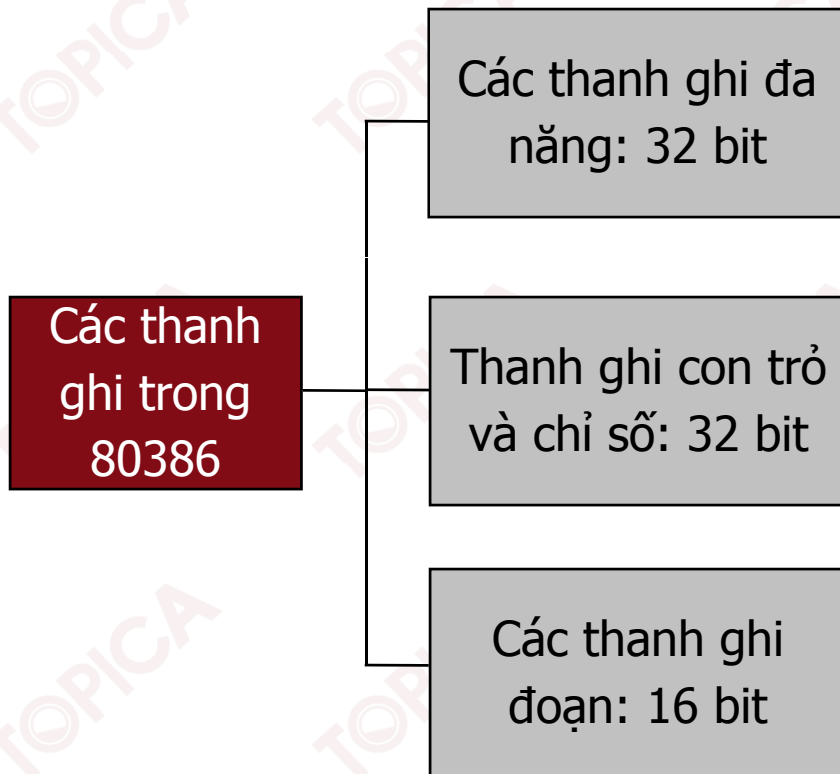
- A0-A31: Các chân địa chỉ, tùy theo mức tín hiệu trên  $\overline{BE}_0 - \overline{BE}_3$  sẽ cho biết byte dữ liệu nào được truyền:
  - $\overline{BE}_0$  : Chỉ D0 – D7;
  - $\overline{BE}_1$  : Chỉ D8 – D15;
  - $\overline{BE}_2$  : Chỉ D16-D23;
  - $\overline{BE}_3$  : Chỉ D24 – D31;
  - Để truyền cả 32 bit thì 4 đường tín hiệu phải ở mức tích cực thấp.
  - CLK2: Lỗi vào xung nhịp cấp cho VXL.
  - Tín hiệu ngắt: INTR, NMI.
  - RESET: Khởi động lại hệ thống.

## 2.2.1. ĐẶC ĐIỂM CHUNG VÀ CÁC THANH GHI (tiếp theo)

- Các tín hiệu xác định chu kỳ bus:
  - $W / \bar{R}$  : Tín hiệu phân biệt chu kỳ đọc, ghi dữ liệu;
  - $D / \bar{C}$  : Tín hiệu phân biệt chu kỳ số liệu và chu kỳ điều khiển;
  - $M / \bar{IO}$  : Tín hiệu phân biệt bộ nhớ và công vào/ra.

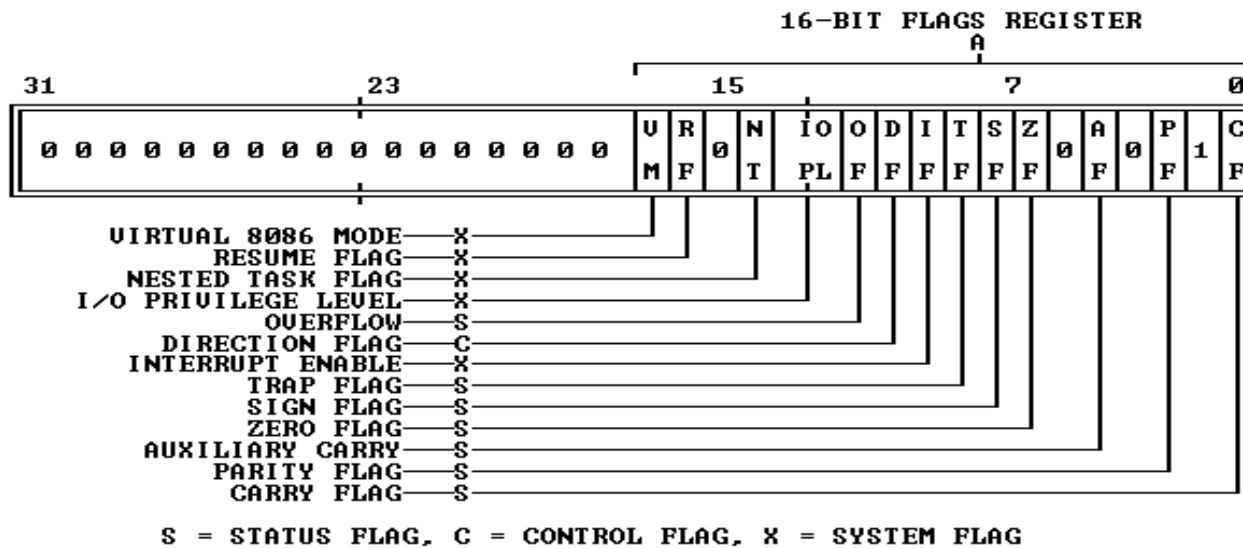
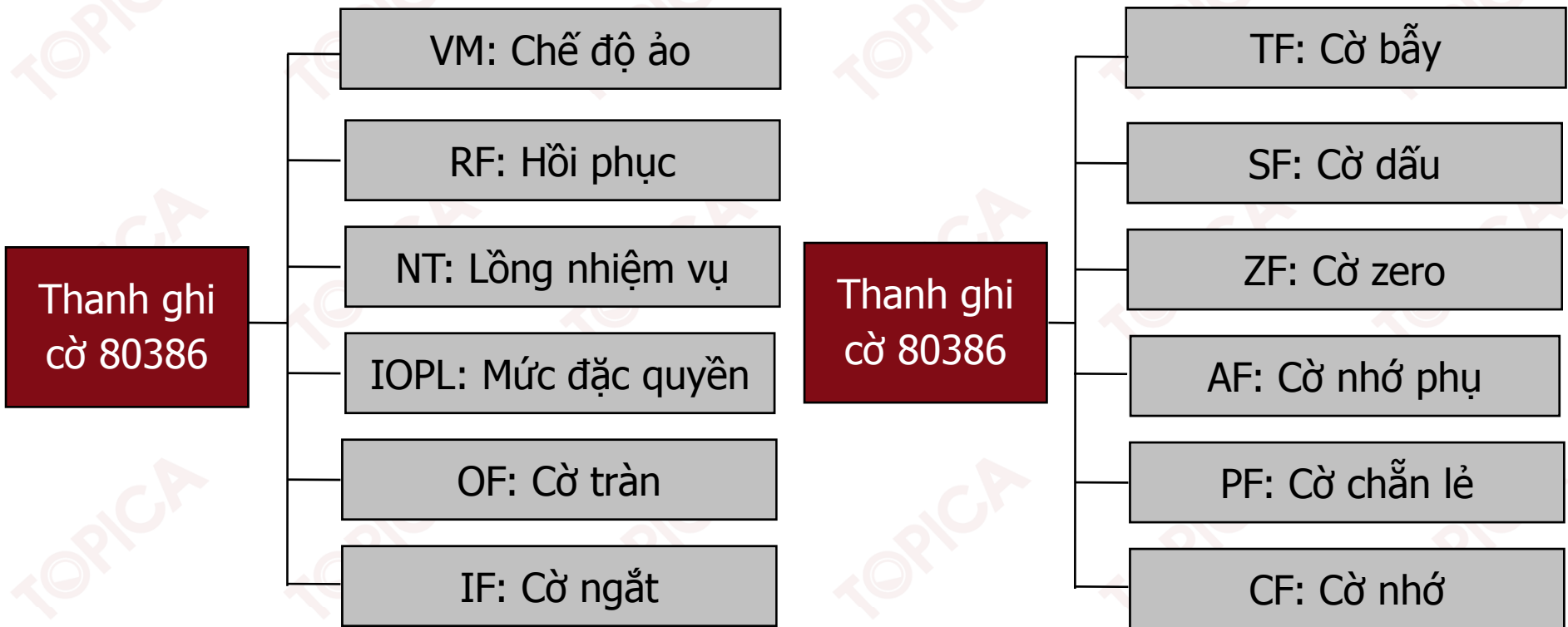
| $W / \bar{R}$ | $D / \bar{C}$ | $M / \bar{IO}$ | Chu kỳ bus   |
|---------------|---------------|----------------|--------------|
| 0             | 0             | 0              | Trả lời ngắt |
| 0             | 0             | 1              | Không xảy ra |
| 0             | 1             | 0              | Đọc I/O      |
| 0             | 1             | 1              | Ghi I/O      |
| 1             | 0             | 0              | Đọc mã lệnh  |
| 1             | 0             | 1              | Dừng         |
| 1             | 1             | 0              | Đọc bộ nhớ   |
| 1             | 1             | 1              | Ghi bộ nhớ   |

## 2.2.1. ĐẶC ĐIỂM CHUNG VÀ CÁC THANH GHI (tiếp theo)



| General Purpose    |       | Index |       |
|--------------------|-------|-------|-------|
| 31-----0           |       |       |       |
| EAX                | AX    | EBP   |       |
| EBX                | BX    | ESP   |       |
| ECX                | CX    | ESI   |       |
| EDX                | DX    | EDI   |       |
| Status and Control |       | CS    | Code  |
| EFLAGS             | FLAGS | SS    | Stack |
| EIP                | IP    | DS    |       |
|                    |       | ES    |       |
|                    |       | FS    |       |
|                    |       | GS    |       |

## 2.2.1. ĐẶC ĐIỂM CHUNG VÀ CÁC THANH GHI (tiếp theo)





## 2.2.2. TỔ CHỨC BỘ NHỚ

- Bộ nhớ được tổ chức theo byte hoặc Từ (word), 1 Từ = 2 byte.
- 80386 có thể hoạt động ở 2 chế độ: Phân đoạn và phân trang.
- 80386 hoạt động ở chế độ ảo: VXL 80386 hoạt động như VXL 8086.
- Không gian nhớ:
  - Không gian vật lý: 4GB;
  - Không gian logic: 64TB.
- Chế độ thực:
  - Chế độ làm việc ngầm định khi khởi động máy;
  - Kích thước cực đại của bộ nhớ: 1 MB;
  - Các dây địa chỉ: A2-A19 và BE0-BE3 tích cực;
  - Kích thước các đoạn là: 64KB.
- Chế độ bảo vệ: Làm việc ở chế độ phân đoạn và phân trang.

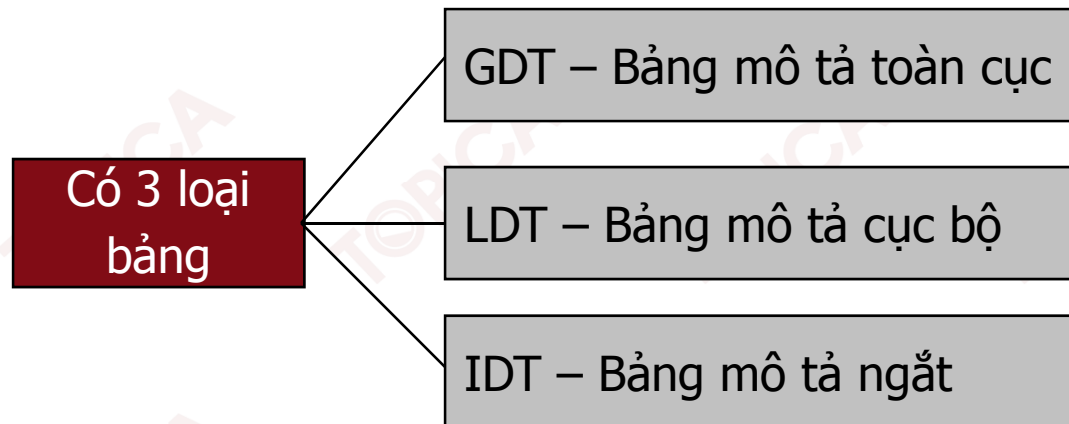
### 2.2.3. CHẾ ĐỘ PHÂN ĐOẠN BỘ NHỚ

- **Một số khái niệm cơ bản**

- Đoạn nhớ: Là một vùng bộ nhớ gồm các địa chỉ liên tiếp.
- Mức đặc quyền: Mỗi đoạn nhớ được gán cho một mức đặc quyền truy cập từ mức 0 - mức 3.
- Mức 0: Mức cao nhất, dành cho các chương trình lõi quản lí tài nguyên hệ thống và bộ nhớ (BIOS).
- Mức 1: Các phần mềm hệ thống quản lí thiết bị ngoại vi và các cổng vào/ra.
- Mức 2: Chương trình quản lí hệ thống tệp, thư viện (hệ điều hành).
- Mức 3: Dành cho chương trình ứng dụng.

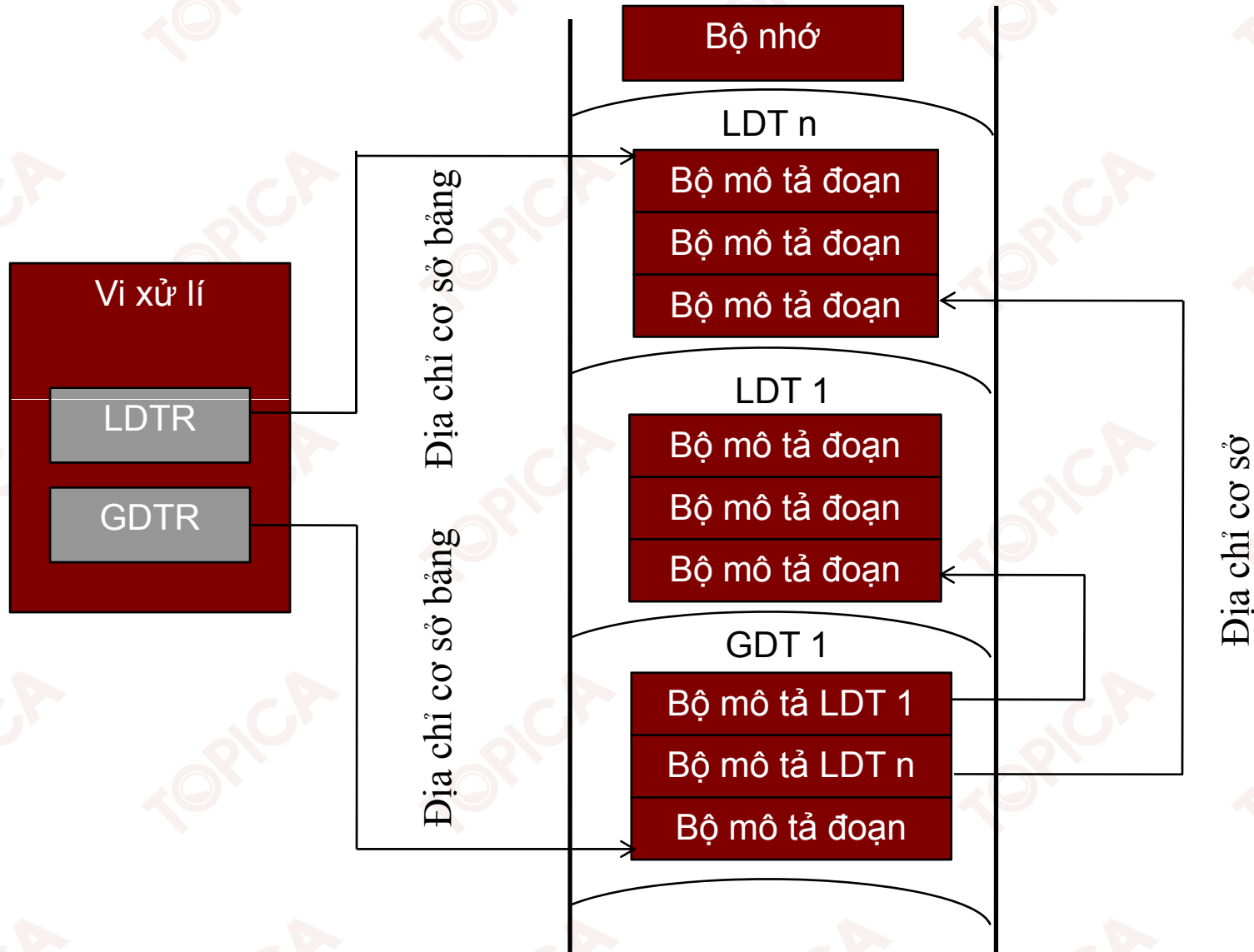
### 2.2.3. CHẾ ĐỘ PHÂN ĐOẠN BỘ NHỚ (tiếp theo)

**Bảng các bộ mô tả đoạn:** Chứa thông tin các đoạn



- Bảng GDT: Dài 64 KB
  - Quản lí  $2^{13}$  đoạn trong không gian nhớ toàn cục;
  - Lưu trữ các lệnh HĐH, dữ liệu HĐH;
  - Tất cả các nhiệm vụ của hệ thống đều thâm nhập được GDT.
- Bảng LDT: Dành cho mã lệnh, dữ liệu, ngăn xếp của các trình ứng dụng
  - Mỗi nhiệm vụ có một bảng LDT riêng;
  - Mỗi LDT được xác định bằng một bộ mô tả đoạn LDT trong GDT.
- Bảng IDT: Được dùng để mô tả địa chỉ 256 ngắt của bộ VXL.

### 2.2.3. CHẾ ĐỘ PHÂN ĐOẠN BỘ NHỚ (tiếp theo)



Hình 6: Mối quan hệ giữa GDTR, LDTR và các bảng GDT, LDT

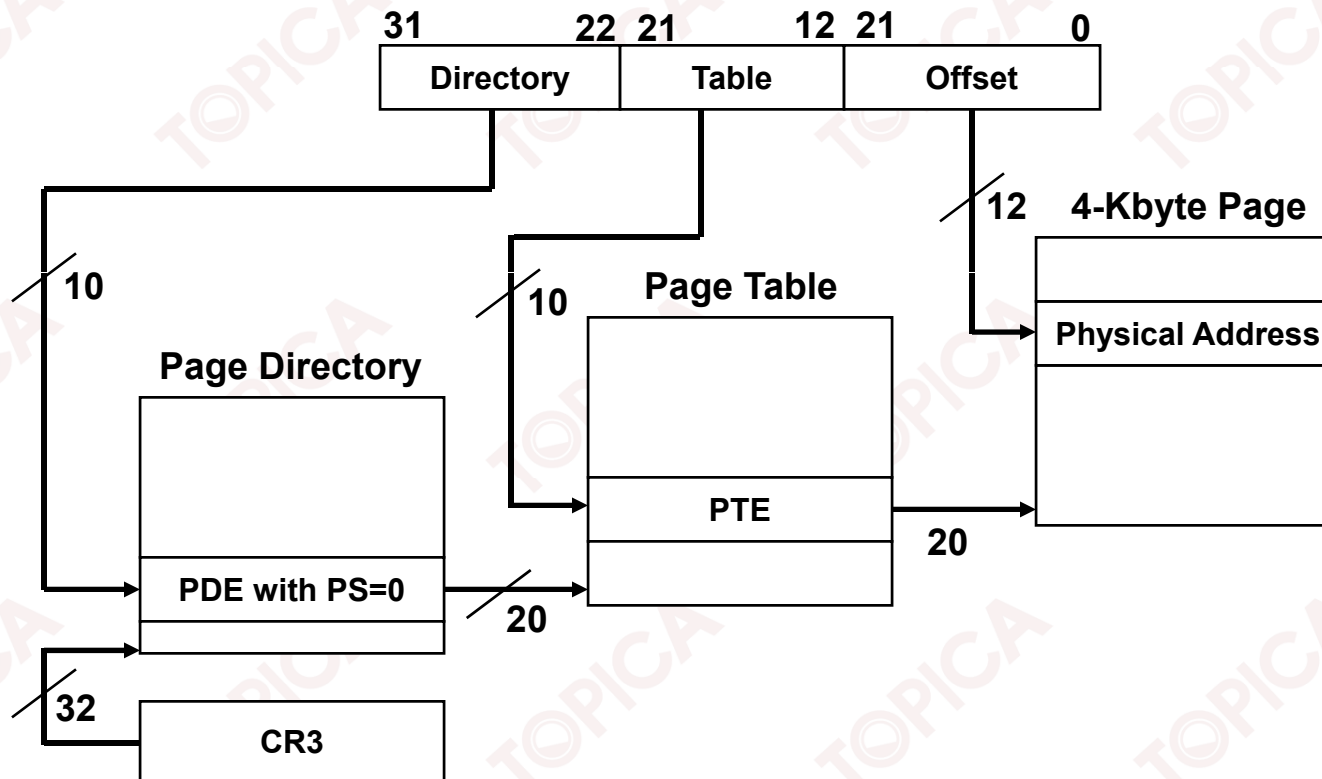
## 2.2.4. CHẾ ĐỘ PHÂN TRANG BỘ NHỚ

### Thư mục trang, bảng trang và trang:

- Không gian địa chỉ thực được chia thành các khối có kích thước bằng nhau, gọi là các khung trang (frame).
- Bộ nhớ logic cũng được chia thành các khối có cùng kích thước với frame gọi là các trang.
- Để thực thi chương trình có  $n$  trang cần tìm ra  $n$  frame còn trống để nạp trang.
- Thông tin bộ VXL dùng để ánh xạ các trang vào các frame gọi là thư mục trang và bảng trang.
  - Thư mục trang có  $2^{10} = 1024$  điểm vào (mỗi điểm vào 32 bit). Mỗi điểm vào trở tới một trong 1024 bảng trang.
  - Bảng trang có  $2^{10} = 1024$  điểm vào (mỗi điểm vào 32 bit). Mỗi điểm vào trở tới một trong 1024 trang (khung trang).
- Thư mục trang và trang có độ dài  $2^{12} = 4\text{KB}$ .

## 2.2.4. CHẾ ĐỘ PHÂN TRANG BỘ NHỚ (tiếp theo)

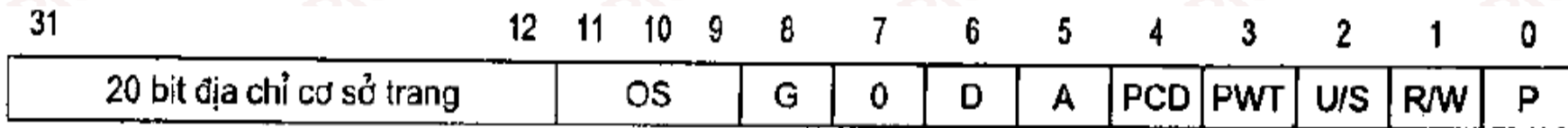
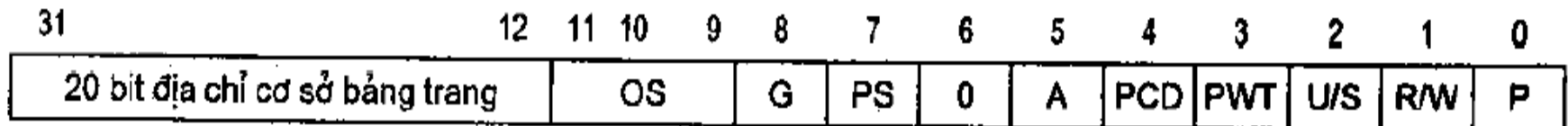
- Thanh ghi CR3 chứa địa chỉ cơ sở của thư mục trang.
- Một địa chỉ logic được đưa vào và ánh xạ tới bộ nhớ vật lý theo sơ đồ hình 7



Hình 7: Ánh xạ địa chỉ logic vào địa chỉ vật lý

## 2.2.4. CHẾ ĐỘ PHÂN TRANG BỘ NHỚ (tiếp theo)

- Nội dung mỗi điểm vào thư mục trang và bảng trang có cấu trúc như sau:



- P: Trang có tồn tại trong bộ nhớ không;
- R/W: Cho phép đọc/ghi trang;
- U/S: Xác định mức ưu tiên người sử dụng hay quản trị trang;
- PWT: Kiểm tra hoạt động write-through hay write-back;
- PCD: Kiểm tra hoạt động đệm cache của từng trang;
- A: Đánh dấu xem bảng trang/trang có được truy cập hay không;
- D: Đánh dấu 1 trang vừa được ghi lên;
- PS: Xác định kích thước trang;
- G: Đánh dấu 1 trang là toàn cục.

### 2.2.5. CHẾ ĐỘ ẢO

- 80386 chuyển về chế độ 8086 ảo để thực hiện các chương trình.
- Trong chế độ 8086 VXL sẽ sử dụng cách tính địa chỉ là segment: Offset.
- Không gian địa chỉ bộ nhớ là: 1 MB.
- Chạy các chương trình ở chế độ ảo, hệ điều hành sử dụng chương trình giám sát máy ảo.



## 2.3. BỘ VI XỬ LÝ 80486 VÀ PENTIUM

2.3.1. Kiến trúc RISC  
và kỹ thuật  
đường ống

2.3.2. Bộ vi xử lý  
80486

2.3.3. Bộ vi xử lý  
Pentium

## 2.3.1. KIẾN TRÚC RISC VÀ KỸ THUẬT ĐƯỜNG ỐNG

### Kiến trúc CISC và RISC

- Kiến trúc CISC:
  - Đơn vị điều khiển được vi chương trình hóa;
  - Có tập lệnh phức tạp (nhiều lệnh);
  - Phương pháp định vị địa chỉ bộ nhớ phức tạp và nhiều (7 chế độ).
- Kiến trúc RISC:
  - Đơn vị điều khiển: Thực hiện bằng phần cứng;
  - Tập lệnh rút gọn (ít lệnh);
  - Ít chế độ định vị địa chỉ bộ nhớ.

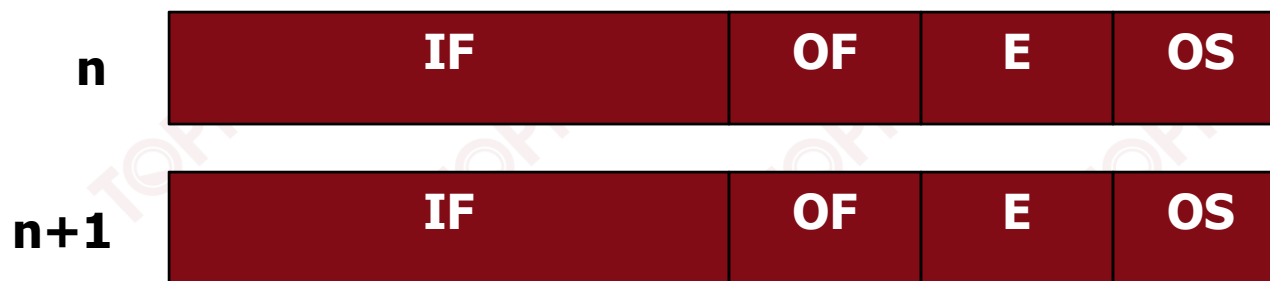
## 2.3.1. KIẾN TRÚC RISC VÀ KỸ THUẬT ĐƯỜNG ỐNG (tiếp theo)

### Kỹ thuật đường ống (pipeline)

- Mỗi lệnh được thực hiện qua 5 công đoạn:



- Mỗi công đoạn thực hiện trong một số chu kỳ máy.
- Giai đoạn nhận lệnh chiếm nhiều thời gian nhất.
- Kỹ thuật đường ống là kỹ thuật cho các lệnh thực hiện gối lên nhau về mặt thời gian các công đoạn khác nhau trong khi thực hiện các lệnh.



- Thường các lệnh trong kiến trúc RISC có cách mã hóa lệnh rất đơn giản do vậy thời gian giải mã lệnh (ID) là không đáng kể.

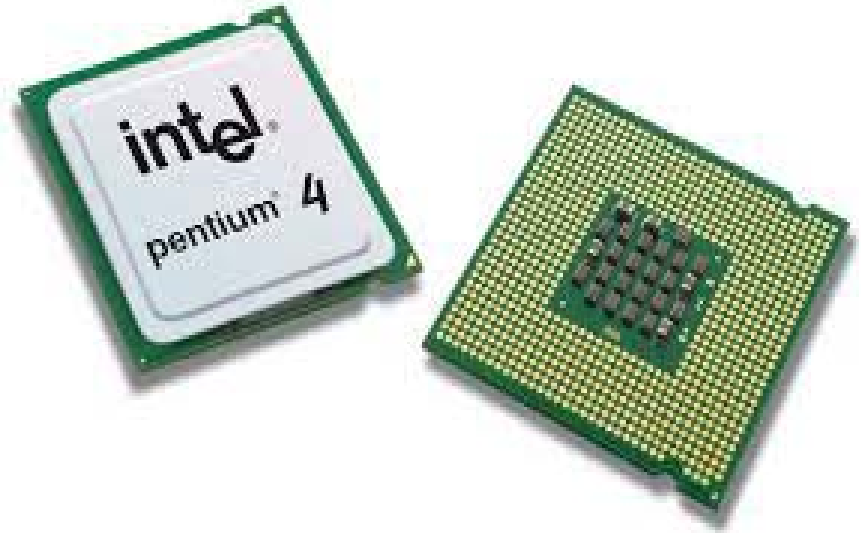
### 2.3.2. VI XỬ LÝ 80486

- Tích hợp bộ xử lý số dấu chấm động 80387.
- Bộ nhớ cache 8KB và bộ điều khiển cache.
- Bus dữ liệu và địa chỉ: 32 bit.
- Tốc độ bus: 160 Mbytes/s.
- Tích hợp 2 công nghệ CISC và RISC.
- Sử dụng kỹ thuật đường ống khi thực thi lệnh.



### 2.3.3. VI XỬ LÝ PENTIUM

- Ra đời 1993.
- Mật độ tích hợp, và tốc độ xung nhịp cao hơn.
- Dung lượng cache: 16KB.
- Bus cục bộ: 64 bit, tốc độ 60/66 MHz.
- Sử dụng kiến trúc RISC.
- Sử dụng kiến trúc siêu vô hướng (superscalar): Một dạng xử lý song song trên một chip.
- Có 2 ALU, 1 FPU.



## TÓM LƯỢC CUỐI BÀI

Trong bài này chúng ta đã xem xét các nội dung sau:

- Cấu trúc của VXL 80x86;
- Tổ chức bộ nhớ;
- Chế độ bảo vệ phân trang và phân đoạn;
- Ngoài ra còn tìm hiểu về VXL Pentium.